

行政院國家科學委員會專題研究計畫 成果報告

具通信功能之車用功率系統晶片--子計畫一：車用電源線 通訊系統之類比前端積體電路設計(3/3) 研究成果報告(完整版)

計畫類別：整合型
計畫編號：NSC 99-2220-E-009-023-
執行期間：99年08月01日至100年07月31日
執行單位：國立交通大學電機與控制工程學系(所)

計畫主持人：洪浩喬

計畫參與人員：碩士班研究生-兼任助理人員：李健文
碩士班研究生-兼任助理人員：張志健
碩士班研究生-兼任助理人員：王毓賢
碩士班研究生-兼任助理人員：黃琮致
博士班研究生-兼任助理人員：洪紹峰

報告附件：出席國際會議研究心得報告及發表論文

公開資訊：本計畫涉及專利或其他智慧財產權，2年後可公開查詢

中華民國 100 年 10 月 31 日

中文摘要：本年度我們總計發表一篇 IEEE Tran. VLSI Systems 期刊論文 [32]，兩篇國際研討會論文[33-34]，以及兩篇國內研討會論文 [35-37]。針對總計畫需求，我們成功實現一顆具前景校正功能之 12 位元循序漸近式類比數位轉換器。量測結果顯示所提出之校正方法可以將原本 ± 4.8 LSB 之 INL 提升至 ± 2.0 LSB 以內。本技術申請我國及美國專利中。此外，我們也提出一個適用於電流導向式數位類比轉換器的前景校正方法。相較於已知文獻之校正方法多數只降低 SFDR 而非 SNDR，我們針對靜態非線性進行校正因而可以降低雜訊。另外，所提出之校正法因不須額外增加電流源，因此解決了額外增加電流源與原有電流源之間不匹配的問題。所需增加的校正用類比電路僅僅是一個電流比較器，其餘的校正控制器皆為數位電路，因此校正電路非常穩健，不會降低產品良率。根據所提出的校正法，我們利用 CIC0.18 μ m 製程實現一顆具前景校正功能之 14 位元 100MS/s 電流導向式數位類比轉換器提供計劃之用，量測結果顯示所提出的校正法的確可改善該數位類比轉換器的線性度降低輸出雜訊。本技術申請我國專利中。

英文摘要：We have published a journal paper on IEEE Tran. VLSI Systems [32], two international conference papers [33-34], and two domestic conference papers [35-37] this year. To fit the requirements of this project, we implemented a digitally calibrated 12-bit successive approximation ADC in 90nm CMOS based on our proposed foreground calibration method. The measurement results show that the integral nonlinearity of the ADC is improved from 4.8 LSB to within 2.0 LSB. It proves the effectiveness of the proposed calibration method. The calibration method is applying for the USA patent and ROC patent. In addition, we also proposed a digital calibration method for the current-steering DAC. Compared with the state-of-the-art calibration methods which focus on enhancing the SFDR rather than the SNDR, the proposed method can improve the INL and DNL and thus reduce the output noise power. In addition, our calibration method does not require additional current sources. As a result, it does not suffer from the mismatch issue between the added current sources and the original current sources. The analog circuits of the hardware implementation only consist of a current comparator and some switches. The rest added circuits are all digital. Hence, the implementation of the proposed calibration method is very robust and does not have any impact on the yield of the DAC. We implemented a 14-bit 100MS/s digitally calibrated DAC in 0.18 μ m CMOS to verify the idea. The measurement results show the proposed calibration method does improve the linearity of the DAC. The proposed method is applying for the ROC patent, currently.

一、研究目的

由於科技的進步，汽車的結構日益複雜，越來越多的電子產品被使用在汽車上面。複雜的如 DVD 影像播放器、GPS 導航系統、汽車前後防撞雷達、恆溫獨立空調等等，簡單的如 LED 尾燈、迎賓車門燈、電動天窗、電動窗、電動座椅等等，都可以看到電的影子。平價的車子，電子所佔的汽車成本比重約為 15~25%，而高級車可以佔到超過 50% 的汽車成本。這顯示汽車電子的重要性逐年攀升。

更有甚之全球的石油供給量越來越吃緊，預估在 2050 年將耗盡所有的石油，能源危機的不僅不會疏解，反而會越來越重。油電混合車只是過渡時期的產品，氫燃料車又還不成熟，未來的車可能還是比較可能採用全電動方式。如之前在美國加州發表的 Tesla 就是一台全電動的跑車，售價十萬美元，其中的馬達與電源總成由台灣製作。到了電動車的年代，電器設備的使用就會更高，將會達 80% 以上。

圖 1 所示為一個電相關的基本系統，每一個開關、燈具、驅動點，都有一條特定的導線或匯流排，將指令由開關處傳送至儀表板，然後再將動作指令傳到受驅動點。據統計汽車的總共有超過 300 條以上長短不一的導線，複雜的高級轎車甚至有超過 500 條的導線，總長度超過 1000 公尺。以電動窗為例，它就有一條線拉到電動窗的開關處，將開關的指令傳至儀表板後方，再把指令由另一條專線傳至該電動窗，方向燈與車頭燈亦有相同的機制。這些來來回回的線路，使得汽車的繞線非常的複雜。不僅造成維修的困難，也是可靠度一個非常大的威脅。

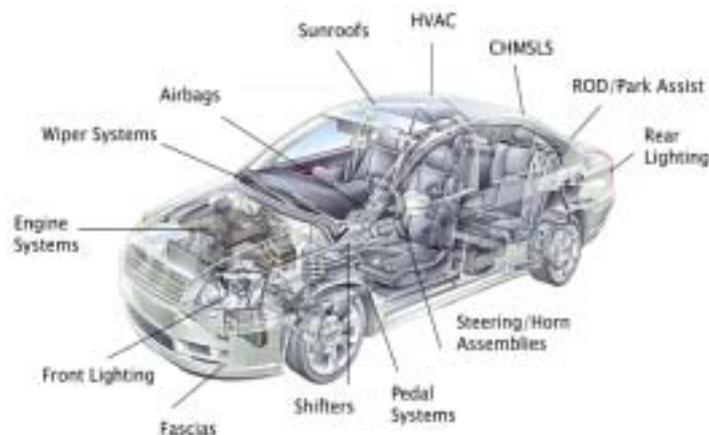


圖 1、汽車電系統示意圖

圖 2 所示為汽車電路線的示意圖，實際的複雜度遠超過此一圖示。複雜的繞線，除了提高生產成本與增加維修困難外，也嚴重的影響汽車的可靠度。統計資料顯示，多數的汽車故障與電路系統相關。此一觀察引發了本計劃的構想。

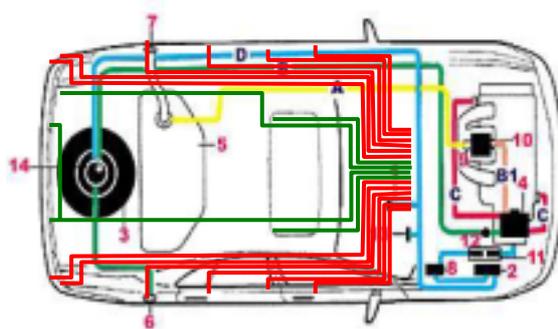


圖 2、汽車電路導線佈局示意圖

本計劃提出一個汽車專用的電源線通訊技術，並結合可程式的功率積體電路，根據所接受的指令，產生所需要的驅動信號，來驅動被控制的元件。以燈具控制而言，方向燈、煞車燈、車內燈、倒車燈、緊急燈等，均有不同亮度與閃爍頻率的需求，LED 與傳統燈泡亦有不同之驅動電壓與模式。以馬達驅動而言，自動車窗馬達、電動座椅、天窗馬達、天線馬達、甚至汽車驅動馬達等，亦有不同的驅動能力與模式。本計劃提出的汽車功率 SoC，能夠經由電源線來傳送指令，並且根據所接收到的指令，調整輸出的電壓電流大小、閃爍頻率、甚至到馬達驅動的電壓電流曲線 (Voltage/Current Profile)。如此，多數的車上電器裝備，都可使用此一晶片進行驅動，而汽車也只是一條電源線，更有甚之，此電源線為單一條串聯線，不需要向傳統的平行佈線方式。如此則能大大的減少佈線的使用，也能夠提昇汽車的可靠度，降低汽車的生產成本。

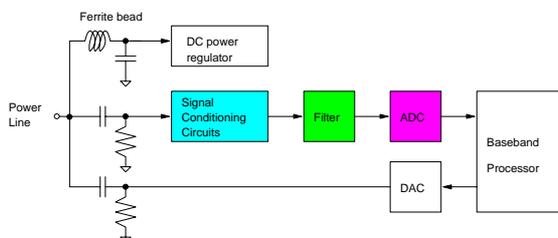


圖 3、提出之應用於車用電源線通訊系統之 transceiver 的基本架構

圖 3 顯示本子計畫所提出之應用於車用電源線通訊系統之 transceiver 的基本架構。其包含一 signal conditioning circuits、an anti-aliasing filter、一個類比數位轉換器(ADC)、與一個數位類比轉換器(DAC)。對發射端(transmitter end)而言，通訊訊號經由基頻處理器(baseband processor)處理後，送至 DAC 轉成類比訊號，再藉由 AC coupling 電容耦合至 DC power line 上。對接收端(receiver end)而言，先藉由 AC coupling 電容將電源線上之通訊訊號的共模訊號調整至適當位準後，再經 signal conditioning circuits 與 anti-aliasing filter 處理，將訊號調整制適當位準並將雜訊作初步濾除，最後將輸出送至 ADC 轉成數位訊號後，再交由基頻處理器處理。

經初步估算，ADC 的規格需具備 10 位元解析度與 10MS/s 的取樣率。對於如此的規格而言可能的 ADC 架構包含管線式(pipelined)類比數位轉換器與循序逼近式(successive approximation, SA)類比數位轉換器。然而，受限於電池的有限容量，我們必須儘可能降低各元件的功耗。管線式類比數位轉換器與積分式調變器皆需要運算放大器作為基本元件所以其耗能較高。另一方面，循序逼近式類比數位轉換器不需要高效能的運算放大器，因此可以大幅降低類比數位轉換器的功耗。

要同時達到低耗能與高精準度對傳統的循序漸近式 SAR ADC 設計來說是非常困難的，這是由於傳統設計使用了二進位加權電容陣列來實現所需的 DAC，所以 ADC 的整體效能會被 DAC 的線性度給限制住了。為解決 DAC 中電容由於製程的不精準度所造成整體 ADC 的效能下降，我們提出一嶄新的前景校正方法，藉由所提出的校正演算法可發現各個電容之間的比例誤差並且加以數位量化，並在最終轉換後依所的數位誤差碼修正輸出碼，如此便可提升 SAR ADC 的精準度，又可同時達到超低耗能的要求。所需的額外硬體皆為數位電路，因此具備高良率的特性。

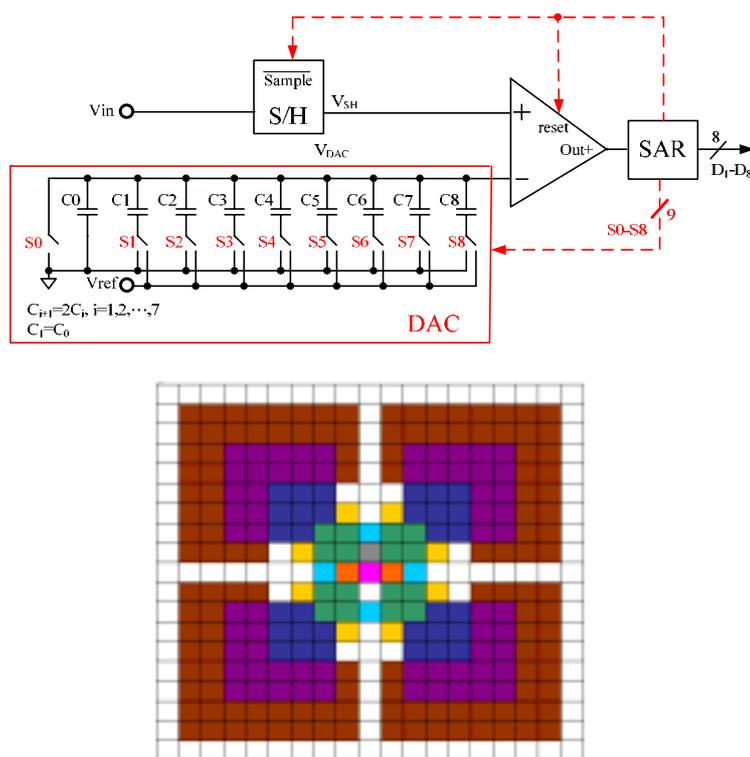


圖 4、傳統八位元循序漸近式類比數位轉換器與其對稱中心電容佈局架構

傳統的 SAR ADC 架構如圖 4，我們以八位元之 SAR ADC 舉例，為了解決電容之間不匹配的效應，所以通常採用中心對稱式的佈局，以期望能使誤差作常態分布，把電容的影響最小化，ADC 之精準度最大化。

但是此種佈局方式僅能解決 2-D 的不對稱問題，但是實際晶片完成後的電容

不匹配效應是無法被解決的。所以我們利用不同的切換方式找出電容之間的誤差量，而且我們只需要一個參考電壓就可以將電容過大 / 過小所造成的誤差量給數位化，之後儲存在暫存器中，每次轉換過程中分別補償所使用到的電容所造成的電容誤差偏移量，最後得到準確的轉換結果。

使用全差動式的電路架構，能夠使類比電路之共模(common-mode)雜訊降低，因此，若能在全差動式類比數位轉換器中加入此演算法，相信一定能大大提升此類比數位轉換器的效能。在先進製程的發展下，SAR ADC 也可以在高速的取樣頻率下操作，速度接近 pipelined ADC 架構。並且在相同準確度的要求下，SAR ADC 具有低耗能的優勢。

另一方面，transceiver 所需之 DAC 至少要具備 10 位元解析度與 10MS/s 的取樣率方能提供所需的通訊頻寬。一般常見的數位類比轉換器包括了電阻式、電容式與電流導向式，然而，前兩種使用運算放大器之電阻式和電容式數位類比轉換器很難推動低電阻負載，故我們預計採用電流重新導向式(current-steering, CS)的數位類比轉換器架構來實作，其偏壓電流只有一種流向：流向負載。可知其電流轉換效益為 100%，可以產生足夠大的電流去推動高負載。因此，在高速的應用中使用電流導向式數位類比轉換器是一個很好的實現方式。

二、研究方法與成果

基於上述討論，本計劃實現一個具備 12 位元解析度與 10MS/s 的取樣率的低耗能循序逼近式類比數位轉換器，以及一個具備 14 位元精確度與 100 MS/s 的取樣率的高速電流導向式數位類比轉換器，作為本子計畫所提出之應用於車用電源線通訊系統之 transceiver 的元件。以下將分別討論此 SAR ADC 和 CS DAC 的設計原理及電路實現。

1. SAR ADC 的設計與實現

由於要實現低耗能的類比數位轉換器，從各種類比數位轉換器架構上的分析，發現在中解析度(8~12 bits)的設計採用循序漸近式類比數位轉換器是最省電的架構，於是我們使用循序漸近式類比數位轉換器的架構來完成我們的類比數位轉換器。

全差動循序漸近式類比數位轉換器主要的構成元件為一個比較器，兩組具有多位元輸入能力的數位類比轉換器(DAC)，以及數位循序漸近暫存器(SAR)，而若解析度高時，通常比較器前會加上一前置放大器，圖 5 為傳統的循序漸近式類比數位轉換器架構。此架構的轉換原理主要是使用二進位搜尋演算法(binary search algorithm)的觀念，其操作方式主要分成兩個部分，分別是取樣模式及電荷重新分佈模式。

但是此架構有兩個缺點，第一點若要實現 12 位元的解析度，一組 DAC 就需要 4096 個單位電容，面積實在太大；第二點若使用 MiM 來實現電容，製程後

電容約有 0.1% 的誤差量，最小電容值假設為 C ，如要完成 12 位元，其最大的電容為 $2^{11} * C$ 其值在加上製成之後有 $\pm 0.1\%$ 的誤差，假設以誤差最大值來考慮 (-0.1%)，其最小值為 $2^{11} * C * 0.999$ ，假設其它電容為理想，其理想上 $1/2V_{ref}$ (V_{ref} 假設為 $1v$) 應該分到 0.5 之壓降，但因為不匹配的影響，所以只分到 0.4995 ，這個值和理想上的差值就為其不匹配所造成之錯誤，而這個錯誤為 $0.5m-V$ ，其值大於 $1/2LSB$ ($1LSB$ 等於 $0.24m-V$)。

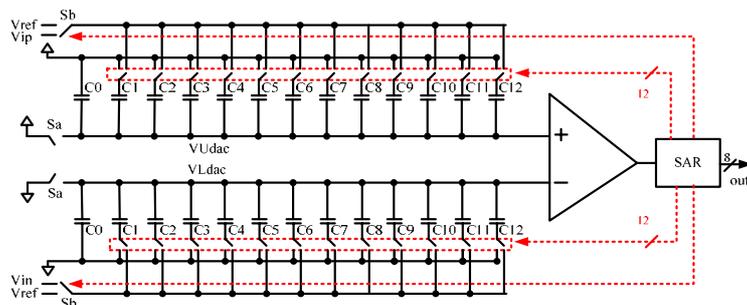
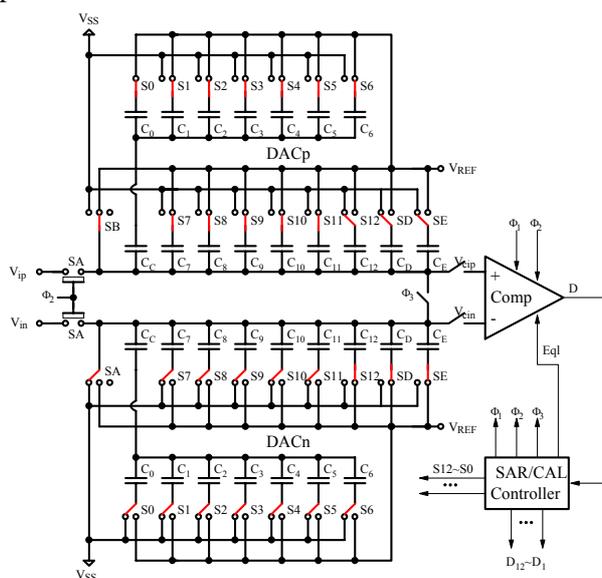


圖 5、傳統的全差動循序近似式類比數位轉換器

因此，我們改採 split DAC 的方式來實現，電路如圖 6 所示：



圖三、所提出的可校正 SAR ADC 電路

以下將對電路各個部份做詳盡介紹。

A. 取樣保持電路 (S/H)

在開關 S_N 使用 bootstrapping 的技巧，為了追求更高的線性度，故我們使用 Constant V_{gs} 的方式來提高 S/H 之線性度。

圖 7 為我們的取樣保持電路，主要的架構由一 Bootstrapping 電路將電晶體 N3 的閘極電位提升至 $2V_{DD} - \Delta V$ ，而電晶體 N10 為主要的輸入輸出開關，其當

電晶體 N10 開關 ON 時，利用 N9、P1 和 C3 將 N10 的 V_{gs} 固定在 VDD，當電晶體 N10 開關 OFF 時，利用 N3、N6 和 C3 充電至 VDD。

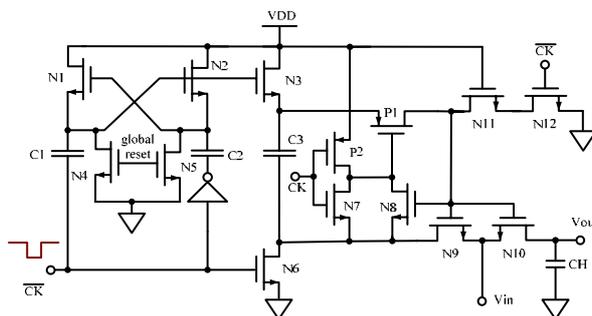


圖 7、取樣保持電路

B. 數位類比轉換器(DAC)

加權二進位電容的部分，必須去決定單位電容值，依據熱雜訊(thermal noise)的分析及製程因素所決定，而藉由我們分析熱雜訊的結果，我們發現最小的電容值只需大於 1.1f 法拉即可，但因為此值太小，受限於製程 design rules 並無法實現。因此我們依據佈局(layout)的因素來決定 C 值，最後所決定的 C 值約為 47fF。

位於前置放大器正負輸入端的兩個數位類比轉換器(DAC)，相當於一個全差動數位類比轉換器(DAC)，此 DAC 工作原理是藉由使用加權二進位電容(binary-weighted capacitor)，再藉由循序漸近暫存器所發出的一些控制信號使比較器兩端互相逼近，即是使用電荷重新分佈(charge redistribution)原理來產生 V_{Udac} 、 V_{Ldac} 電壓，藉此互相比較來決定一些控制訊號的值去產生新的 V_{Udac} 、 V_{Ldac} 。

要實現高解析度的連續漸近式的類比數位轉換器，我們使用所提出的前景(foreground)校正演算法來消除電路不匹配的影響。一開機時，電路會先進行一小段時間的電容誤差估測，以求出每一待測電容的數位誤差量。求出誤差後進入正常轉換模式，在此模式中原始的數位輸出碼中的誤差將會以數位模式消除，以得到正確的數位輸出碼。為方便說明以下以 single-ended 結構為例。

我們所提出的校正方式係利用電容互相比較的關係，找出其之間相對於彼此的比例誤差，其校正切換法如下圖所示，如此便可得到一組由於 MSB 電容減少導致的誤差，我們以校正 MSB 電容之步驟為範例舉例說明之：

- 步驟一：預充 MSB 電容

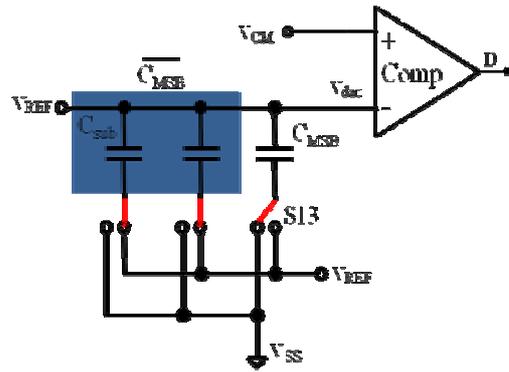


圖 8、估測因為 MSB 電容值減少引起之誤差的方法步驟一：預充 MSB 電容

此處定義：

$$\begin{aligned} \overline{C_{MSB}} + C_{MSB} &\equiv C_T \\ \overline{C_{MSB}} &= C_T - C_{MSB} = C_{MSB-1} + C_{MSB-2} + \dots + C_{sub} \\ C_{MSB} &= \frac{C_T}{2} - \Delta C_{MSB} \end{aligned}$$

- 步驟二：電荷重新分佈

利用控制開關將預充電荷重新分佈產生一電壓。此電壓之理想值為 $V_{REF}/2$ 。但由於 MSB 電容誤差造成此電壓不等於 $V_{REF}/2$ 。

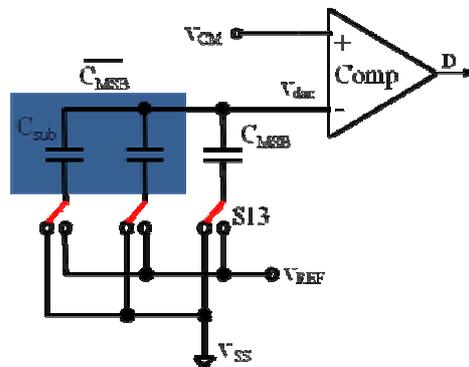


圖 9、估測因為 MSB 電容值減少引起之誤差的方法步驟二：電荷重新分佈

- 步驟三: Bit-cycling

藉由 SAR 本身的類比數位轉換能力我們可將此電壓轉換為一數位碼，此數位碼帶有 MSB 電容誤差資訊。

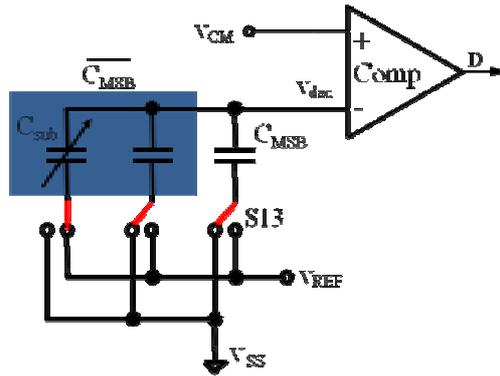


圖 10、估測因為 MSB 電容值減少引起之誤差的方法步驟三：Bit-cycling

以數學方式推導可得：

$$\frac{V_{dac}}{V_{REF}} = \frac{C_{MSB} + \Delta C_{sub}}{C_T} \rightarrow \frac{1}{2}$$

$$\frac{\Delta C_{MSB}}{C_T} = \frac{\Delta C_{sub}}{C_T} = D_E$$

因此，我們就可以得知 MSB 電容誤差量的大小。

同理，若 MSB 電容較設計值為大時我們亦可以利用類似技巧求得 MSB 電容誤差資訊。

- 步驟一：預充 MSB 電容

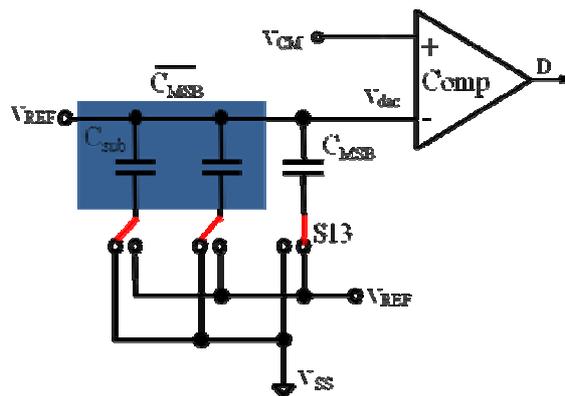


圖 11、估測因為 MSB 電容值增加引起之誤差的方法步驟一：預充 MSB 電容

- 步驟二：電荷重新分佈

利用控制開關將預充電荷重新分佈產生一電壓。此電壓之理想值為 $V_{REF}/2$ 。但由於 MSB 電容誤差造成此電壓不等於 $V_{REF}/2$ 。

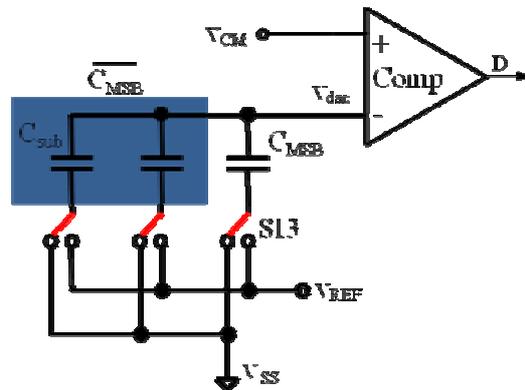


圖 12、估測因為 MSB 電容值增加引起之誤差的方法步驟二：電荷重新分佈

- 步驟三: Bit-cycling

藉由 SAR 本身的類比數位轉換能力我們可將此電壓轉換為一數位碼，此數位碼帶有 MSB 電容誤差資訊。

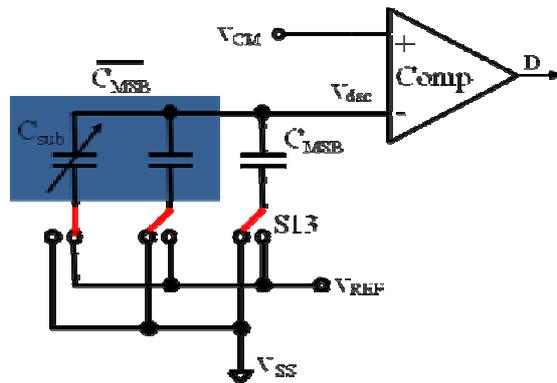


圖 13、估測因為 MSB 電容值增加引起之誤差的方法步驟三：Bit-cycling

以數學方式推導可得：

$$\frac{V_{dac}}{V_{REF}} \rightarrow \frac{1}{2} = \frac{1}{2} - \frac{\Delta C_{MSB}}{C_T} + \frac{\Delta C_{sub}}{C_T}$$

$$\Rightarrow \frac{\Delta C_{MSB}}{C_T} = D_E$$

而估測其他電容的誤差方式與 MSB 類似。同時也可以利用本法估測偏移量並加以消除。

最後是整體電路的校正與轉換流程圖如下：

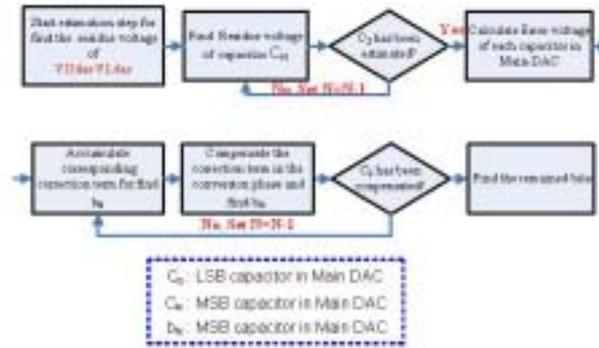


圖 14、電路校正功能流程圖

C. 比較器(Comparator)

我們的比較器架構如下圖 15，由於我們的校正演算法可以將比較器的 offset 扣除，因此我們使用最簡單的比較器設計以加快速度與降低功耗。以下將對此架構各部份做更詳細的描述。

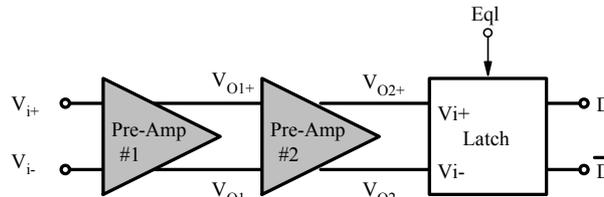


圖 15、比較器級

前置放大器電路如下：

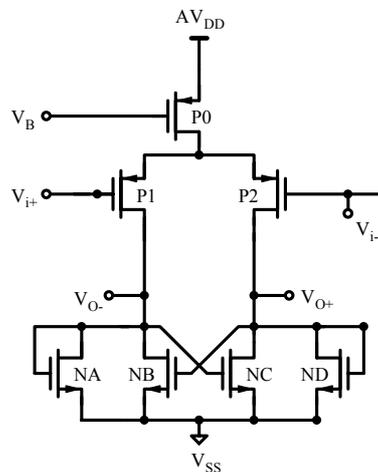


圖 16、前置放大器

Latch 為我們比較器之最後一級，以一個 regenerative resettable latch 電路來實現，而最後再加一反向器將訊號拉至數位訊號位準，其架構如圖 17 所示。

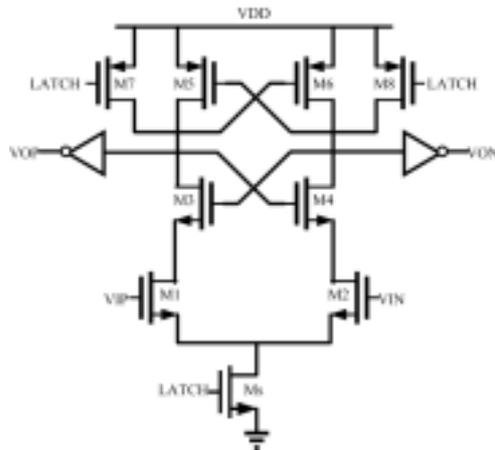


圖 17、比較器

D. 數位電路

數位電路包括了循序漸近暫存器以及校正電容所使用到的運算、控制部分。由於 TSMC 不提供 digital cell library 的 netlist 造成無法驗證電路功能，因此，此部分以本實驗室自行開發之 digital cell library 合成。

此 ADC 使用 CIC 90nm 製程製作完成，測試晶片照如圖 18 所示。

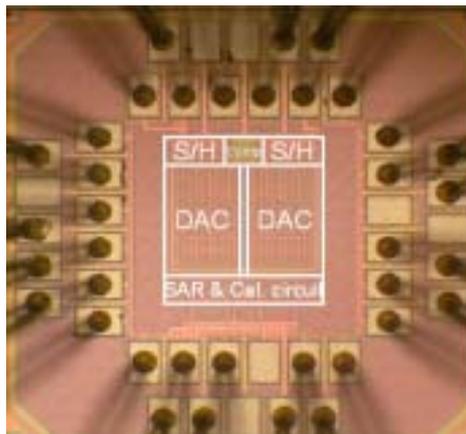


圖 18、SAR ADC 晶片照

以下測試結果在取樣頻率為 9MS/s 與 1.2V 的測試環境下測得。

靜態參數(DNL & INL) 量測結果：

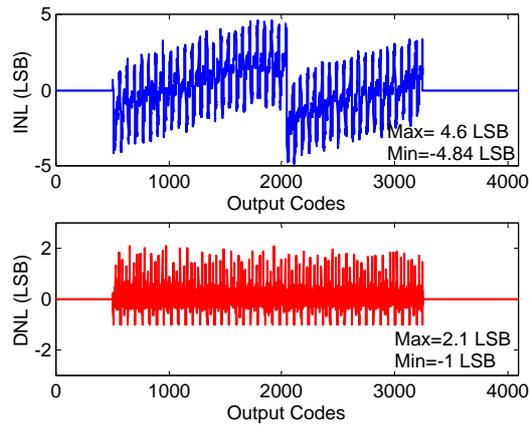


圖 19、校正前的靜態參數

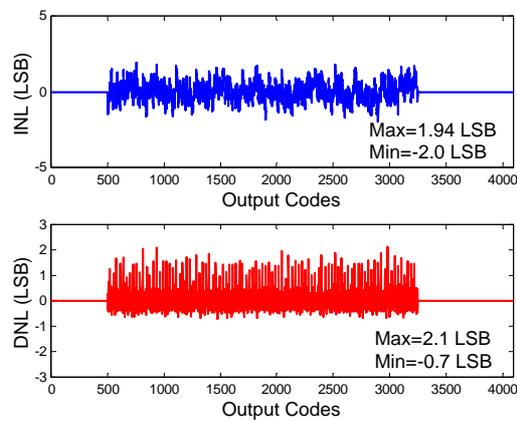


圖 20、校正後的靜態參數

由圖 19 和 20 可以觀察出，校正前和校正後 INL&DNL 有明顯的提升，INL 從 -4.84 LSB 至 4.6 LSB 改善到 -2 LSB 至 1.94 LSB。DNL 則從 -2.0 LSB 至 1.94 LSB 改善到 -0.7 LSB 至 2.1 LSB，亦即未校正前有 missing codes，校正之後則無 missing code。校正前和校正後 INL&DNL 有明顯的提升證實所提校正方法是有效的。

動態參數(SNDR)量測結果：

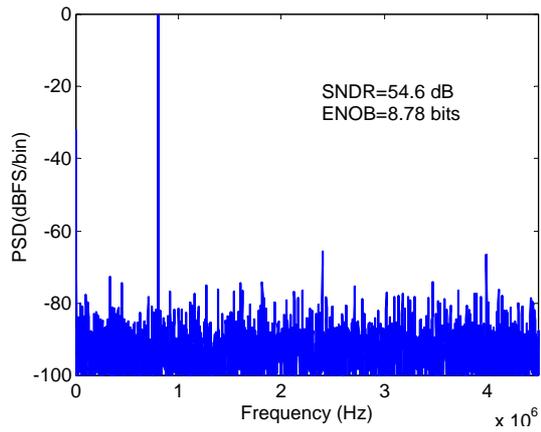


圖 21、校正前的輸出頻譜

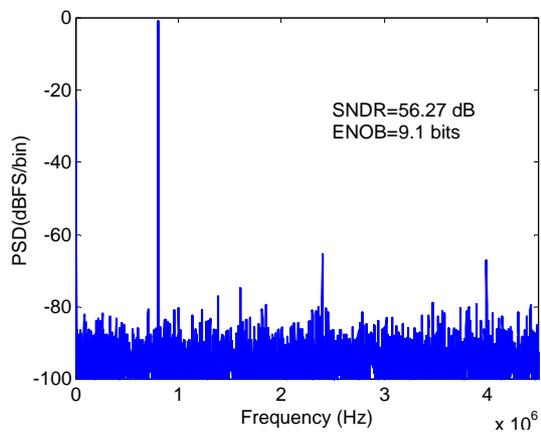


圖 22、校正後的輸出頻譜

比較圖 21 和 22 可以觀察出，校正後 noise floor 有明顯的下降，大部分的諧波也被有效的降低，而校正前和校正後的三階與五階諧波則幾乎相同，造成 SNDR 的改善幅度有限。推測可能的原因為測試訊號源的品質不佳所致。

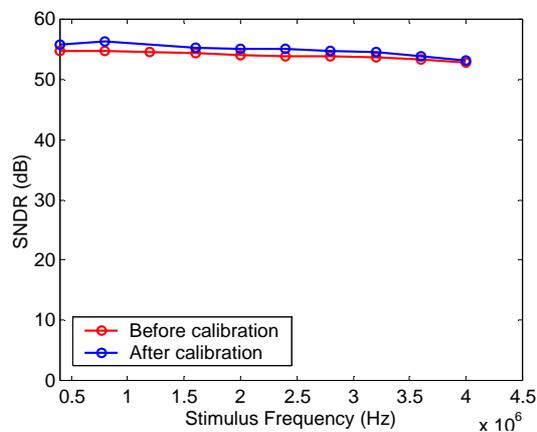


圖 23、校正前後的 fin vs. SNDR

由圖 23 可以觀察出，校正前和校正後的有效頻寬皆可達 Nyquist bandwidth，且所提出之校正方法對高頻輸入亦可提升其 SNDR。

2. CS DAC 的設計與實現

圖 24 是所提出的可校正 CS DAC 的電路架構圖，我們使用電流比較器與數位控制電路進行前景式校正，減少製程參數變異對電路產生的影響。為了避免增加額外輔助校正電流源並減少電路面積，我們對 14 位元進行了切割，切割為 3 位元 MMSB、3 位元 MLSB 與 8 位元 LSB，並將 MMSB 與 MLSB 部份以溫度計碼實現，LSB 部份以二進位權重碼實現，其中 LSB 的 8 位元經過適當的元件大小選取與設計後，其線性度可視為理想，因此，我們以此 8 位元 LSB 為基準對高位元電流源進行權重估算與校正，令 $I_0=I_{LSB1}$ 為單位電流。

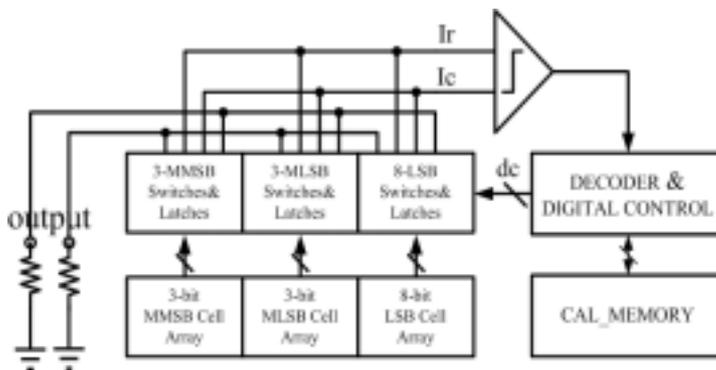


圖 24、14 位元 DAC 的電路架構圖

為了避免與昔知校正技術相同，增加太多額外類比電路與電流源，我們將 MMSB 和 MLSB 切割為大小相同的兩個電流源，為較小待校單元 (I_{CM} , I_{CL})， $I_{CM} = 2^{10} I_0$ 、 $I_{CL} = 2^7 I_0$ ，我們可以以下式表示：

$$\begin{aligned} I_{CL} &= \frac{1}{2} I_9 \leq \sum_{j=1}^8 I_j + I_0 = I_9 \\ I_{CM} &= \frac{1}{2} I_{12} \leq \sum_{j=1}^{11} I_j + I_0 = I_{12} \end{aligned} \quad (1)$$

其中 I_i 表示以二進位權重式表示之第 i 位元的理想電流 ($I_{1-8} = I_{LSB1-8}$)，如此我們可以發現 I_{CL} 相當於 LSB 電流總和加上單位電流值的一半大小，即使誤差量產生，也都小於 LSB 電流總和加上單位電流的值，所以我們可以使用循序近似式(SA)的方示利用一個電流比較器(圖 25)與數位控制電路對 I_{CM} 與 I_{CL} 進行權重估算。

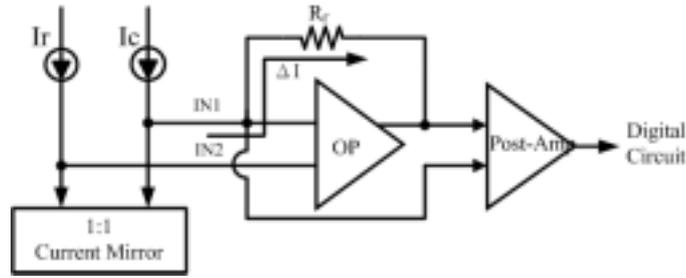


圖 25、電流比較器架構

對 I_{CL} 而言我們利用 8 位元 LSB 對其進行權重估算，因此經過 8 個時脈週期 (cycle) 後我們可以得到 I_{CL} 相對於理想 8 位元 LSB 的權重值，同理，我們利用 I_{CL} 與 LSB 對 I_{CM} 進行估算，經過 11 個 Cycle 後可以得到權重值，以同樣的方式各操作 14 次後可以得到所有 I_{CM} 與 I_{CL} 的權重值，如下式(2)所示， W_{CL_m} 與 W_{CM_n} 分別代表電流源 I_{CL_m} 和 I_{CM_n} 對理想 8 位元 LSB 的權重。

$$\begin{aligned}
 I_{CL_m} + \Delta I_{CL_m} &= \sum_{j=1}^8 w_j I_{LSB_j} + I_0 \\
 &= W_{CL_m} \cdot I_0 \\
 I_{CM_n} + \Delta I_{CM_n} &= \sum_{i=1}^{14} w_i I_{CL_i} + \sum_{j=1}^8 w_j I_{LSB_j} + I_0 \\
 &= W_{CM_n} \cdot I_0
 \end{aligned} \tag{2}$$

在權重估算結束後，每個待校電流源對於單位電流 I_0 的真實權重比例 (W_{CM_n} , W_{CL_m}) 皆儲存於記憶體中，因此，我們可以利用這些資訊對輸入訊號進行適當的校正，得到相對應的開關訊號 ($u_{1\sim14}$, $t_{1\sim14}$, $s_{1\sim8}$) 輸入電流源陣列中，以獲得正確的輸出電壓， $u_{1\sim14}$ 表示控制 14 個 I_{CM} 輸出的開關訊號， $t_{1\sim14}$ 表示控制 14 個 I_{CL} 輸出的開關訊號， $s_{1\sim8}$ 則表示控制 I_{LSB} 輸出的開關訊號，其輸出校正的流程圖如下圖 26 所示。

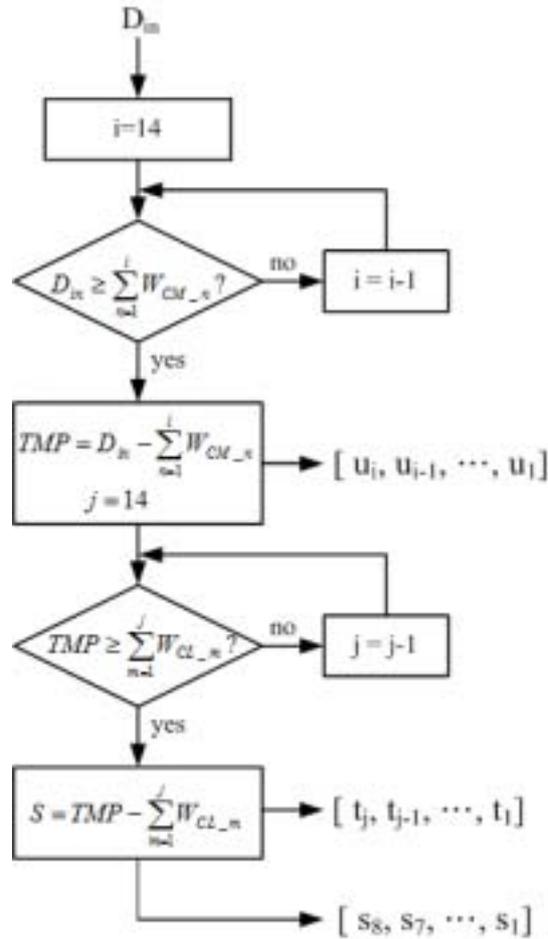


圖 26、輸出校正流程

將數位輸入訊號(D_{in})依序與 I_{CM} 的權重總合進行比較，取最接近值與其相減，即可獲得所需的 I_{CM} 開關資訊，同樣的，將餘下的數值與 I_{CM} 的權重總合再進行比較，取最接近值與其相減，即可獲得所需的 I_{CL} 開關資訊，而相減結果便為 I_{LSB} 輸出的開關訊號，我們以下式表示：

$$\sum_{i=1}^{14} d_i 2^{i-1} = \sum_{i=1}^{14} u_i W_{CM_i} + \sum_{j=1}^{14} t_j W_{CL_j} + \sum_{k=1}^8 s_k 2^{k-1} \quad (3)$$

此 CS DAC 的電路結構包含了電流源陣列，一個比較器以及一個數位邏輯電路。在我們的設計中，我們使用了四個開關的電流源單元(圖 27)，當操作於權重估算時將待較電流源電流導向 I_c 方向，而參考電流源單元電流導向 I_r 方向，利用電流鏡與比較器(圖 28)以 SA 的方式進行權重估算，其餘未參與權重估算的電流源則將電流導向 V_{O+} 與 V_{O-} 。

正常操作時，關閉 I_c 、 I_r 方向開關，待數位電路對輸入訊號進行校正後，將電流導向 V_{O+} 與 V_{O-} 得到期望輸出電壓。數位電路部份，我們利用標準元件設計，使用 Verilog 設計數位控制訊號，經過電路合成與繞線實現，再將數位與類比電路一起進行佈局繞線。

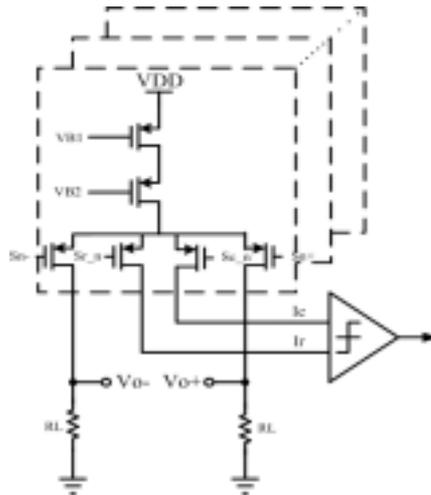


圖 27、電流源單元

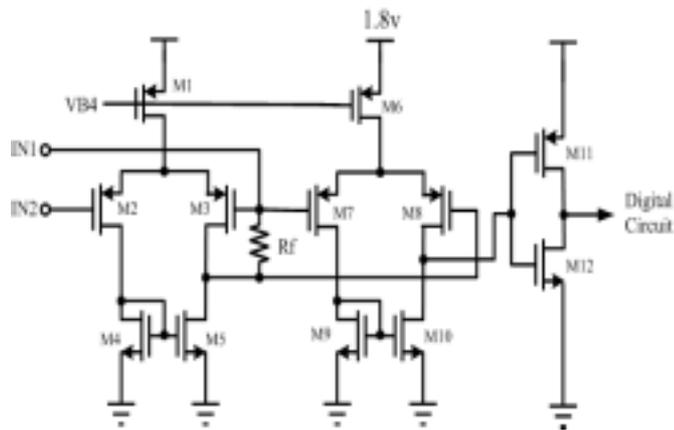


圖 28、比較器電路

我們使用 TSMC 0.18um 1P6M CMOS process 實現此 DAC，圖 29 為此 CS DAC 的晶片照，晶片大小為 1.17 mm x 1.41 mm，其中 core 的面積是 0.66 mm x 0.75 mm。

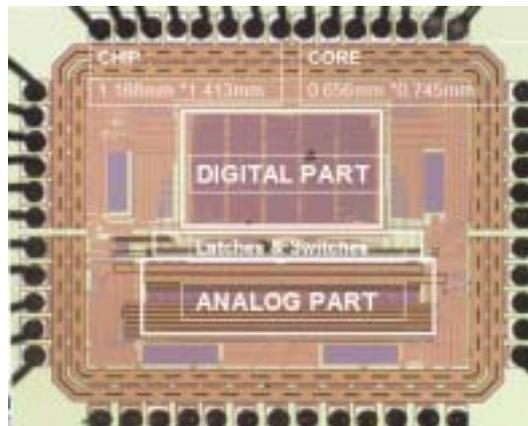


圖 29、CS DAC 的晶片照

靜態參數(DNL & INL) 量測結果：

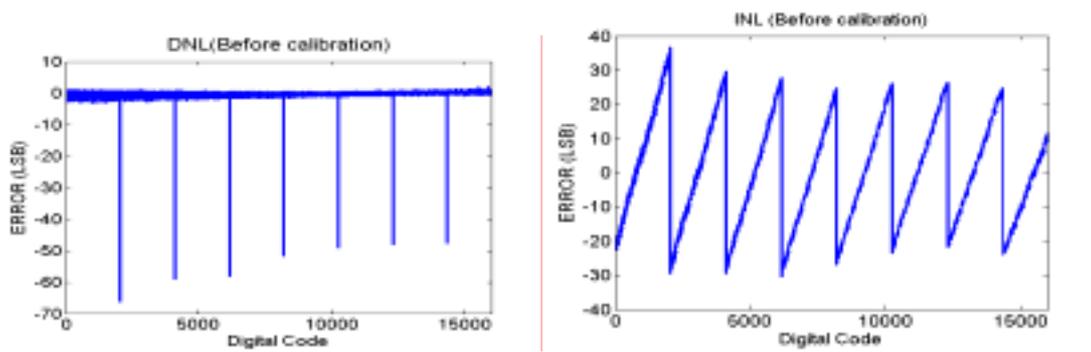


圖 30、校正前的靜態參數

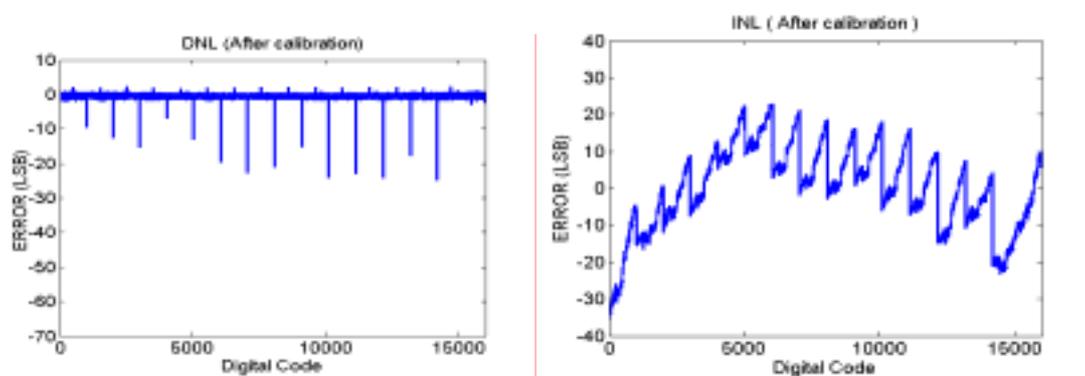
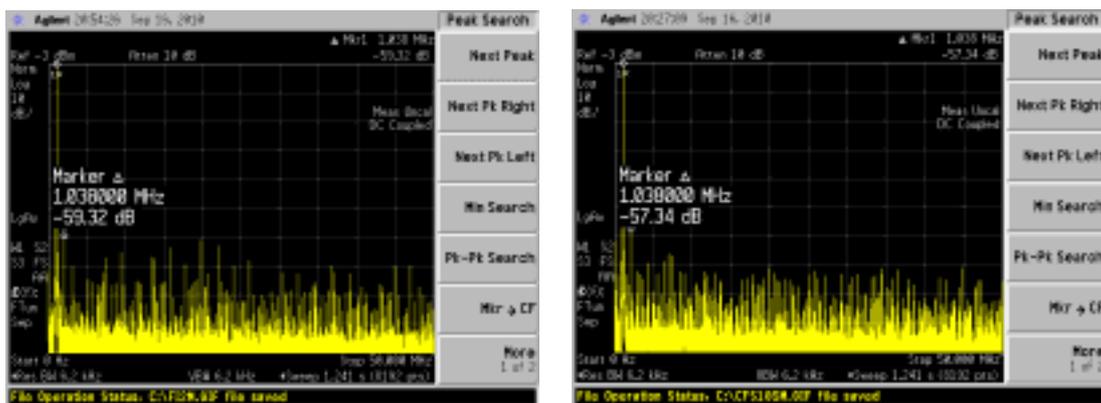


圖 31、校正後的靜態參數

由圖 30 和 31 可以觀察出，校正前和校正後 INL&DNL 有明顯的提升證實所提校正方法是有效的。

動態參數(SFDR)量測結果：



(a)

(b)

圖 32、 $F_{in}=1\text{MHz}$ 、 $F_s=100\text{MHz}$ (a)校正前 (b)校正後

圖 32 顯示出當輸入訊號頻率為 1MHz 而取樣頻率為 100MHz 時，校正前與校正後 SFDR 的差異。

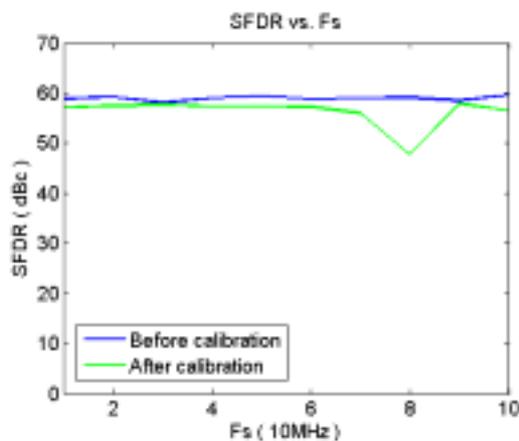


圖 33、SFDR 與取樣頻率的關係

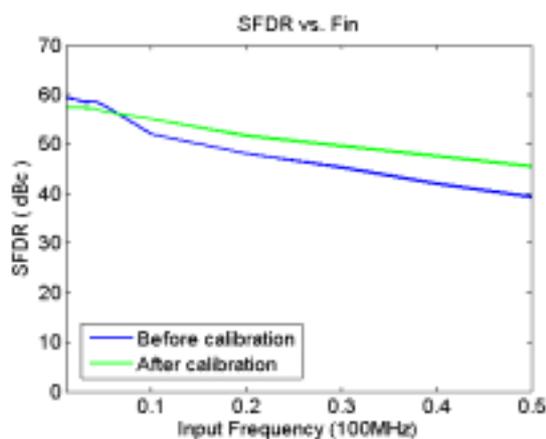


圖 34、SFDR 對輸入頻率的關係

Technology	TSMC 1P6M 0.18 μ m CMOS
Area	0.49 mm ²
Supply Voltage	1.8 V / 3.3 V
Resolution	14 bits
Sampling rate	100 MS/s
DNL	25 LSB
INL	34LSB
SFDR@ Fin=1MHz	57.3 dBc

表 1、CS DAC performance summary

圖 33 是量測的 SFDR 在輸入頻率為二十分之一取樣頻率時，對不同的取樣頻率所作的圖，圖 34 是量測的 SFDR 在取樣頻率為 100MHz 時，對不同的輸入頻率所作的圖。當輸入頻率到奈奎斯頻率時，SFDR 並沒有顯著的下降。

三、計畫成果自評

本子計畫針對總計畫的需求在計劃全程期間總共設計包含類比數位轉換器以及數位類比轉換器等共十顆以上的測試晶片。計畫執行由一開始我們使用傳統的電路設計出符合計畫需求的資料轉換器，到後來我們針對如何進一步提升轉換器效能而發展出有效的自我校正技術，並在 TSMC 不支援數位電路資料庫的情形下自行開發出所需的數位電路資料庫，最後並使用此資料庫完成測試晶片製作，驗證所提出的方法的確有效。過程備極艱辛，在此感謝所有參與同學的努力。

在學術上，本子計畫的主要貢獻包含

1. 循序漸近式(SA)類比數位轉換器(ADC)之前景校正技術

循序漸近式類比數位轉換器具有低功耗同時可以提供每秒數百萬次取樣的特點，因而非常適合應用於車用電源線通訊系統上。然而，循序漸近式類比數位轉換器的有效位元一般來說會受限於電容的匹配程度。為提高該類類比數位轉換器的精準度，我們提出一種適用於循序漸近式(SA)類比數位轉換器(ADC)之前景校正技術。此校正技術重複使用原循序漸近式類比數位轉換器的類比電路元件完成校正工作，所需的額外硬體皆為數位電路，因此具備低成本與高良率的特點。我們並已完成一 12 位元具前景校正功能之循序漸近式類比數位轉換器測試晶片的設計與製作，量測結果顯示所提出之校正方法可以將原本 ± 4.8 LSB 之 INL 提升至 ± 2.0 LSB 以內。本技術申請我國及美國專利中。

2. 電流導向式(current-steering)數位類比轉換器(DAC)之校正技術

車用電源線通訊系統上需要數位類比轉換器將調變後之訊號送出。電流導向式數位類比轉換器可以直接推動極重的負載，因此非常適合此應用。然而，電流導向式數位類比轉換器的有效位元一般來說會受限於電流元的匹配程度。為提高該數位類比轉換器的精準度，我們提出一種適用於電流導向式數位類比轉換器之前景校正技術。此校正技術只需加入少數的類比開關與一個電流比較器便可完成校正工作，大部分所需的額外硬體皆為數位電路，因此具備低成本與高良率的特點。我們並已完成一 14 位元具前景校正功能之電流導向式數位類比轉換器測試晶片的設計與製作，量測結果顯示本技術的確能有效提升有效位元並降低雜訊。本技術申請我國專利中。

對國家社會的貢獻而言，這兩種校正技術未來可以推廣至業界使用，提升我國的 IC 設計技術層次。此外計畫的執行共培育出具資料轉換器設計專長的多位碩士成為國內 IC 設計產業的生力軍。

參考文獻

1. M. D. Scott, B.E. Boser, K.S.J. Pister, "An Ultra-Low Power ADC for Distributed Sensor Networks," in *IEEE ESSCIRC proceedings*, September 24-26 2002, Firenze, Italy.
2. R. Gregorian and G. Temes, "Analog MOS Integrated Circuits for Signal Processing," *John Wiley & Sons, Inc.*, 1986.
3. B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill Companies, Inc. 2001
4. A. Acharya, P.J. Hurst, and S.H. Lewis, "Thermal Noise from Switches in a Switched-Capacitor Gain Stage," *Proc. of the Southwest Symp. on Mixed-Signal Design*, pp. 121-126, Las Vegas, Feb. 2003.
5. J. Sauerbrey, D. Schmitt-Landsiedel and R. Thewes, "A 0.5-V 1- μ W successive approximation ADC," *IEEE J. Solid-State Circuits*, Vol. 38, No.7, 1261- 1265, 2003.
6. P. E. Allen, and D. R. Holberg, *CMOS Analog Circuit Design*, New York Oxford, Second Edition, 2002
7. D. A. Johns, and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997
8. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th Ed., Oxford University Press, 1998
9. T. Yoshida, M. Akagi, M. Sasaki, and A. Iwata, "A 1V supply successive approximation ADC with rail-to-rail input voltage range," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol. 1, pp. 192-195, May 2005
10. J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full CMOS switched-capacitor filters at very low power supply," *IEEE J. Solid-State Circuits*, Vol. 29, No. 8, pp. 936-942, Aug. 1994.
11. A. Baschiroto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1979-1986, Dec. 1997.
12. T. Cho and P. R. Gray, "A 10 b, 20 Msamples/s, 35 mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, Vol. 30, No. 3, pp. 166-172, Mar. 1995.
13. S. Rabbii and B. A. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8- μ m CMOS," *IEEE J. Solid-State Circuits*, Vol.32, No. 6, pp. 783-796, June, 1997.
14. N. Verma and A. P. Chandrakasan, "A 25 μ W 100KS/s 12b ADC for wireless micro-Sensor applications," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Digest of Technical Papers*, pp. 822-831, 2006
15. C. J. B. Fayomi, G. W. Roberts, and M. Sawan, "A 1-V, 10-bit rail-to-rail successive approximation Analog-to-Digital converter in standard 0.18 μ m CMOS technology," in *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS)*, pp. 460-463, 2001.

16. F. Kuttner, "A 1.2V 10b 20MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Digest of Technical Papers*, pp. 136–137, Feb. 2002
17. H. Neubauer, T. Desel, and H. Hauer, "A successive approximation A/D converter with 16bit 200kS/s in 0.6 μ m CMOS using self calibration and low power techniques," in *Proc. the 8th IEEE International Conference on Electronics, Circuits and Systems*, pp. 859–862, Sep. 2001.
18. H.-S. Lee, D. A. Hodges, P. R. Gray, "Self-Calibrating 15 Bit CMOS A/D Converter," *IEEE J. Solid-State Circuits*, Vol. 19, No. 6, Dec., 1984.
19. K.-S. Tan, "ON BOARD SELF-CALIBRATION OF ANALOG-TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERTERS," United States Patent 4399426, Aug. 16, 1983
20. H.-C. Hong, and G.-M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, Vol. 42, No. 10, Oct., 2007
21. G. Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1 MS/s," *IEEE J. Solid-State Circuits*, Vol. 36, No. 7, Jul. 1995.
22. G.-Y. Huang, C.-C. Liu, Y.-Z. Lin, S.-J. Chang, J. J. Kang, and M. P. Flynn, "A 12b 11MS/s Successive Approximation ADC with two comparators in 0.13 μ m CMOS," *IEEE Symposim on VLSI Circuits*, 2009, pp. 240-241
23. W. Liu, P. Huang and Y. Chiu, "A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR", in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Digest of Technical Papers*, pp. 380–381, Feb. 2010.
24. Y. Cong and R. Geiger, "A 1.5-V 14-b 100MS/s Self-Calibrated DAC," *IEEE J. Solid-State Circuits*, Vol. 38, No. 12, pp. 2051-2059, Dec. 2003.
25. A. Bugeja and B. S. Song, "A Self-Trimming 14-b 100-MS/s CMOS DAC," *IEEE J. Solid-State Circuits*, Vol. 35, No. 12, pp. 1841-1851, Dec. 2000.
26. H. Chen, J. Lee, J. Weiner, and J. Chen "A 14-bit 150-MS/s CMOS DAC with Digital Background Calibration," *Symp. VLSI Circuits Dig. Tech. Papers*, paper 6-4, June, 2006.
27. M. Tiilikainen, "A 14-bit 1.8-V 20-mW 1-mm² CMOS DAC," *IEEE J. Solid-State Circuits*, Vol. 36, No. 7, pp. 1144-1147, July 2001.
28. Y. Ikeda, M. Frey, and A. Matsuzawa, "A 14-bit 100-MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC," *Proc. IEEE Asian Solid-State Circuits Conference*, Nov. 2007.
29. D.-H. Lee, T.-H. Kuo, and K.-L. Wen, "Low-Cost 14-Bit Current-Steering DAC With a Randomized Thermometer-Coding Method," *IEEE Transactions on circuits and systems—II: Express Briefs*, vol. 56, no. 2, pp. 137-141, Feb. 2009.
30. D.-H. Lee, Y.-H. Lin, and T.-H. Kuo, "Nyquist-rate current-steering digital-to-analog converters with random multiple data-weighted averaging

- technique and QN rotated walk switching scheme,” *IEEE Trans. Circuits and System— II, Exp. Briefs*, vol. 53, no. 11, pp. 1264–1268, Nov. 2006.
31. Tao Chen, and G. G. E. Gielen, “A 14-bit 200-MHz Current-Steering DAC With Switching-Sequence Post-Adjustment Calibration,” *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 347-350, Nov. 2007.
 32. S.-C. Liang and H.-C. Hong, “A Digitally Testable Σ - Δ Modulator using the Decorrelating Design-for-Digital-Testability Scheme,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 19, No. 3, pp. 503-507, 2011.
 33. S.-F. Hung and H.-C. Hong, "A Fully Integrated Built-in Self-Test Sigma-Delta ADC on a Wireless Test Platform," *Proceedings of IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW'11)*, Santa Barbara, California, May, 2011
 34. S.-F. Hung and H.-C. Hong, “Design of a Design-for-Digital-Testability Third-Order Sigma-Delta Modulator,” *Proceedings of IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW'11)*, Santa Barbara, California, May, 2011
 35. K.-M. Lei and H.-C. Hong “A 12-bit 25MS/s Asynchronous SAR ADC,” *Proceedings of the 21th VLSI Design/CAD Symposium*, Yun-Lin, Aug., 2011
 36. H.-C. Hong, “A study on analog fault models,” *The 5th VLSI Test Technology Workshop (VTTW)*, Xi-Tou, Jul., 2011
 37. S.-F. Hung and H.-C. Hong, “ A Fully Integrated Built-in Self-Test $\Sigma \Delta$ ADC on the Wireless Test Platform, ” *The 4th VLSI Test Technology Workshop (VTTW)*, Yi-Lan, Aug., 2010

國科會補助專題研究計畫項下出席國際學術會議心得報告

日期：100 年 10 月 21 日

計畫編號	NSC 99 - 2220 - E - 009 - 023 -		
計畫名稱	具通信功能之車用功率系統晶片 - 子計畫一：車用電源線通訊系統之類比前端積體電路設計(3/3)		
出國人員姓名	洪浩喬	服務機構及職稱	國立交通大學電機系 副教授
會議時間	100 年 5 月 16 日至 100 年 5 月 18 日	會議地點	美國加州聖塔芭芭拉市
會議名稱	<p>(中文)國際電機電子工程師協會混合訊號、感測器、與系統測試研討會</p> <p>(英文) IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW'11)</p>		
發表論文題目	<p>(中文)</p> <p>1. 一個使用於無線測試平台之全整合自我測試三角積分調變器</p> <p>2. 一個具易測試設計之三階三角積分調變器的設計</p>		

	(英文) 1. "A Fully Integrated Built-in Self-Test Sigma-Delta ADC on a Wireless Test Platform," 2. "Design of a Design-for-Digital-Testability Third-Order Sigma-Delta Modulator,"
--	---

一、參加會議經過

本人和台大黃俊郎教授、以及本人所指導博士班學生洪紹峰於 2011/5/15 一同前往美國加州，參加為期三天的 IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW)，此行目的是與指導學生共同發表兩篇論文，並獲邀擔任 session chair。我們一行三人於台北時間 5/15 18:40 搭乘長榮航空班機飛往美國洛杉磯，並於美國時間 5/15 15:25 抵達洛杉磯 LAX 國際機場。抵達後隨即租車前往會議地點 Santa Barbara，Santa Barbara 位於南加州是一個臨海的小城鎮，距離洛杉磯約三小時車程，我們在傍晚時分到達會議所在飯店 check in 入住。

第一天早上 8 點在會議主席 Dr. K.-T. Tim Cheng 致詞中揭開序幕，接著由 UIUC 的教授 Dr. Naresh R. Shanbhag 帶來精彩的 keynote speech，演講的題目為 "System-assisted mixed-signal design"，講者以本身的研究為例探討 mixed-signal design 的設計考量及困難所在。本人擔任當日上午 Paper Session 2: Converter Testing I 之 session chair。

第二天上午由學生報告我們所發表的論文 "A fully integrated BIST ADC on a wireless test platform"，此論文是我們近年來對於內建自我測試(BIST)技術的研究成果，藉由將待測 ADC 和 BIST 電路整合在同一晶片中，可大幅降低 ADC 測試的成本及複雜度。上午的議程另有 special industrial session，討論的主題為 "Current Industrial Practices for Analog/Mixed-Signal/RF IC Test"，邀請了來自 Texas Instruments、Intel、Qualcomm 等多位業界專家分享經驗。

第三天報告我們所發表的第二篇論文 "Design of a design-for-digital-testability third-order Σ - Δ modulator"，本篇論文是藉由電路模擬探討數位可測試性(design-for-digital-testability)技術應用於不同電路架構的效能，進而選擇出最合適的電路架構。最後一天的議程於 15:30 順利結束，本人隨即與黃俊郎教授驅車返回 LAX 機場候機，搭乘 5/19 凌晨 1:15 搭機返國，並於 5/20 6:20 返抵桃園機場，結束了這次的旅程。

二、與會心得

本次參加 IEEE IMS3TW'11 除發表論文外，亦和混合訊號測試領域國際知名學者如大會主席 Tim Cheng 法國TIMA 的 Prof. S. Mir, 與 Georgia Tech 的 Prof. Chartergee 等交換意見。目前我們的研究領先全球，未來將持續努力維持領先局面。

四、建議

感謝國科會給予經費支援讓本人能出席此國際會議發表論文以及與國際學者進行意見交流。

五、攜回資料名稱及內容

Proceedings of IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW'11), Santa Barbara, California, May, 2011

六、其他



圖一、所指導博士學生報告論文



圖二、筆者與指導學生於會場留影



圖三、筆者(左二)與大會主席 Tim Cheng(右二)、大會副主席 J. -L. Huang(左一)於會場留影

國科會補助計畫衍生研發成果推廣資料表

日期:2011/10/31

國科會補助計畫	計畫名稱：子計畫一：車用電源線通訊系統之類比前端積體電路設計(3/3)	
	計畫主持人：洪浩喬	
	計畫編號：99-2220-E-009-023-	學門領域：晶片科技計畫--整合型學術研究計畫
研發成果名稱	(中文) 一種數位類比轉換器之數位校正方法	
	(英文) A digital calibration method for digital-to-analog converters	
成果歸屬機構	國立交通大學	發明人 (創作人) 洪浩喬, 王毓賢
	<p>(中文) 本發明提出一應用於電流導向式數位類比轉換器之前景校正方法。藉由使用本發明可提升電流導向式數位類比轉換器之解析度，同時降低其輸出雜訊或面積。此校正技術只需加入少數的類比開關與一個電流比較器便可完成校正工作，大部分所需的額外硬體皆為數位電路，因此本發明具備低成本與高良率的特點。我們並已完成一14位元具前景校正功能之電流導向式數位類比轉換器測試晶片的設計與製作，量測結果顯示本技術的確能有效提升有效位元並降低雜訊。</p> <p>(英文) A digital calibration method for current-steering digital-to-analog converters which can enhance the resolution and reduce the output noise of digital-to-analog converters. By addig some analog switches, a current comparator, and a digital calibration controller, the DAC can be digitally calibrated so as to reduce the current weight errors of the current sources. The calibration method is very robust because the major hardware overhead is the digital controller. As a result, the calibration DAC achieves a high yield.</p>	
產業別	電機及電子機械器材業；研究發展服務業	
技術/產品應用範圍	IC 設計	
技術移轉可行性及預期效益	可量產技術	

註：本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

99 年度專題研究計畫研究成果彙整表

計畫主持人：洪浩喬		計畫編號：99-2220-E-009-023-				計畫名稱：具通信功能之車用功率系統晶片--子計畫一：車用電源線通訊系統之類比前端積體電路設計(3/3)	
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	10%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	3	0	100%		
		專書	0	0	100%		
	專利	申請中件數	2	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（本國籍）	碩士生	4	0	100%	人次	
		博士生	1	0	100%		
博士後研究員		0	0	100%			
專任助理		0	0	100%			
國外	論文著作	期刊論文	1	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	2	0	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	1	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
博士後研究員		0	0	100%			
專任助理		0	0	100%			

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>無</p>
--	----------

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

目前

1. 循序漸近式(SA)類比數位轉換器(ADC)之前景校正技術已通過校內審查，申請我國及美國專利中。

2. 電流導向式(current-steering)數位類比轉換器(DAC)之校正技術已通過校內審查，申請我國專利中。

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫發展出兩種嶄新的校正技術包含：

1. 循序漸近式(SA)類比數位轉換器(ADC)之前景校正技術

循序漸近式類比數位轉換器具有低功耗同時可以提供每秒數百萬次取樣的特點，因而非常適合應用於車用電源線通訊系統上。然而，循序漸近式類比數位轉換器的有效位元一般來說會受限於電容的匹配程度。為提高該類類比數位轉換器的精準度，我們提出一種適用於循序漸近式(SA)類比數位轉換器(ADC)之前景校正技術。此校正技術重複使用原循序漸近式類比數位轉換器的類比電路元件完成校正工作，所需的額外硬體皆為數位電路，因此具備低成本與高良率的特點。我們並已完成一 12 位元具前景校正功能之循序漸近式類比數位轉換器測試晶片的設計與製作，量測結果顯示所提出之校正方法可以將原本 ± 4.8 LSB 之 INL 提升至 ± 2.0 LSB 以內。本技術申請我國及美國專利中。

2. 電流導向式(current-steering)數位類比轉換器(DAC)之校正技術

車用電源線通訊系統上需要數位類比轉換器將調變後之訊號送出。電流導向式數位類比轉換器可以直接推動極重的負載，因此非常適合此應用。然而，電流導向式數位類比轉換器

的有效位元一般來說會受限於電流元的匹配程度。為提高該數位類比轉換器的精準度，我們提出一種適用於電流導向式數位類比轉換器之前景校正技術。此校正技術只需加入少數的類比開關與一個電流比較器便可完成校正工作，大部分所需的額外硬體皆為數位電路，因此具備低成本與高良率的特點。我們並已完成一 14 位元具前景校正功能之電流導向式數位類比轉換器測試晶片的設計與製作，量測結果顯示本技術的確能有效提升有效位元並降低雜訊。本技術申請我國專利中。

對國家社會的貢獻而言，這兩種校正技術未來可以推廣至業界使用，提升我國的 IC 設計技術層次。此外計畫的執行共培育出具資料轉換器設計專長的多位碩士成為國內 IC 設計產業的生力軍。