

行政院國家科學委員會專題研究計畫 成果報告

應用於多視角立體視訊之多核心節能智慧超微型通訊系統
研究--子計畫一：針對特殊應用之多處理器系統中可重置
化傳輸資源之設計及最佳化(I)
研究成果報告(精簡版)

計畫類別：整合型
計畫編號：NSC 99-2221-E-009-190-
執行期間：99年08月01日至100年07月31日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：賴伯承

計畫參與人員：碩士班研究生-兼任助理人員：邱奏翰
碩士班研究生-兼任助理人員：李冠儒
碩士班研究生-兼任助理人員：陳柏諺
碩士班研究生-兼任助理人員：陳冠廷
碩士班研究生-兼任助理人員：江志軒
碩士班研究生-兼任助理人員：陳琬菁
大專生-兼任助理人員：顏大剛
大專生-兼任助理人員：吳秉儒
大專生-兼任助理人員：王彥凱

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 100 年 09 月 26 日

行政院國家科學委員會補助專題研究計畫成果報告

針對特殊應用之多處理器系統中可重置化傳輸資源之設計及最佳化

計畫類別：整合型計畫

計畫編號：NSC 99-2221-E-009 -190

執行期間：99年8月1日至100年7月31日

執行機構及系所：國立交通大學 電子工程學系

計畫主持人：賴伯承

共同主持人：

計畫參與人員：郭玆凱，邱奏翰，李冠儒，高智恆，陳柏諺，顏大剛，
陳冠廷，王彥凱，吳秉儒

成果報告類型(依經費核定清單規定繳交)：精簡報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：
出席國際學術會議心得報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

中華民國 100 年 9 月 9 日

目錄

報告內容.....	3
前言.....	3
研究目的.....	3
文獻探討.....	3
研究方法.....	4
結果與討論.....	8
參考文獻.....	9
計畫結果自評.....	10

報告內容

前言

現今的電子系統設計架構逐漸朝著高度整合之多核心結構發展，系統中的傳輸資源也同時要能支援不同的系統應用特性。為了要達到最佳的效能，系統傳輸資源的設計必須要與應用層面的特性結合，來做整體的考量。此報告描述本計畫第一年的執行成果。依照本計畫的進程，第一年將會建立一套多核心系統模型，包含軟體及硬體模組，以支援整體效能的分析及驗證。除了完成此系統模型的建立外，本計畫並選擇臉部辨識演算法做為我們的應用，在系統模型平台上針對應用特性作效能優化與軟硬體協同設計。

臉部辨識演算法有平行度高、計算量大、大量資料傳輸需求等特性。平行度高可以充分利用多核心的平行運算能力展現出效能；計算量大則需要平均地將平行運算量分配到各核心；而大量的資料傳輸需求使得多核心系統上傳輸資源成為整個系統上的瓶頸。針對以上的應用特性，我們利用所建構出來的多核心系統平台，展現出此應用的運算平行度，並提出一個設計方法來達到運算量平均分配於各核心的目標。此外，我們並發展出一個最佳化記憶體使用方法，能將此應用於各處理器快取記憶體中的資料充分利用，達到提升效能的目的。

本計畫成果已發表於兩篇 IEEE 國際會議論文。

研究目的

此計畫的主要目標為針對特殊應用之多處理器系統中可重置化傳輸資源之設計及最佳化。本計畫將會根據應用之特性，跨設計層級的方法，來達到傳輸資源最佳化的目的。將會建立一套多核心系統模型，包含軟體及硬體模組，以支援整體效能的分析及驗證。

文獻探討

本章節將針對研究方法會使用到的部分文獻探討，包括特殊應用—臉部辨識演算法以及硬體模組—週期精準的分享記憶體式多核心多執行緒的模擬器。

特殊應用—臉部辨識，我們選擇 Viola-Jones 演算法 [1]，這個演算法是現在最廣泛使用的臉部辨識演算法，它提供了高精準度而且快速的計算。這個演算法有不少的學者投入研究改善 Viola and Jones 演算法的效能。Y. Wei [2] and M. Yang [3] 是

用特殊的硬體設計在 FGPA 上展開演算法的平行度 T. Theocharides [4]也是用可擴展性平行架構設計在 FGPA 上。C. Gao[5]是用管線架構設計在 FGPA 去加速 Haar-classifer 式的臉部辨識演算法。大多數的方法焦點在創新的硬體架構設計去加速演算法，改善演算法的效能。而我們的方法是在多核心的系統上展開演算法的平行度。這個方法可以簡單的運用在多核心的系統上而不需要花費額外的消耗在硬體的實現上。

Y. K. Chen [6]的論文是第一篇從演算法方面平行化臉部辨識演算法，作者執行在有 4~8 顆處理器的多核心平台上，整體可以達到 5.5 倍的加速。

Viola-Jones 臉部辨識演算法由於他有高精準度和很快的執行時間而廣泛應用，圖 1(a)是 Viola-Jones 臉部辨識演算法執行流程，影像首先被不同大小的掃描視窗載入和掃描，然後將整張圖片轉成集成影像使得之後 Haar-like 特徵計算，接著掃描視窗依序掃過影像上的每一個地方，而臉的特徵是在掃描視窗中利用 Haar-like 特徵計算，而 Haar-like 特徵計算是利用集成影像運算出矩形內的畫素和(如圖 1(b))，而結果送入串接的分類器中，找出臉所在的位置。

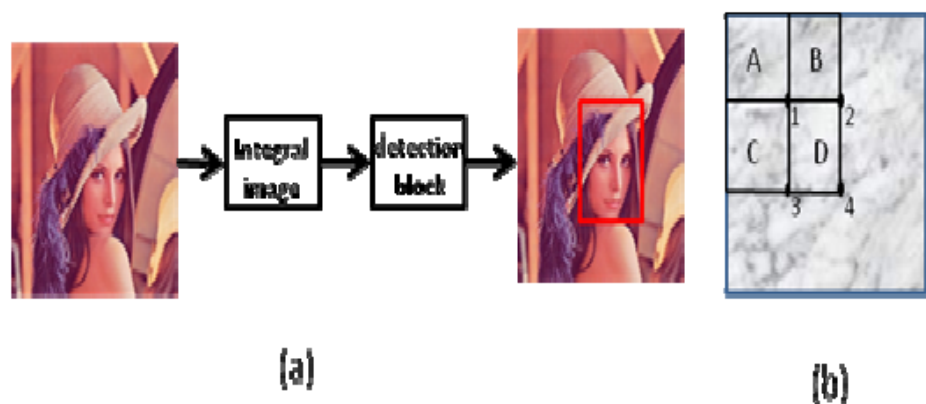


圖 1 (a) Viola-Jones 臉部辨識演算法執行流程。
(b) 集成影像計算。

(1) 集成影像：集成影像的方法第一次是發表在數位影像處理領域 F. C. Crow [7]，而在 Viola-Jones 臉部辨識演算法中是為了迅速計算 Haar-like 特徵，而集成影像的運算就如同下列公式所述。

$$I(x,y) = \sum_{x' \leq x, y' \leq y} i(x',y')$$

$I(x,y)$ 是累加一個矩形內的影像畫素和，也就是集成影像的值，從(0,0)到(x,y)，而 $I(x',y')$ 是影像位置(x',y')的集成影像的值，它可以很迅速的用來算 Haar-like 特徵中的畫素和，例如圖 1(b)，4 的位置

的集成影像值是 $A+B+C+D$ 的畫素和，而 3 的位置的集成影像值是 $A+C$ 的畫素和，如果想要 D 區域的畫素和，可以簡單的從 $(I(1) + I(4)) - (I(2) + I(3))$ 而得，這樣只需要讀取 4 個值。

(2) 串接分類器：藉由合併多個弱分類器而得到高精準度的方法稱為 Boost [8]。Ada-Boost 演算法是其中效能最好的方法 [9]。產生出來的結果有兩種分類器，一種是弱分類器，一種是強分類器，弱的分類器包含一個臉特徵的門檻值，數個類似的臉特徵的弱分類器結合成一個強分類器。

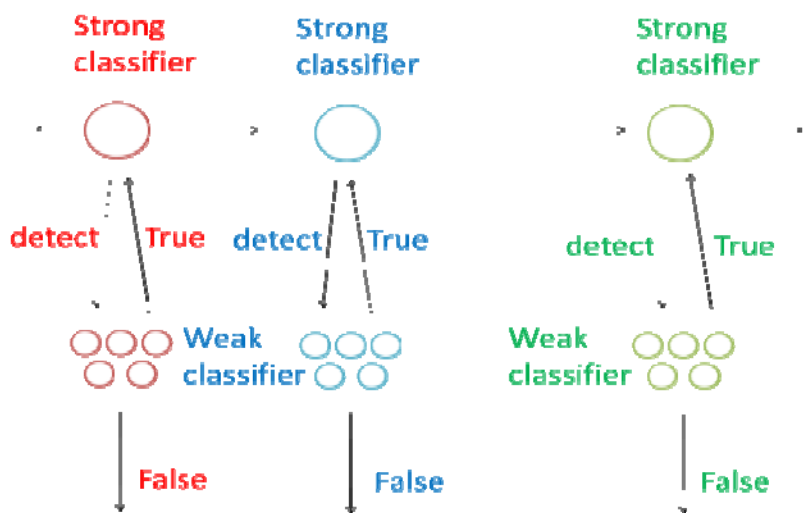


圖 2 強分類器的串接架構。

圖 2 強分類器的串接架構在 Viola-Jones 臉部辨識演算法中是很重要的部分，這架構可以迅速且有效的刪除不通過臉特徵的掃描視窗區域，輸入掃描視窗區域內的影像進入強分類器的串接架構，每個強分類器將根據它本身的數個弱分類器的結果決定是否讓該影像進入下一個強分類器，越後面的強分類器包含更多的弱分類器以提供更精準確認是否為臉。

```

1: for all WZ // WZ: window size
2:   Resize image;
3:   Integral image;
4:   for all WP // WP: window position
5:     Detect {
6:       for all SC // SC: strong classifier
7:         for all WC // WC: weak classifier
8:           If failed, label the position as negative; jump to the
next WP;
9:       If passed all the SCs, label the position as positive;
10:    } // end of Detect

```

圖 3 Viola-Jones 臉部辨識演算法的簡易程式碼

圖 3 是 Viola-Jones 臉部辨識演算法的簡易程式碼，整個演算法可以分為三個部分，第一部分是調整圖片大小，藉由調整圖片大小，用固定的掃描視窗去找出不同大小的臉。第二部分是集成影像生

成，生成集成影像使得後面在串接分類器運算量降低。第三部分是偵測，藉由移動掃描視窗把掃描視窗內的影像輸入到強分類器的串接架構找出臉的位置。

硬體模組一週期精準的分享記憶體式多核心多執行緒的模擬器 [10]，模擬器是使用多執行緒的軟體庫與 cycle-accurate 的多核心硬體模型互相合作模擬，模擬器可以回報精準的系統的參數與效能。

圖 4 是這個模擬器的架構，使用的處理器模型是 ARMv5 沒有浮點數運算單元的架構，多執行緒的軟體庫是使用 QuickThread [11]。他提供簡單的創造執行緒、中斷執行緒、把執行緒取消回去等待，執行緒的 queue 是使用 FIFO 的架構，這個 queue 是實作在共享式的記憶體空間中，而存取他是使用 spin-lock synchronization mechanism 保護不會讀取錯誤，快取參數可調整一個 line 的大小、一個 block 的大小以及 associativity，cache coherence 是使用簡單的 snooping-based protocol，所有的處理器都是使用相同的記憶體空間，其他設定預設值列在圖 4 右手邊。

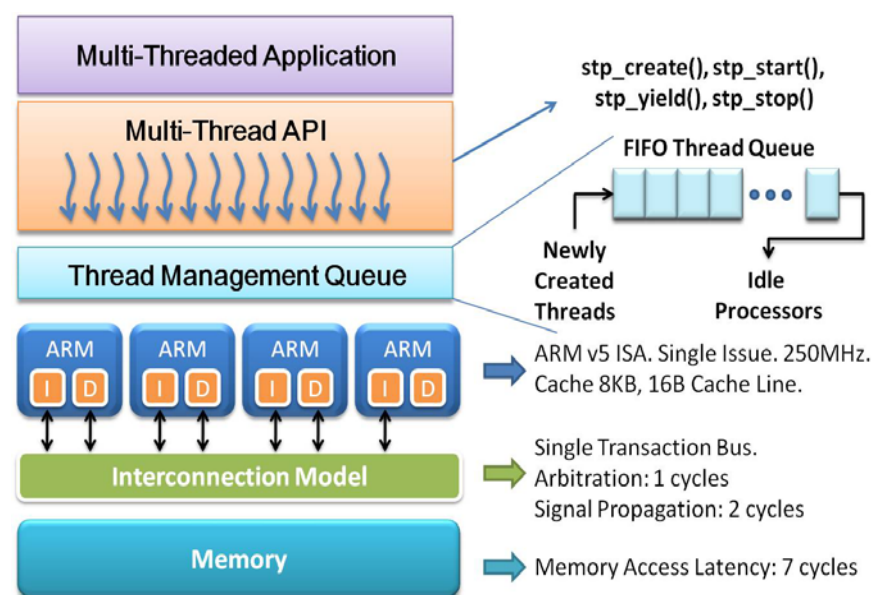


圖 4 週期精準的分享記憶體式多核心多執行緒的模擬器的軟硬體架構圖。而系統參數顯示在右手邊。

研究方法

1. Viola-Jones 臉部辨識演算法平行度層級

臉部辨識演算法的平行度存在於不同的計算流程中，我們將介紹不同的計算流程中如何實現平行度。程式碼是採用並修改於 OpenCV library [12] 中的臉部辨識演算法，他所採用的是 Viola-Jones 臉部辨識演算法，圖 5 的演算法流程可以分為三個部分，調整圖片大小、集成影像生成、偵測。



圖 5 Viola-Jones 臉部辨識演算法之計算流程

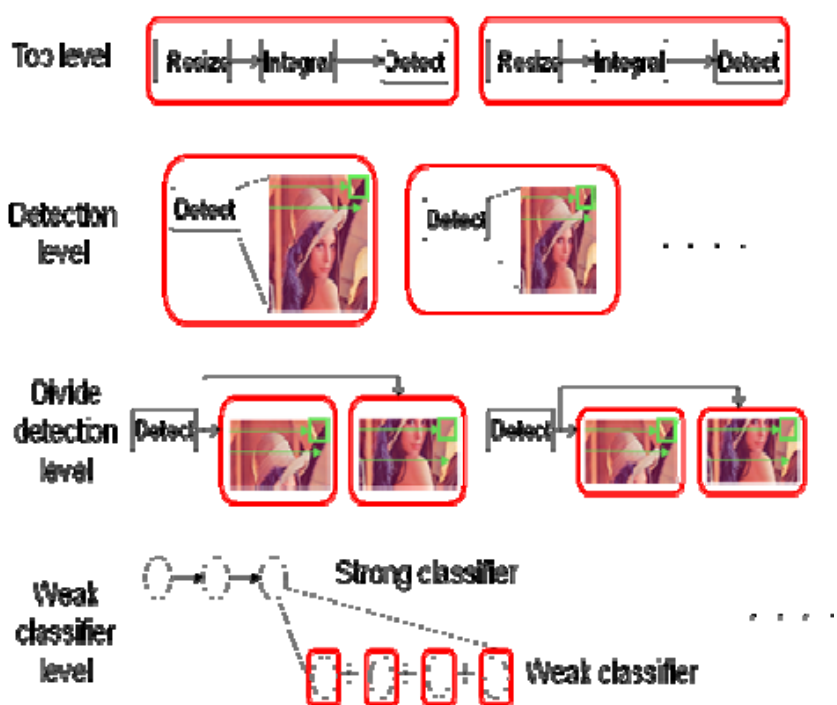


圖 6 不同層級的平行度實作示意圖

我們分析演算法的平行度後，將平行度分為四個層級(如圖 6 所示)，Top level 是指不同的執行緒同時計算不同大小的影像。Detection level 是指在偵測時，不同的執行緒同時偵測不同大小的圖。Divide detection level 跟 Detection level 很像，但是不同的是 Detection level 執行緒會執行完一張完整的影像，而 Divide detection level 執行緒會執行部分的影像而非完整的一張影像。Weak classifier level 是指在一個強分類器中同時執行弱分類器在不同的執行緒中。

這邊設計的重點在於，當切得太細時，好處是會有低平衡的優點，但缺點是需要更多不同執行緒之間的同步且需要更多的傳輸資源；但切得不夠細的話，又會有較多的處理器閒置時間。

2. 平行度層級之執行分析

我們實驗的圖片是使用在數位影像處理中最常被使用的圖片 Lena，圖片的大小是 512x512 畫素，實驗在我們前面提到的硬體模組上，圖 6 可以看到未經平行化過的演算法的執行時間分布，可以

發現調整圖片大小、偵測這兩個部分所佔時間最多，所以應該優先針對這兩個部分的效能改進。

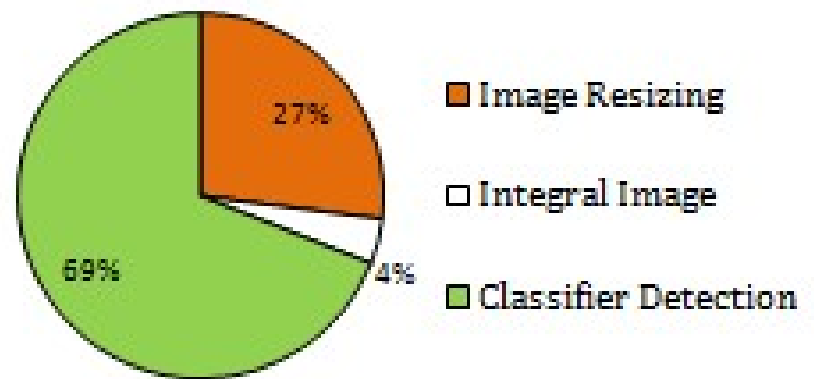


圖 7 Viola-Jones 臉部辨識演算法不同執行部分之執行時間比較 (記憶體延遲設為 1 週期)

接下來將針對四個層級的平行度效能進行分析。

(1) Top level parallelism:

這個層級循序的部分佔的很少，只有讀取影像、分類器資訊還有建立執行緒，剩下的部分都是平行運算在多核心系統。如圖 8 所示執行時間隨著核心數而縮短，但效能的進步在核心數超過 8 個時趨緩，這主要都是由於不平衡的執行緒分配。最長執行時間的執行緒成為 16 個核心數時的效能瓶頸，因為當最長執行緒還在執行時，其他的核心已經執行完其他的執行緒在等待階段，所以適當的分配執行緒有助於幫助改善效能。

(2) Detection level parallelism:

這個層級只有平行化偵測的部分，其他部分仍是循序的執行。這個層級的問題是，新的執行緒被建立的太慢使得有處理器在等待新的執行緒被建立出來，除此之外，循序的部分也成為系統的效能瓶頸所在，如圖 8，這個層級也同樣效能的進步在核心數超過 8 個時趨緩。

(3) Divided detection level parallelism:

這個層級比之前兩個層級的效能更好，更多的偵測層級的平行度被萃取出來，同一時間創造出來的執行緒數量足夠所有的多核心去處理，而且也更平衡。然後循序的部分依然是佔平行後的演算法執行時間較長的部分，因此執行時間仍相似於 Detection level parallelism。

(4) Weak classifier level parallelism:

這是最低層級的部分，建立出來的執行緒數量等於弱分類器的數量，雖然這個層級是平行度最高的層級，但是因為建立這麼多的執行緒所需要的時間是循序版本的演算法執行時間的 8.17 倍，還有這麼多的執行緒需要不少執行緒之間的同步時間，使得這個層級的效能比循序版本的演算法差。

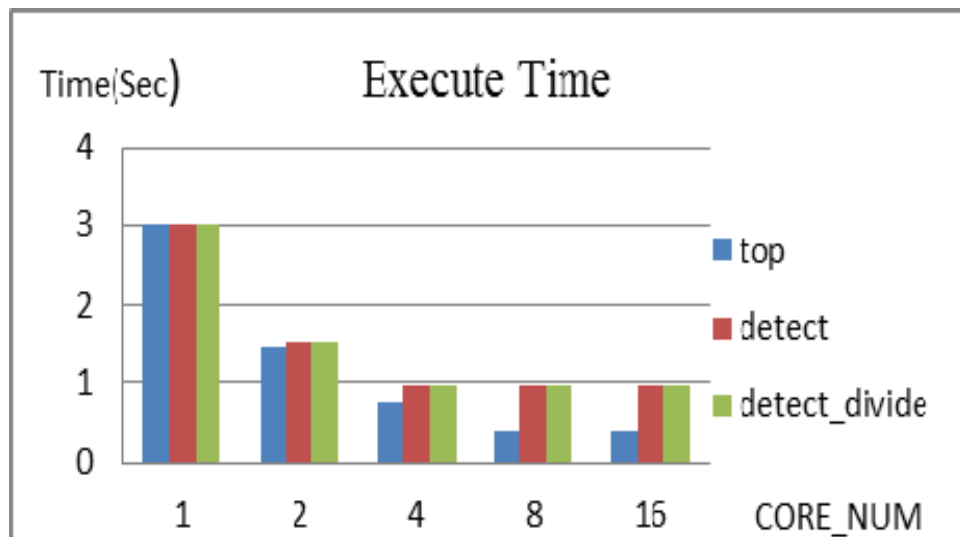


圖 8 各個層級的平行度效能比較

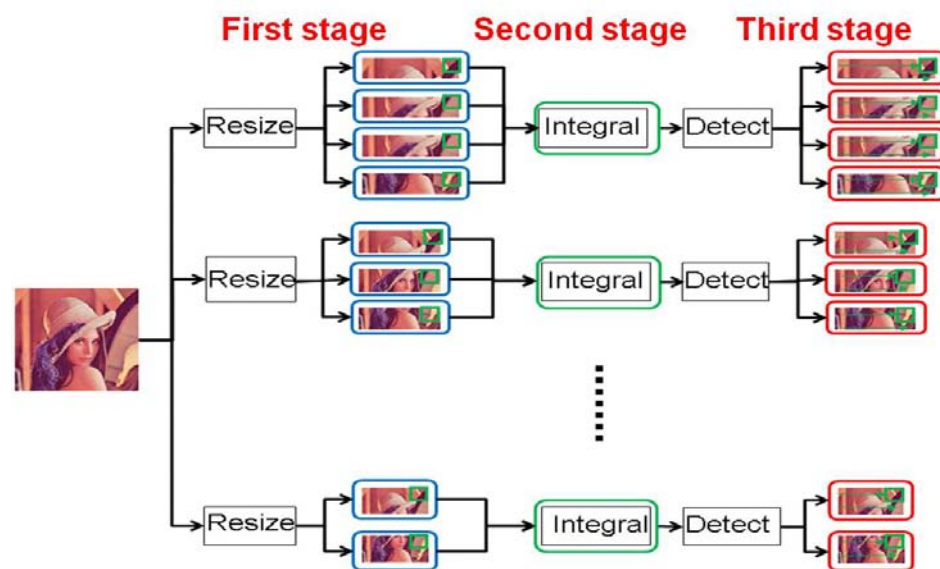


圖 10 三階段混和式平行架構之 Viola-Jones 臉部辨識演算法

3. 混和式平行架構達到高效能

經由前面的經驗，我們發表一個混合式的平行架構可達到高效能的改善。

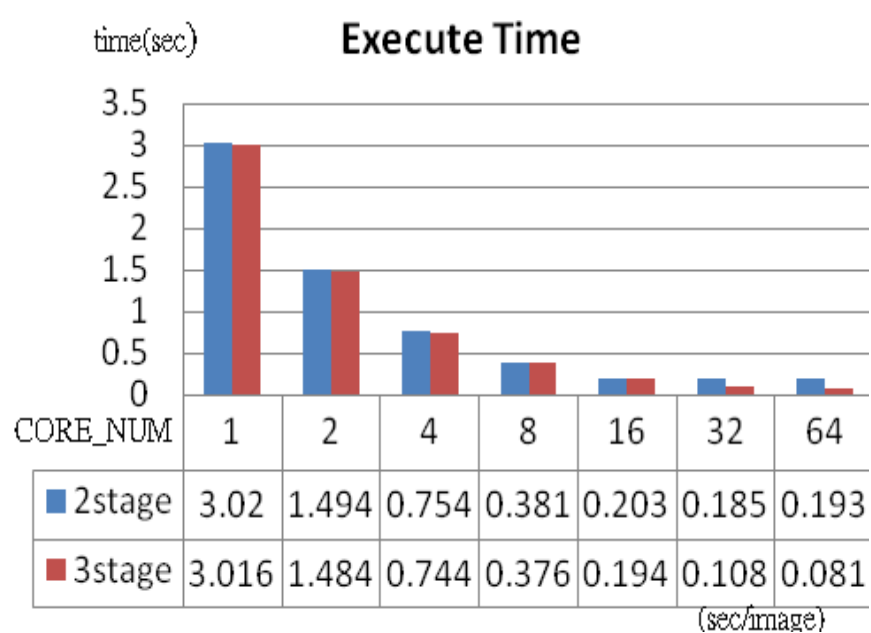


圖 9 混合是平行架構的執行結果

第一個架構是兩個階段的架構，第二階段式等第一階段執行完成之後才開始執行。第一階段是創造多個執行緒，每個執行緒同時執行調整圖片大小還有建立集成影像，而第二階段是與 divide detection level 的層級做同樣的事情，如圖 9 所示，到 16 顆核心時，與一顆核心比較可以達到 16 倍的加速。然而它仍在 16 顆核心以後效能進步趨緩。

第二個架構是三個階段的架構(如圖 10 所示)，更加改進了效能。第一階段現在是多個執行緒同時執行，每個執行緒調整圖片大小，第二階段建立集成影像，第三階段是與 divide detection level 的層級做同樣的事情，與第一個架構不同的是，每個階段不用執行完成所有的執行緒再進入下一階段，這個架構有更好的平衡使得每個核心閒置的時間少，達到最好的效能延展，如圖 9 所示，這個架構在 32 核心可以達到 27.8 倍的加速，在 64 核心可以達到 64 核心的加速。

4. 區域性分析

由前面提到的，偵測的部分佔整個演算法的運算 70% 的執行時間，且這個部分也有高的資料區域性，因此我們將針對這個部分做區域性分析，並由三階段混合式平行架構出發，發展出新的架構可改善在快取的資料區域性。

(1) 偵測區塊的記憶體存取行為

調整影像大小、計算集成影像這兩個部分都沒有高的資料區域性，調整影像大小部分所用的資料僅僅只有一開始讀取進來的影像資料，且在每個執行緒當中只會用到一次，而計算集成影像的部分，所用的資料僅僅只有一開始讀取每個調整影像大小後的影像資料，每個執行緒當中只會用到一次這筆資料，這兩個部分最大的效能改善就是利用高的資料平行度，而偵測區塊不只有高的資料平行度，且有兩種資料擁有高的資料區域性，一種是分類器資料，另一種是影像資料，分類器資料包含了一組串接的強分類器，每個強分類器內包含一組弱分類器。當移動掃描視窗去新的位置時，影像的資料會被送進這些分類器中判斷，如果影像通過所有的分類器，則代表臉存在於這個位置。每個弱分類器代表一個臉的特徵，每個弱分類器包含一些有關於這個特徵的資訊，如：分類器的分類、在掃描視窗中的位置、權重、還有決定是否通過該特徵的界限值，當第一次使用完這個弱分類器後，這個特徵的資訊會被記錄在本地的快取中，當處理器下一次又要使用同樣的弱分類器時，因為這處理器可在本地的快取中找到這筆資訊，這將幫助改善系統效能。而影像資料在每個分類器檢查時都會重複的使用到。但當我們選擇其中一種資料最佳化資料區域性，會影響另一種資料的資料再用性。

舉例來說，如果我們先選擇一個掃描視窗位置固定下來，影像資料會被儲存在本地的快取，通過每一級的強分類器，但因為快取大小限制的關係，

分類器的資料會不斷的被從記憶體讀進快取使用，而當其他分類器的資料要被使用但快取空間衝突時，則會把舊的分類器資料刪除，在把需要使用的分類器資料從記憶體讀入快取中，使得沒辦法展現分類器的資料區域性。

由於這個關係，我們必須計算出這兩種資料的資料區域性哪一種對效能上比較有幫助的。

當硬體模組運作時，我們觀察到串接分類器快速且有效的分類出沒有臉的部分。有 75% 的掃描視窗位置在前三級強分類器就被分類出來是沒有臉的位置，而有 90% 的掃描視窗位置在前五級的強分類器就被分類出來是沒有臉的位置，而前五級的分類器包含 112 個弱分類器，這也讓我們知道分類器的資料區域性是比影像資料的資料區域性有效率的。

如果我們照著原本演算法流程實作的話，在每個位置開始進入串接分類器，但本地的快取不夠大到儲存所有的弱分類器的資訊，使得頻繁的發生快取失誤，造成效能的浪費。

5. 交換迴圈架構：增進資料區域性

經由前面的分析我們發表一個新的架構可以改善演算法在多核心系統的資料區域性，圖 11 是針對資料區域性最佳化後的演算法程序，不同於原本的演算法程序的地方是原本是先換掃描視窗的位置後，把影像送入串接分類器經過所有的分類器掃描，而現在是先選擇一個強分類器，掃描過所有的位置後，記錄下來通過這個強分類器的掃描視窗位置，然後再換下一個強分類器掃描通過上一級強分類器的影像位置。

這樣的改變可以改善資料區域性，因為分類器的資訊因此可在留在快取時，充分運用完後，再被丟出快取，而不會像原本的流程中，每換一個掃描視窗位置，就又可能從記憶體讀到快取中使用。

```

1: for all WZ           // WZ: window size
2:   Resize image;
3:   Integral image;
4:   Detect {
5:     for all SC       // SC: strong classifier
6:       for all WP    // WP: window position (New position of WP loop)
7:         for all WC // WC: weak classifier
8:           If failed, label the position as negative; jump to the next WP;
9:           // processor can better reuse the WC data stored in the cache
10:          // which significantly increases the data locality
11:     If passed all the SCs, label the position as positive;
12:   } // end of Detect

```

圖 11 針對資料區域性最佳化後的演算法程序

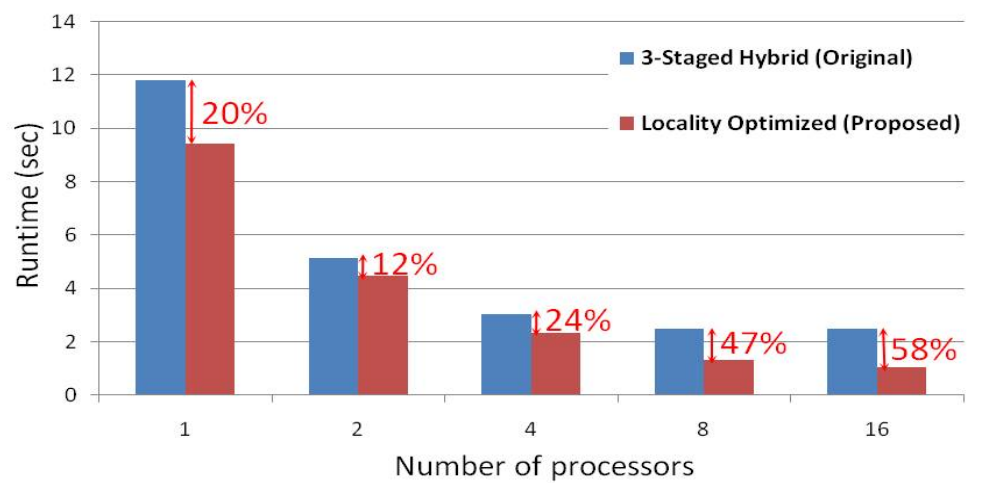


圖 12 交換迴圈架構的效能改善

圖 12 是交換迴圈架構的執行時間與三階段混和式平行架構的執行時間的比較，可以發現有很大的效能改善，主要就是減少了大量的記憶體存取次數，在 16 核心時，展現了最大的效能改善有 58%，因為三階段混和式平行架構在越多核心時有越多的記憶體存取次數，所以資料區域性最佳化架構的優點使得效能改善達到 58%。且新的架構在超越 8 核心之後仍有效能的改善(8, 16 核心)。

6. 群組分類器架構：更進一步增進資料區域性

```

1: for all WZ           // WZ: window size
2:   Resize image;
3:   Integral image;
4:   Detect {
5:     for all WP       // WP: window position
6:       for SC0:SC2   // SC: strong classifier (cascade 0-2)
7:         for all WC // WC: weak classifier
8:           If failed, label the position as negative; jump to the next WP;
9:           // processor can better reuse the WC data stored in the cache
10:          // which significantly increases the data locality
11:     If passed all the SCs, label the position as positive;
12:   } // end of Detect

```

圖 12 群組分類器架構的演算法程序，群組前三級強分類器

經由實驗數據觀察可得，本地的快取可以剛好放滿前三級分類器的資料而不會發生快取失誤，但第四級與第五級以後的分類器資料比前三級多，所以不適合群組起來，於是我們針對這一點更進一步

的增進資料區域性，發表了一個新的架構—群組分類器架構(如圖 12)。

我們先選定一個分類器計算所有的視窗位置，然後送進前三級的強分類器中，並記錄起來通過前三級的視窗位置，等到算完全部的偵測視窗後，接下來的程序與交換迴圈架構一樣的實作方式。

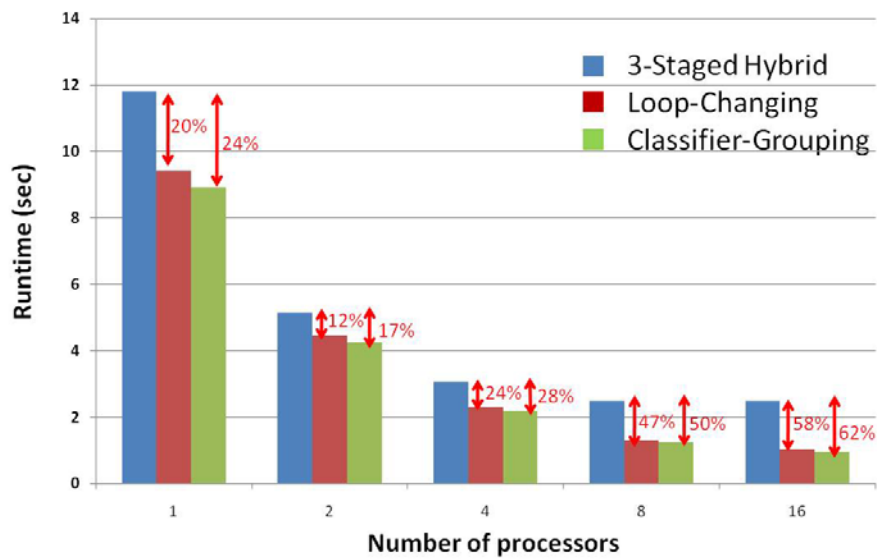


圖 13 群組分類器架構的效能改善

圖 13 是群組分類器架構與交換迴圈架構、三階段的混合是平行架構效能比較，可以看到群組分類器架構更進一步的改善效能，這都是由於前三級更充分利用分類器的資料區域性的關係。

但是在使用這個群組分類器架構的時候有兩個需要注意的地方，第一個是圖 12 的 5-8 行需要記錄通過每個強分類器的視窗位置，當執行每個強分類器前，這個記錄需要被讀回來，這會增加額外的記憶體存取與資料交換。

第二個是群組分類器的強分類器數量是需要注意的，如果群組過少的強分類器沒有辦法展現最大的資料再用性，但如果群組過多的強分類器，則又會增加快取失誤，而且當快取大小改變的時候，這數量也會跟著不同。為了達到最好的效能，設計者必須關心這個架構下群組分類器的數量，決定出適當的群組分類器數量。

結果與討論

經由前面的介紹，我們首先展示如何分析 Viola-Jones 臉部辨識演算法的平行度，每一層級的平行度都有它們改善效能的方法，但也都有不同的限制在，不平衡的執行工作量也是限制效能的因素之一。基於上述的分析結果和設計經驗，我們發表了多階段混合式平行架構，而這個架構在 64 核心下最大可展現 37.5 倍的加速。

接著我們觀察到整個系統的瓶頸在於記憶體系統中，關鍵的設計在資料區域性的重要和快取的優點，我們分析三階段混合式平行架構記憶體行為，藉由實驗數據觀察與分析後，提出一個新的交換迴圈架構，這個交換迴圈架構與三階段混合式平行架構比較可以達到 58% 的效能改進。

最後我們再進一步的觀察記憶體的行為，發現仍有一些資料區域性的部分可以使用，於是我們提出了群組分類器架構，這個群組分類器架構與三階段混合式平行架構比較可以達到 58% 的效能改進。

我們已發展一套多核心多執行緒系統模型，包含軟體及硬體模組。此模型提供了準確 (Cycle-Accurate) 的系統行為及特性，以支援接下來的計畫中對於整體系統效能的分析及驗證。此外，此多核心系統模型也能支援探討在不同設計層中的傳輸資源之元件特性及設計參數對於整體效能的影響。

本計畫之研究結果已發表於兩篇 IEEE 國際會議論文。未來我們將朝著發展設計方法與架構，使我們可以有系統選擇適當的設計參數

參考文獻

- [1] C. Zhang and Z. Y. Zhang, "A Survey of Recent Advances in Face Detection ", *Microsoft Research*, June 2010.
- [2] Y. Wei, X. Bing, C. Chareonsak, "FPGA Implementation of AdaBoost Algorithm for Detection of Face Biometrics", *In Proc. IEEE International Workshop Biomedical Circuits and Systems*, 2004.
- [3] M. Yang, Y. Wu, J. Crenshaw, B. Augustine, R. Mareachen, "Face Detection for Automatic Exposure Control in Handheld Camera", *in Proc. IEEE International Conference Computer Vision Systems*, 2006.
- [4] T. Theocharides, N. Vijaykrishnam and M. J. Irwin, "A parallel architecture for hardware face detection", *Symp on Emerging VLSI Technologies and Architectures*, pp. 452-453, 2006.
- [5] C. J. Gao and S. L. Lu, "Novel FPGA based Haar classifier face detection algorithm acceleration", *FPL 2008*, Heidelberg, September 2008, pp. 373-378.
- [6] Y. K. Chen, W. L. Li and X.F. Tong, "Parallelization of AdaBoost algorithm on multi-core processors", *IEEE SiPS 2008*, Washington DC, 2008, pp.275-280.
- [7] F. C. Crow, "Summed-Area Tables for Texture Mapping", *Computer Graphic*, vol. 18, no. 3, pp. 207-212, July 1984.
- [8] Y. Freund and R. E. Schapire, "A short introduction to boosting", *Journal of Japanese Society for Artificial Intelligence*, pp. 771-780, vol. 14, no. 5, September 1999.
- [9] M. Yang, Y. Wu, J. Crenshaw, B. Augustine, R. Mareachen, "Face Detection for Automatic Exposure Control in Handheld Camera", *in Proc. IEEE International Conference Computer Vision Systems*, 2006.
- [10] T. Theocharides, N. Vijaykrishnam and M. J. Irwin, "A parallel architecture for hardware face detection", *Symp on Emerging VLSI Technologies and Architectures*, pp. 452-453, 2006.
- [11] D. Keppel, "Tools and Techniques for Building Fast Portable Threads Packages," UWCSE 93-05-06, U. Washington, 1993.
- [12] Open Source Computer Vision, <http://opencv.willowgarage.com/>

國科會補助專題研究計畫項下出席國際學術會議心得報告

日期:100年9月30日

計畫編號	NSC 99- 2221 -E -009 - 190 -		
計畫名稱	針對特殊應用之多處理器系統中可重置化傳輸資源之設計及最佳化		
出國人員姓名	賴伯承	服務機構及職稱	交通大學電子工程系助理教授
會議時間	100年7月15日 至 100年7月17日	會議地點	北京，中國
會議名稱	(中文) 2011 軟件工程與服務科學國際學術會議 (英文) 2011 2nd IEEE International Conference on Software Engineering and Service Sciences		
發表論文題目	(中文) 在嵌入式多核心系統中平行物件辨識應用的資料區域化之最佳化設計 (英文) Data Locality Optimization for A Parallel Object Detection on Embedded Multi-Core Systems		

一、參加會議經過

此次會議於中國大陸北京附近的萬商花園酒店舉辦。總共兩天的會議中包含了數十篇的研究論文報告以及討論。會議本身的規模並不大，大部分參加的是中國大學的教授與研究生，不過也有許多來自其他國家的研究人員來發表他們的研究成果。

在論文報告與研討的部分，所有的研究論文被分成數個群組，分別於兩天的議程中進行報告與研討。此次會議的研討議題著重在網路應用以及實現雲端服務上的挑戰。如何在網路規模以及使用者人數持續快速成長的過程中，還可以提供穩定、持續、且安全的網路服務，這個議題仍舊是非常困難且具有挑戰性。除了網路與雲端服務的議題之外，本次會議也由軟體設計的角度，對於許多嵌入式應用以及設計的方法進行了廣泛的討論。

會議期間的餐點均由大會提供，而且就在會議所舉行的飯店裡面。這個安排除了提供外地來的與會人員很大的便利性之外，也增加了與來自不同大學及研究單位的研究人員互相交流的機會。

本次大會的議程進行尚稱順利，但是在研究議題的分類上面似乎有點雜亂。許多被分到同一個群組的研究人員，彼此的研究領域並沒有太多可以交流和互相討論的地方，有的時候會讓討論的時間流為基本的觀念介紹，並沒有辦法進行較為深入的討論，這點是此次會議議程上安排上可以改進的地方。

二、與會心得

此次參加完這個會議後，有以下幾點心得。

(1) 雲端應用與網路服務的提供仍然是未來數位科技發展的重點。牽涉的議題甚廣，除了網路本身之外，在客戶端的軟體設計與系統整合也是非常重要的關鍵技術之一。

(2) 這個會議本身所包含的研究領域範圍很廣，但是在議程進行時的研究議題報告群組的分配上，並沒有仔細評估與會研究人員的相關研究題目以及背景，因此不容易讓研究人員進行較為深入的討論。

(3) 這個會議雖然是 IEEE 協辦的，但是會議論文的品質較不一致。

三、考察參觀活動(無是項活動者略)

無

四、建議

這是本人第一次參加中國大陸舉辦的 IEEE 國際學術研討會議。雖然議題本身有趣且含跨範圍廣，但是感覺整個會議的品質並沒有掌握的很好，論文的內容也讓人有點參差不齊的感覺。建議下次要參加類似的會議之前，多詢問會議的相關資訊，以期能充分達到國際學術交流的目的。

五、攜回資料名稱及內容

1. 大會議程表一份
2. ICSESS 2010 論文集 DVD 光碟一片

六、其他

無

國科會補助計畫衍生研發成果推廣資料表

日期:2011/09/07

國科會補助計畫	計畫名稱: 子計畫一: 針對特殊應用之多處理器系統中可重置化傳輸資源之設計及最佳化(I)
	計畫主持人: 賴伯承
	計畫編號: 99-2221-E-009-190- 學門領域: 積體電路及系統設計
無研發成果推廣資料	

99 年度專題研究計畫研究成果彙整表

計畫主持人：賴伯承		計畫編號：99-2221-E-009-190-					
計畫名稱：應用於多視角立體視訊之多核心節能智慧超微型通訊系統研究--子計畫一：針對特殊應用之多處理器系統中可重置化傳輸資源之設計及最佳化(I)							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (本國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	2	2	100%		
		專書	0	0	100%		章/本
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (外國籍)	碩士生	7	7	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>無</p>
--	----------

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

本計畫成果已於 IEEE 所主辦之國際會議發表兩篇會議論文。

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫主要貢獻分為兩部分。第一部分為建構 Cycle-Accurate 之多核心多執行緒系統的軟硬體協同設計平台。此平台本身雖然並未對領域中的研究有傑出的貢獻，但是平台自有技術的掌握，讓我們能夠順利的使用此平台來實驗並分析不同的多核心架構的設計考量點，對未來的多核心平行系統的研究有非常大的幫助。

第二部分為對物件辨識演算法在多核心系統中的執行行為分析與效能的最佳化。未來的可攜式電子產品中，物件辨識功能是達到智慧型應用的關鍵技術之一。而多核心系統正是能提供高效能低功耗的應用執行平台。因此，在多核心平台上有效的實現物件辨識的演算法，能提供未來智慧型應用上延伸發展的技術基礎。