

行政院國家科學委員會補助專題研究計畫 期中報告

內嵌矽奈米點之 SONOS 記憶體元件 (新制多年期第 1 年)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：97 年 8 月 01 日至 98 年 7 月 31 日

計畫主持人：趙天生 教授 國立交通大學 電子物理系

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電子工程研究所

中 華 民 國 98 年 05 月 31 日

非臨場與臨場方法在氮化矽層內嵌矽奈米晶體之 SONOS 型記憶體

“Embedded Silicon Nanocrystal in Nitride Using In-situ and Ex-situ Deposition Method for NVM Applications”

計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：97 年 8 月 1 日 至 98 年 7 月 31 日

主持人：趙 天 生教授 交通大學電子物理系

一、中文摘要

在此次報告中，我們成功在氮化矽層內嵌矽奈米晶體之 SONOS 記憶體，並且提出利用臨場與非臨場方法在氮化矽層內嵌矽奈米晶體做為電子儲存層，此新結構跟傳統結構比較擁有許多較好的特性，例如：較大的記憶窗口和較長的資料儲存時間，同時我們利用 N_2O 和 O_2 兩種不同方式成長穿隧氧化層，並使其擁有相同厚度，我們發現利用 N_2O 成長穿隧氧化層有較佳的特性，如果使穿隧氧化層厚度增加，其資料儲存能力可同時提升。我們也提出利用臨場方法自我聚集成長矽奈米晶體於氮化矽層內，利用 SiH_2Cl_2 將可達成臨場方法自我聚集，並且可達到高密度矽奈米晶體($2 \times 10^{11} \text{ cm}^{-2}$)，較大的記憶窗口(2.7-V)和長時間的載子保存性。

關鍵字：臨場方法、矽奈米晶體、非揮發性記憶體

英文摘要

In this work, we have successfully demonstrated SONOS memories with embedded Si-NCs in silicon nitride. We propose *in-situ* and *ex-situ* deposition method to form Si-nanocrystals in nitride as the charge trapping layer for non-volatile memory applications. This new structure exhibits excellent characteristics in terms of larger memory windows and longer retention time compared to control devices.

Using the same thickness 2.5-nm of the bottom tunneling oxide, we found that N_2O is better than O_2 oxide. Retention property is improved when thickness of N_2O is increased to 3.0-nm. The self-assembly silicon nanocrystals were in-situ deposited within the Si_3N_4 storage layer by dissociation of dichlorosilane (SiH_2Cl_2) gas to a high density of *ca.* $2 \times 10^{11} \text{ cm}^{-2}$. The Si-nanocrystals memory demonstrated a large memory window for up to 2.7 V and an excellent data retention property.

Index Terms: *in-situ* deposition method, Si-nanocrystal, non-volatile memory

二、計畫的緣由與目的

因為早期的記憶體在電源關閉之後，存在著無法保留資料的問題，因此開始製作非揮發性記憶體。理想中的非揮發性記憶體必須是要具有高密度、低成本、長時間儲存電荷能力，並且可以相當於靜態記憶體速度下執行無限次隨機可覆寫，並具有動態隨機存取記憶體(DRAM)相容性。所以最早提出非揮發性記憶體，始於 1967 年 D. Kahng 及施敏博士兩位先生所提出來[1]，由兩個金屬閘極兩個二氧化矽絕緣層所組成 MIMIS 元件。在早期發展階段，非揮發性記憶體浮動閘極元件(floating gate device)為主要種類，但是隨著元件越來越小，密度越來越高的趨勢下，穿隧氧化層(tunneling oxide)勢必也必須變薄，才能繼續維持我們的

寫入/抹除速度。隨著穿隧氧化層的變薄，由於浮閘極記憶體是用電子儲存在浮動閘極內，而浮動閘極是由 Poly-Si 組成的，所以電子沿著顆粒邊界(grain boundary)是整層導通的，假設穿隧氧化層有缺陷的話，就會因為 SILC(Stress Induced Leakage Current)而漏掉電荷(charge loss)[2]，進一步使元件的資料保存能力越來越差，而載子存儲時間也隨著穿隧氧化層越薄而越短，使得浮動閘極記憶體失去其非揮發的特性。所以在 International Technology Roadmap for Semiconductors (ITRS) 中提出浮動閘極記憶體存在穿隧氧化層微縮問題[3]，此將會使記憶體失去電子儲存能力，這就是浮動式閘極記憶體在微縮的過程中所產生的最大問題。

多晶矽-二氧化矽-氮化矽-二氧化矽-矽 (silicon-oxide-nitride-oxide-silicon) 和金氧半 (metal-oxide-semiconductor) 內嵌奈米晶體記憶體元件在近來相當受到矚目，因為此兩結構元件能有效的改善傳統浮動閘極記憶體元件在穿隧氧化層微縮問題[4]-[6]，在 SONOS 結構的優點：(1)製程簡單、(2)提高元件密度、(3)可以克服源極引發導通現象(drain-induced turn-on)、(4)達成多層式載子儲存(multi-level storage)、(5)可排除浮動閘極耦合效應(floating gate coupling effect) [7]-[10]，而在金氧半內嵌奈米晶體記憶體元件可改善載子保存性和持久性(endurance) [11]-[14]。在此篇論文中，我們提出利用臨場方法在氮化矽層內嵌矽奈米晶體製造出新穎的 SONOS 型記憶體結構，同時結合多晶矽-二氧化矽-氮化矽-二氧化矽-矽和金氧半內嵌奈米晶體記憶體元件兩者之優點，此方法簡單、低成本和現在的 IC 製程有高度的相容性，此次的研究聚焦於對於元件的特性及可靠度分析，我們成功的製造具有極佳特性的記憶體元件：較大的記憶窗特性和長時間的載子儲存。

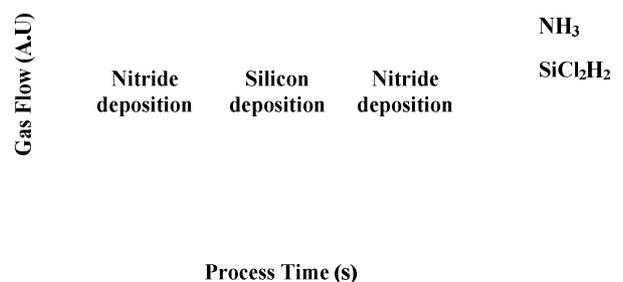
三、研究方法及成果

本實驗採取(100)方向之 P 型矽晶圓為基底。元件製程首先完成區域氧化層(LOCOS)之製作，再用 N₂O 和 O₂ 氣體成長兩種不同穿隧氧化層，厚度為 2.5 奈米，接著下列分為非臨場與臨場方法的製程：

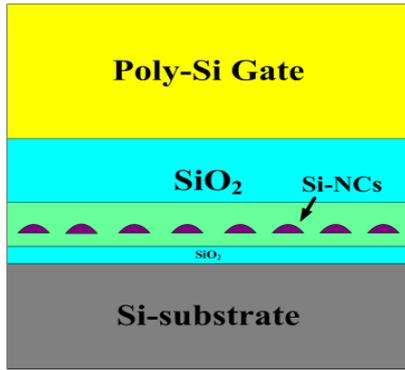
非臨場方法:利用低壓爐管沉積氮化矽，通入氣體 SiH₂Cl₂ 加 NH₃，厚度為 3 奈米，接著利用低壓爐管沉積非晶矽，通入氣體 SiH₄(85sccm，壓力~100 mTorr，在 550 度下)，分別沉積 1 分 30 秒與 2 分鐘，再次利用低壓爐管沉積氮化矽，通入氣體 SiH₂Cl₂ 加 NH₃，厚度為 4 奈米，稱為 Ex-Situ Process。

臨場方法:採取不破真空方法，低壓爐管沉積氮化矽，通入氣體 SiH₂Cl₂ 加 NH₃，厚度為 3 奈米，使用之後將管子抽真空，把之前沉積所剩下的氣體抽光，通入氣體 SiH₂Cl₂ 用來成長矽奈米晶體，緊接著將成長矽奈米點所剩之氣體抽光，再次通入氣體 SiH₂Cl₂ 加 NH₃，沉積氮化矽厚度為 4 奈米，以上所有的步驟都在相同爐管內及真空下進行，稱為 In-Situ 製程，而氣體流量示意圖如圖一所示。

之後再利用 HDPCVD 成長阻擋氧化層，厚度為 20 奈米，並利用低壓爐管沉積多晶矽作為元件閘極。其後製程都與 MOSFET 的標準製程相同，再以金屬 (Al) 濺鍍當作元件的金屬接觸，而元件的結構示意圖如圖二所示。

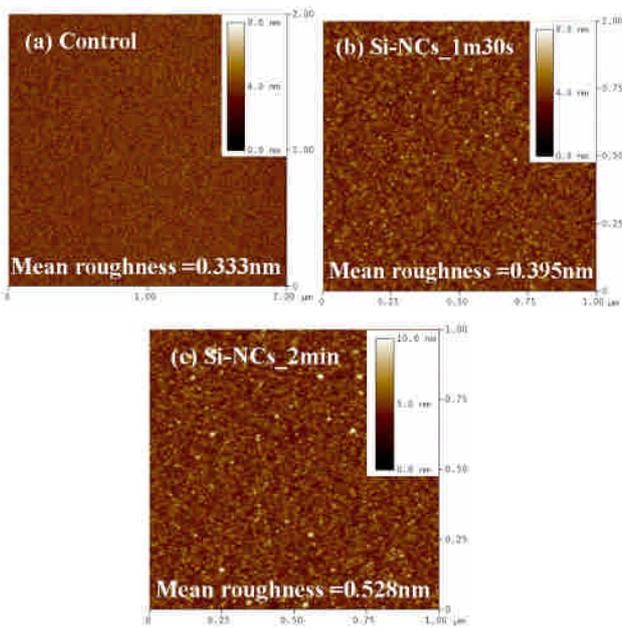


圖一：In-situ 製程氣體流量示意圖。



圖二：元件的結構示意圖。

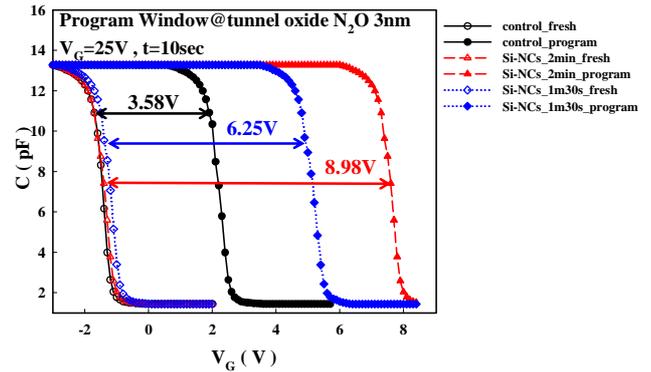
非臨場方法：我們利用原子力顯微鏡可得知矽奈米晶體大小與密度分別約為(a)氮化矽層無矽奈米晶體、(b)8nm 和 6.7×10^{11} 、(c)10nm 和 3×10^{11} 如圖三(a)~(c)，而且矽奈米晶體間距平均約為 6nm，使得儲存點之間有足夠的絕緣，可減少 SILC 現象產生，並且使用非臨場式沈積可得到高密度矽奈米晶體。



圖三：矽奈米晶體大小與密度分別約為(a)氮化矽層無矽奈米晶體、(b)8nm 和 6.7×10^{11} 、(c)10nm 和 3×10^{11} 。

當給予閘極電壓 25-V 持續 10 秒，此元件可得到大的記憶窗，對於無奈米矽晶體、1 分 30 秒與 2 分鐘樣品記憶窗大小分別為 3.85-V、6.25-V 和 8.98-V，如圖四所示，由於基本記憶窗只要大於 50mV 就可以判斷“0”與

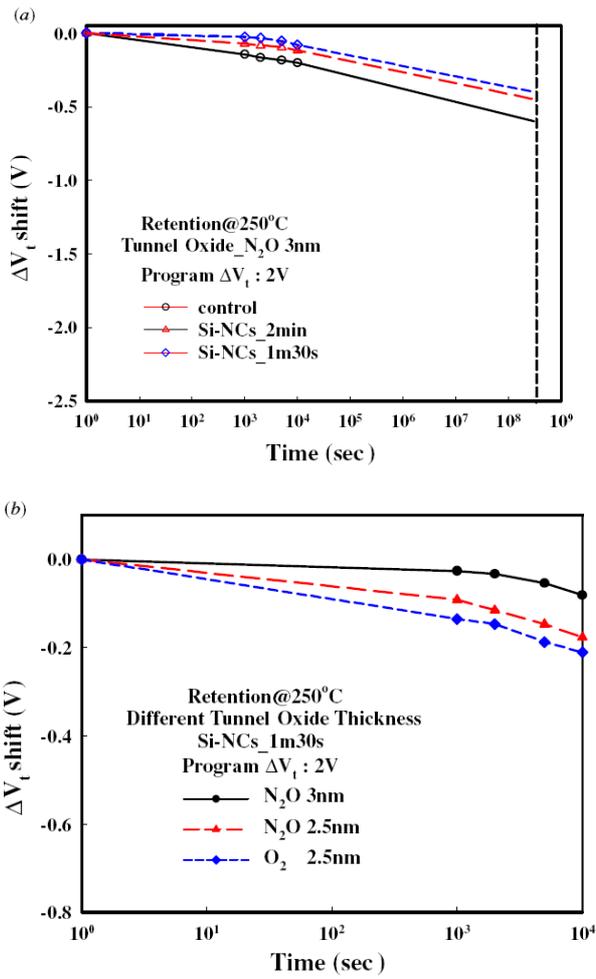
“1”的狀態[15]，此元件的記憶窗足夠適用於多元式載子儲存，當奈米矽晶體顆粒愈大(2-min)，可得到愈大的記憶窗(8.98-V) 足夠適用於多元式載子儲存，較大的記憶窗口式由於內嵌矽奈米晶體建立較多的捕陷能階，其中包含矽奈米晶體內、氮化矽本身之捕陷能階和矽奈米晶體與氮化矽之介面能階。初略的估計，每一個矽奈米晶體大約可儲存 10 顆電子。



圖四：在相同偏壓及秒數下，不同樣品之記憶窗大小。

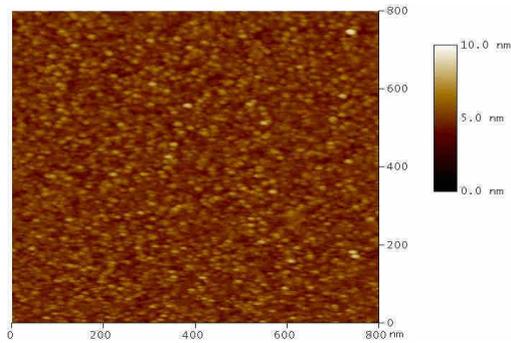
氮化矽內嵌矽奈米晶體記憶體元件，在高溫 250°C 的電荷儲存能力特性顯示在圖五中。發現在高溫下的電荷儲存能力可以維持十年，而且只有百分之二十的電子流失。這是由於此元件在矽與矽奈米晶體的界面擁有較深的捕陷能階，而且矽奈米晶體間有足夠的分離，因此可以擁有較好的電子儲存能力。並可以發現較短的矽奈米晶體沉積時間有較好的電荷保存能力，由於密度較高並且顆粒較小，使得電子均勻分布於奈米晶體內，當穿隧氧化層有漏電路徑產生，可大幅降低電子逃脫的機會。

而在不同的穿隧氧化層，在 N₂O 將可得到較好的電荷保存能力，由於利用 N₂O 成長的氧化層品質比 O₂ 較好[16]-[17]，可大幅的減少 SILC 現象產生，因此提高電荷儲存能力，同時將穿隧氧化層厚度增加，可大幅降低直接穿隧機率，將擁有更長的電荷儲存時間。

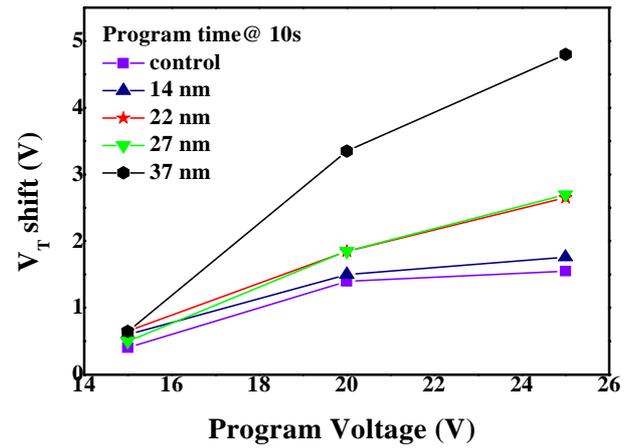


圖五: (a)不同沈積時間與(b)不同穿隧氧化層樣品之電荷保存特性。

臨場方法: 我們利用原子力顯微鏡可得知矽奈米晶體大小與密度分別約為 20nm 和 7×10^{11} 如圖六所示, 而且矽奈米晶體間距平均約為 10nm, 使用臨場式沈積矽奈米晶體, 將可得到比非臨場式沈積之高密度。

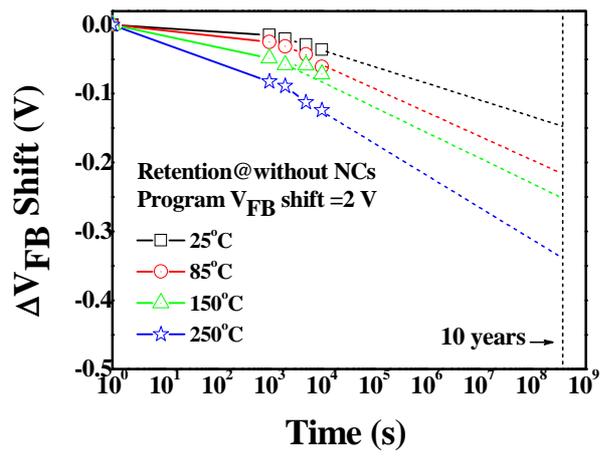


圖六: 矽奈米晶體大小與密度分別約為 20nm 和 7×10^{11} 。



圖七: 在不相同偏壓及相同秒數下, 不同樣品之記憶窗大小。

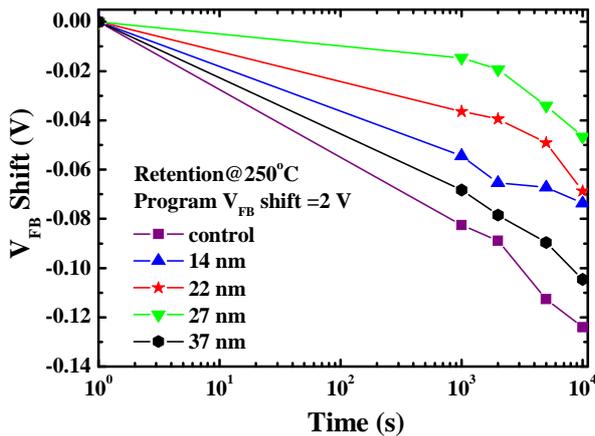
利用臨場方式沉積之記憶體元件其寫入特性顯現於圖七中, 將可發現越大偏壓將可達到越大記憶窗, 而傳統的 SONOS 記憶體元件, 在大偏壓處將會處於飽和現象, 由於閘極偏壓過大並且捕陷能階較淺之緣故, 在大偏壓時能帶將會嚴重彎曲, 使從基板注入之電子將有機會直接從閘極逃脫, 注入與逃脫電子達一平衡狀態, 因此記憶窗將達飽和無法增大。而較大的矽奈米晶體, 其捕陷能階較深, 因此捕陷之電子不易從閘極逃脫, 因此較大偏壓可得更大之記憶窗。



圖八: 傳統 SONOS 記憶體在不同溫度下之電荷保存特性。

傳統的 SONOS 記憶體在不同溫度下電荷儲存能力特性顯示在圖八, 發現在高溫下的電荷儲存能力維持 10^4 秒後, 就有百分之五的

電子流失。但是在氮化矽內嵌矽奈米晶體之記憶體元件中，發現在高溫下的電荷儲存能力可以維持 10^4 秒年，而且只有百分之二的電子流失，如圖九所示。因此可以再次驗證，將矽奈米內嵌於氮化矽中可大幅的改善記憶體元件特性，包含較大的記憶窗與長時間高溫下的電子儲存能力。



圖九：不同氮化矽內嵌矽奈米晶體記憶體在高溫下之電荷保存特性。

在利用非臨場與臨場方法將氮化矽內嵌矽奈米晶體之 SONOS 型記憶體元件，實驗中可以發現臨場方法將可得到較好的電子儲存能力，並且製程更加簡單、低成本和現在的 COMS 製程有高度的相容性，因此臨場方法將會是比較有潛力，且研究價值比較高之方法。

四、結論與討論

本論文成功地呈現出利用非臨場與臨場方法將氮化矽內嵌矽奈米晶體之 SONOS 型記憶體元件，此新穎的結構具有較大的記憶窗和長時間的載子儲存能力，而且發現在沈積時間為越長有較佳有的記憶窗，並且較厚的穿隧氧化層可得長時間的載子儲存能力，使用 In-situ 製程方法相當簡單、低成本和現在的 COMS 製程有高度的相容性。之後實驗我們將聚焦於臨場方法以不同時間堆疊矽奈米晶體。

本研究群的相關研究結果，97 年度於 IEEE 期刊發表 5 篇(EDL)與 2 篇(ED)論文，97

年發表會議論文 1 篇並有兩篇期刊論文已經投稿中。

五、參考文獻

1. D. Kahng and S. M. Sze, "A Floating Gate and Its Application to Memory Devices", Bell Syst. Tech. J., Vol. 46, p. 1288, 1967.
2. C. M. Compagnoni, D. Ielmini, A. S. Spinelli, A. L. Lacaita, C. Previtali, and C. Gerardi, "Study of data retention for nanocrystal flash memories," in Proc. IRPS, pp. 506-512, 2003.
3. The International Technology Roadmap for Semiconductors (ITRS), p. 23, 2006.
4. J. De Blauwe, "Nanocrystal nonvolatile memory devices" IEEE Trans. Nanotechnol, vol. 1, p. 72-77, 2002.
5. P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, and T.-J. King, "FinFET SONOS flash memory for embedded applications" in IEDM Tech. Dig., pp. 609-613, 2003.
6. R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, "Nonvolatile Si quantum memory with self-aligned doubly-stacked dots" IEEE Trans. Electron Devices, vol. 49, no. 8, pp. 1392-1398, Aug. 2003.
7. M. She and T. J. King, "Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance," IEEE Trans. Electron Devices, vol. 50, no. 9, pp. 1934-1940, Sep. 2003.
8. M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J.-C. Shim, H. Kurino, and M. Koyanagi, "New nonvolatile memory with extremely high density metal nano-dots," in IEDM Tech. Dig., pp. 553-556, 2003.
9. M. K. Cho and D. M. Kim, "High performance SONOS memory cells free of drain turn-on and over-erase: compatibility issue with current flash technology" IEEE Electron Device Lett., vol. 21, no. 8, pp. 399-401, 2000.
10. T. Y. Chan, K. K. Young, and C. Hu, "A true single-transistor oxide-nitride-oxide EEPROM device" IEEE Electron Device Lett., vol. 8, no. 3, pp. 93-95, 1987.
11. S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, "Volatile and non-volatile memories in silicon with nano-crystal storage," in IEDM Tech. Dig., pp. 521-524, 1995.
12. S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, "A silicon nanocrystals based memory," Appl. Phys. Lett., vol. 68, p. 1377, 1996.
13. T. C. Chang, S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, and S. M. Sze, "A novel approach for fabricating germanium nanocrystals for nonvolatile memory

- application,” *Electrochem. Solid-State Lett.*, vol. 7, G17, 2004.
14. J. H. Chen, T. F. Lei, D. Landheer, X. Wu, J. Liu, and T. S. Chao, “Nonvolatile memory characteristics with embedded hemispherical silicon nanocrystals,” *Electrochem. Solid-State Lett.*, vol. 10, H302, 2007.
 15. M. H. White, D. A. Adams, and J. Bu, “On the go with SONOS,” *IEEE Circuits Devices Mag.*, vol. 16, p. 22, 2000.
 16. Sharma U, Moazzami R, Tobin P, Okada Y, Cheng S K and Yeargain J 1992 IEDM Tech. Dig. p. 461.
 17. Joshi A B, Yoon G, Kim J. Lo G Q and Kwong D L 1993 *IEEE Trans. Electron Devices* 40 1437