

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

內嵌矽奈米點之 SONOS 記憶體元件 (新制多年期第 2 年)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：98 年 8 月 01 日至 99 年 7 月 31 日

執行機構及系所：國立交通大學 電子物理系

計畫主持人：趙天生 教授 國立交通大學 電子物理系

計畫參與人員：郭柏儀、江宗育、王冠迪、呂宜憲、吳翊鴻、呂侑倫

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

赴國外出差或研習心得報告

赴大陸地區出差或研習心得報告

出席國際學術會議心得報告

國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

中 華 民 國 99 年 07 月 12 日

臨場方法在氮化矽層內嵌矽奈米晶體之 SONOS 型記憶體
“Characteristics of SONOS-Type Flash Memory With *In Situ* Embedded Silicon Nanocrystals”
計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：98 年 8 月 1 日 至 99 年 7 月 31 日

主持人：趙 天 生教授 交通大學電子物理系

中文摘要

在此次報告中，我們成功在氮化矽層內嵌矽奈米晶體之 SONOS 記憶體，並且提出利用臨場方法在氮化矽層內嵌矽奈米晶體做為電子儲存層，此元件可以應用於多層是載子儲存與 2-bit/cell 操作，來達成高密度非揮發性記憶體應用。這個方法製程相當簡單、低成本和現在的 CMOS 元件製程有高度的相容性。此次的實驗我們將聚焦於臨場方法以不同時間堆疊矽奈米晶體，此非揮性記憶體元件具有極佳的特性表現：(1)較大的記憶體窗(> 5.5-V)、(2)較低的操作電壓(寫入電壓與抹除電壓分別為： $V_g = 6\text{-V}$, $V_d = 7\text{-V}$ and $V_g = -7\text{-V}$, $V_d = 10\text{-V}$)、(3)可忽略的閘極與汲級干擾校應(V_t shift < 0.2-V)、(4)可忽略的 2-bit 效應、(5)快速的寫入/抹除速度(在寫入時間為 10 μsec 、操做電壓為 $V_g = V_d = 6\text{-V}$ 情況下，可得 2-V 的記憶體窗)、(6)長時間的載子保存性(在時間經過 10^8 秒後，記憶體窗僅有 13% 的損失)、(7)良好的可靠度特性(再經過一萬次的寫入/抹除，依然可以維持 3-V 的記憶體窗)。本研究有助於了解不同堆疊時間對於記憶體元件電性及物性的影響。

關鍵字：臨場方法、矽奈米晶體、非揮發性記憶體、記憶體窗、載子保存性、可靠度特性

英文摘要

In this work, SONOS devices with embedded silicon nanocrystals (Si-NCs) in silicon nitride using *in-situ* method with multi-level and 2-bit/cell operation have been successfully demonstrated. The proposed *in-situ* Si-NCs deposition method exhibits the advantages of low cost, simplicity and compatibility with modern IC processes. Different Si-NCs deposition times by *in situ* method were investigated at first. SONOS memories with embedded Si-NCs exhibit a significantly improved performance with a large memory window (> 5.5-V), low operating voltage (P/E voltage, $V_g = 6\text{-V}$, $V_d = 7\text{-V}$ and $V_g = -7\text{-V}$, $V_d = 10\text{-V}$, respectively), greater tolerable gate and drain disturbance (V_t shift < 0.2-V), negligible second-bit effect, high P/E speed (after programming time = 10 μsec with a of 2-V shift of V_t , under $V_g = V_d = 6\text{-V}$ operation), good data retention time (> 10^8 s for 13% charge loss) and excellent endurance performance (after 10k P/E cycles memory window of 3-V).

Index Terms: *in-situ* deposition method, Si-nanocrystal, non-volatile memory, memory window, data retention, endurance performance

一、計畫的緣由與目的

在早期發展階段，非揮發性記憶體浮動閘極元件(floating gate device)為主要種類，但是隨著元件越來越小，密度越來越高的趨勢下，穿隧氧化層(tunneling oxide)勢必也必須變薄，才能繼續維持我們的寫入/抹除速度，然而穿隧氧化層在變薄的情況下，會引起一連串的不理想效應，所以在 International Technology Roadmap for Semiconductors 中提出浮動閘極記憶體存在穿隧氧化層薄到 6 奈米以下將無法在有效繼續微縮[1]。隨著穿隧氧化層的變薄，會導致一系列嚴重問題產生，例如: Stress Induced Leakage Current、嚴重的短通道效應與嚴重的浮動閘極耦合效應[2]-[4]，當中最嚴重的是 SILC 所引起的電荷損失，由於浮動閘極記憶體是用電子儲存在浮動閘極內，而浮動閘極是由 Poly-Si 組成的，所以電子沿著顆粒邊界(grain boundary)是整層導通的，假設穿隧氧化層有缺陷的話，就會因為 SILC 而漏掉電荷，進一步使元件的資料保存能力越來越差，而載子存儲時間也隨著穿隧氧化層越薄而越短，使得浮動閘極記憶體失去其非揮發的特性，這就是浮動式閘極記憶體在微縮的過程中所產生的最大問題。

多晶矽-二氧化矽-氮化矽-二氧化矽-矽(silicon-oxide-nitride-oxide-silicon)和金氧半(metal-oxide-semiconductor)內嵌奈米晶體記憶體元件在近來相當受到矚目，因為此兩結構元件能有效的改善傳統浮動閘極記憶體元件在穿隧氧化層微縮問題[5]-[8]，在金氧半內嵌奈米晶體記憶體元件與 SONOS 結構的優點：(1)製程簡單、(2)提高元件密度、(3)可以克服源極引發導通現象(drain-induced turn-on)、(4)達成多層式載子儲存(multi-level storage)、(5)可排除浮動閘極耦合效應(floating gate coupling effect)、(6)2-bit/cell 操作、(7)可以降低 SILC 效應[9]-[12]，同時在穿隧氧化層微縮至6奈米以下，依然可以維持相當好的電荷保存特性，主要是因為在 SONOS 的結構中，電荷儲存層為不連續的並且擁有較多的深層儲存層。

然而在 SONOS 的結構中依然有些較嚴重的問題被提出，例如: 儲存載子的橫向移動、嚴重的 2-bit 效應與抹除飽和現象[13]-[16]，而利用金氧半內嵌奈米晶體記憶體元件，可以有效的改善儲存載子的橫向移動與嚴重的 2-bit 效應

[17]-[18]，但是在金氧半內嵌奈米晶體製程的困難度較高，尤其要在二氧化矽上沉積出高密度的矽奈米晶體難度更高，因此有文獻提出利用氮化矽基底，可大幅提高矽奈米晶體密度，因為在氮化矽有較低活化能並且有較高的成核速率，因此矽奈米晶體會較易於在氮化矽成核，並且有較高的矽奈米晶體密度。

因此將矽奈米晶體內嵌於氮化矽內，可以有有效的改善其電特性，當今文獻提出許多方法來達成此製程，利用在氮化矽中較高的矽含量或者利用矽的離子佈值[21]-[22]，這些方法將會提高製程複雜度，因此簡單並且低成本的矽奈米晶體內嵌氮化矽製程，將會對於 SONOS 記憶體的發展有相當大的幫助。

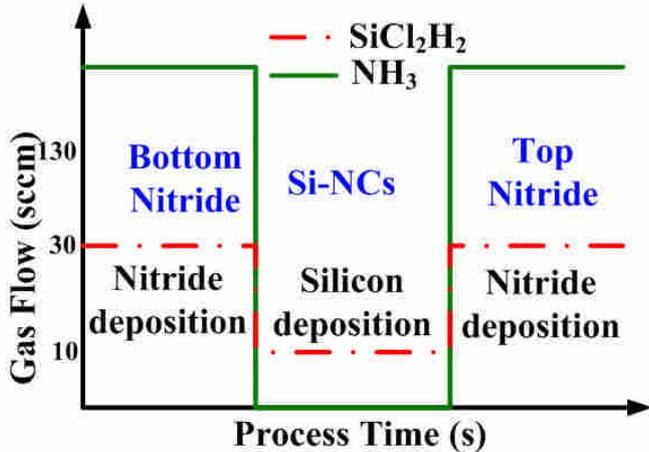
而在去年度的計畫中，我們已提出利用非臨場沉積方法來達成內嵌矽奈米晶體，並且得到較大的記憶窗口與較好的電荷保存特性[23]-[24]，在此計畫中，我們提出利用臨場方法在氮化矽層內嵌矽奈米晶體製造出新穎的 SONOS 型記憶體結構，同時結合多晶矽-二氧化矽-氮化矽-二氧化矽-矽和金氧半內嵌奈米晶體記憶體元件兩者之優點，此方法簡單、低成本和現在的 IC 製程有高度的相容性，此次的研究聚焦於對於元件的特性及可靠度分析，我們成功的製造具有極佳特性的記憶體元件：較大的記憶窗特性和長時間的載子儲存。

二、研究方法及成果

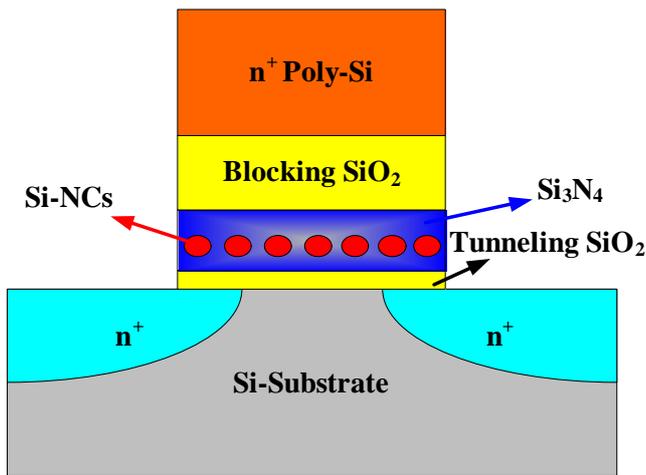
本實驗採取(100)方向之 P 型矽晶圓為基底。元件製程首先完成區域氧化層(LOCOS)之製作，再用 N_2O 氣體成長穿隧氧化層，厚度為 2.5 奈米，接著利用臨場方法的將矽奈米晶體內嵌至氮化矽層內，採取不破真空方法，低壓爐管沉積氮化矽，通入氣體 SiH_2Cl_2 加 NH_3 ，厚度為 3 奈米，使用之後將管子抽真空，把之前沉積所剩下的氣體抽光，通入氣體 SiH_2Cl_2 用來成長矽奈米晶體，沉積時間分別為 10、30、60 和 90 秒，緊接著將成長矽奈米點所剩之氣體抽光，再次通入氣體 SiH_2Cl_2 加 NH_3 ，沉積氮化矽厚度為 4 奈米，以上所有的步驟都在相同爐管內及真空下進行，稱為 In-Situ 製程，而氣體流量示意圖如圖一所示。

之後再利用 HDPCVD 成長阻擋氧化層，厚度為 20 奈米，並利用低壓爐管沉積多晶矽作為元件閘極，厚度為 200 奈米，並且定義閘極

圖形。其後製程都與 MOSFET 的標準製程相同，再以金屬 (AlSiCu) 濺鍍當作元件的金屬接觸，厚度為 600 奈米，而元件的結構示意圖如圖二所示。



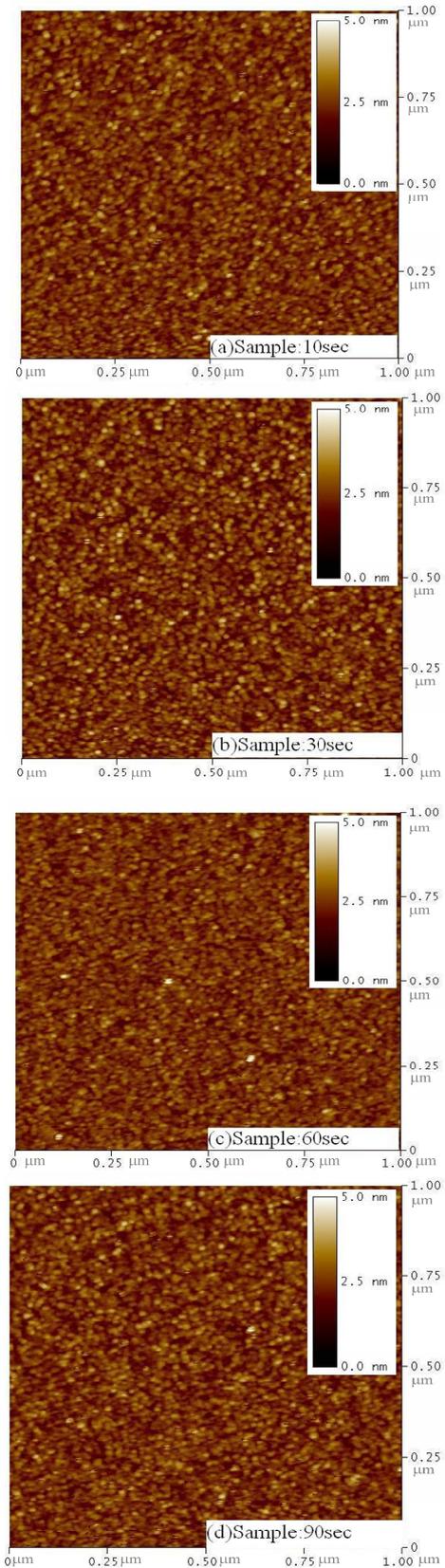
圖一：利用 In-situ 內嵌矽奈米晶體製程氣體流量式意圖。



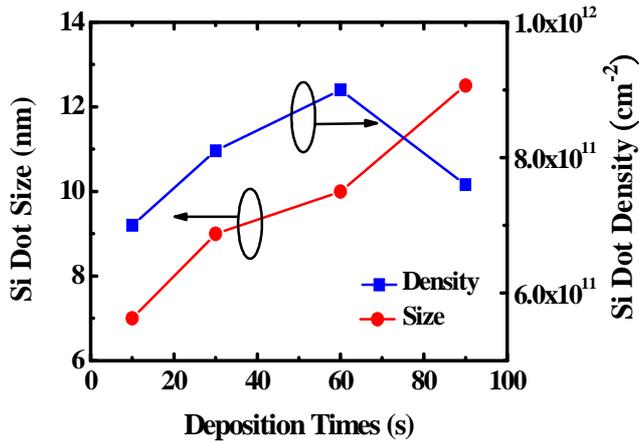
圖二：內嵌矽奈米晶體 SONOS 記憶體的結構式意圖。

我們利用原子力顯微鏡可得知矽奈米晶體大小與密度分別約為(a)7nm 和 7.44×10^{11} 、(b)10nm 和 7.8×10^{11} 、(c)10nm 和 9×10^{11} 、(d)12.5nm 和 7.6×10^{11} 如圖三(a)~(d)，而且矽奈米晶體間距平均約為 6nm，使得儲存點之間有足夠的絕緣，減少 SILC 現象產生，並且使用臨場式沈積可得密度高達 $9 \times 10^{11} \text{ cm}^{-2}$ 矽奈米晶體，同時我們可以發現當沉積時間越長，將使矽奈米晶體越大，但是會使矽奈米晶體密度下降，最高密度的沉積條件為 60 秒，由統計圖四可得知，並且由高解析度穿隧電子顯微鏡下視圖，可明顯發現矽奈米晶體結晶狀況，與其真

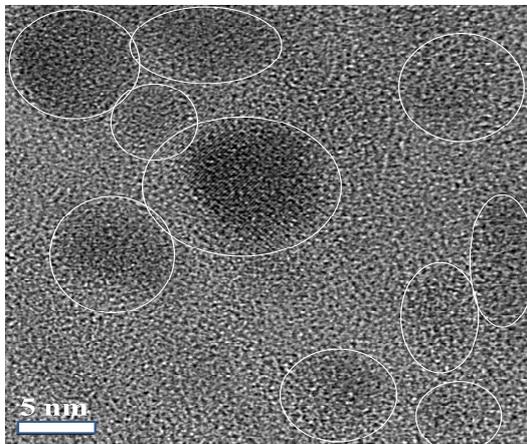
實大小約為 5 奈米，如圖五所示。



圖三：利用原子力顯微鏡顯示矽奈米晶體大小與密度，矽奈米晶體沉積時間分別約為(a)10sec、(b)30sec、(c) 60sec、(d) 90sec、。



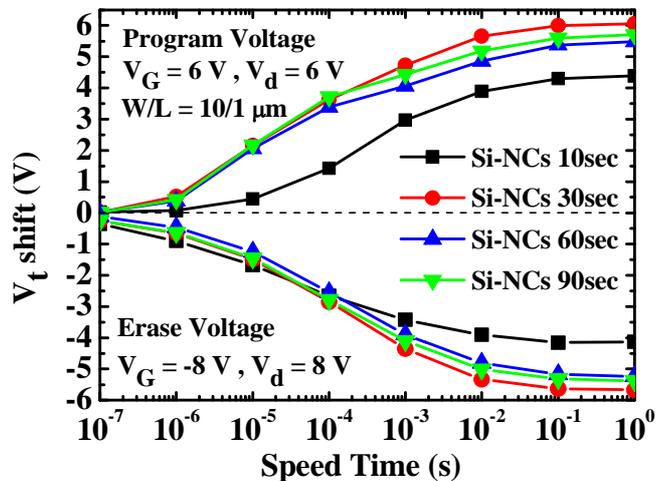
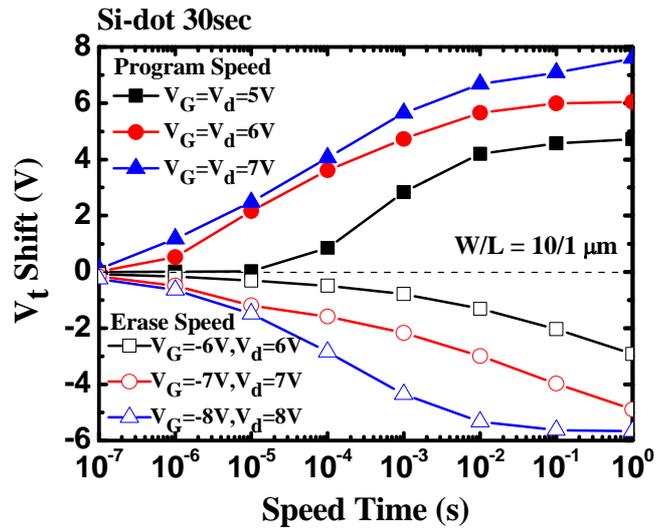
圖四：不同沉積時間與矽奈米晶體大小密度相關圖。



圖五：利用臨場方式沉積 30 秒的樣品，在高解析度穿隧電子顯微鏡之下視圖。

從圖六中呈現出寫入/抹除速度特性，元件寫入/抹除機制分別為通道熱電子注入(channel hot electron injection)和能帶對能帶熱電洞注入(band-to-band hot hole injection)，在圖六(a)中顯示不同偏壓下內嵌矽奈米晶體記憶體操作特性，可發現在較大的偏壓寫入/抹除，會有較大的記憶窗口，並且在寫入電壓為 $V_G=V_d=7V$ 情況下，沒有明顯的捕捉飽和現象，在寫入/抹除電壓分別為 $V_G=V_d=6V$ 、 $V_G=-8V, V_d=8V$ ，對於 10、30、60 和 90 秒樣品記憶窗大小分別為 4.38-V、6.05-V、5.48-V 和 5.70-V，由於基本記憶窗只要大於 50mV 就可以判斷"0"與"1"的狀態，此元件的記憶窗足夠適用於多層式載子儲存。而在此寫入/抹除偏壓下，元件擁有較快的寫入/抹除速度，分別只要 $t=10\mu\text{sec}$ 和 $t=100\mu\text{sec}$ 就可達到 2.3V 的記憶窗大小，可達到較低的操作電壓與較快的寫入/抹除速度，可降低操作功率。傳

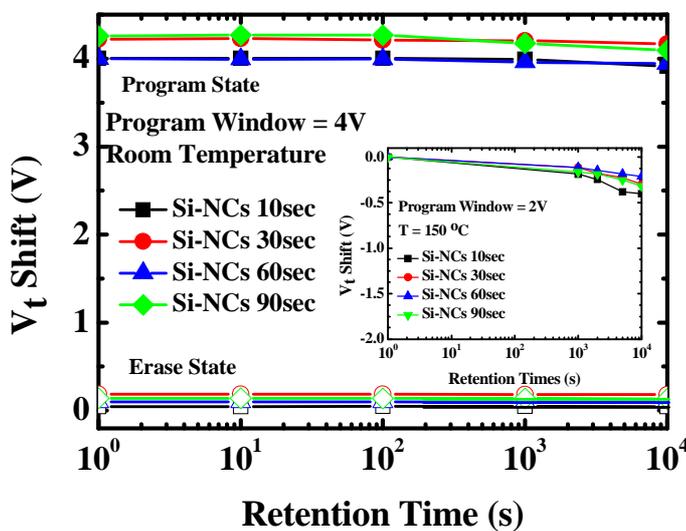
統的 SONOS 只能將電子儲存於氮化矽之深度能陷，此元件能將電子儲存於矽奈米晶體內、矽與氮化矽之界面中與氮化矽之深度能陷，擁有比傳統的 SONOS 更多的儲存狀態，因此可使元件操作電壓下降與提高操作速度。發現沈積 10 秒的樣品有較慢的寫入/抹除速度，因為沈積時間太短使得矽無法成長為矽奈米晶體，所以導致特性比較接近傳統的 SONOS。



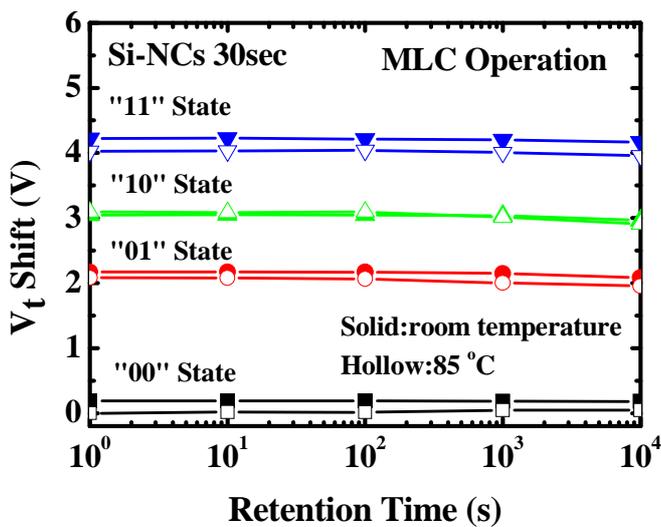
圖六：(a)內嵌矽奈米晶體 30 秒的樣品在不同操作偏壓下與(b)不同沉積時間矽奈米晶體樣品之寫入/抹除特性。

氮化矽內嵌矽奈米晶體記憶體元件，在室溫 25°C 與高溫 150°C 的電荷儲存能力特性顯示在圖七中。發現在室溫下的電荷儲存能力可以維持十年，而且只有百分之十三的電子流失，而在高溫下一萬秒內也只有百分之十的電子流失。這是由於此元件在矽與矽奈米晶體的界面擁有較深的捕陷能階，而且矽奈米晶體間有足

夠的分離，因此可以擁有較好的電子儲存能力。同時在 60 秒的沉積時間有最好的電荷保存能力，因為當沉積時間越久矽奈米晶體越大，矽奈米晶體越大所能儲存的電荷就越多，當有漏電路徑產生時，會導致大量的電荷流失，而當沉積時間太短時，會使矽奈米晶體無法形成，導致其特性較貼近傳統 SONOS，故其電荷保存能力就大幅度降低。圖八中顯示內嵌矽奈米晶體在多層式操作下電荷保存能力，可發現不管在室溫(25°C)或高溫(85°C)情況下，其電荷損失情況相當輕微，可以忽略不記，因此內嵌矽奈米晶體可利用多層式操作，有效的提高記憶體元件密度。



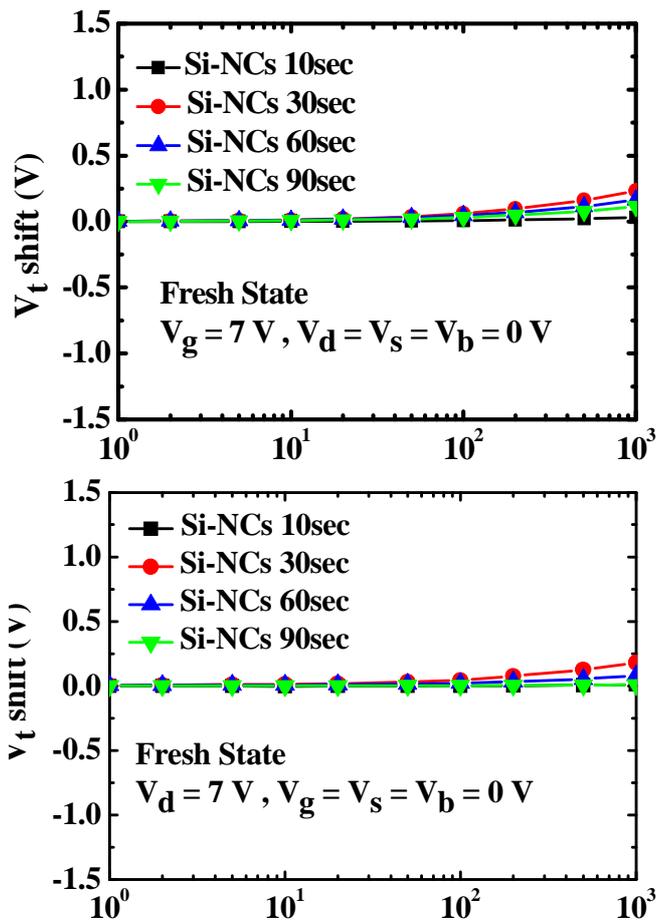
圖七：不同矽奈米晶體沉積時間之 SONOS 記憶體在室溫與高溫下之電荷保存特性。



圖八：矽奈米晶體沉積 30 秒之 SONOS 記憶體在多層式操作之不同溫度下電荷保存特性。

在能帶對能帶熱電洞注入的情況下，將會

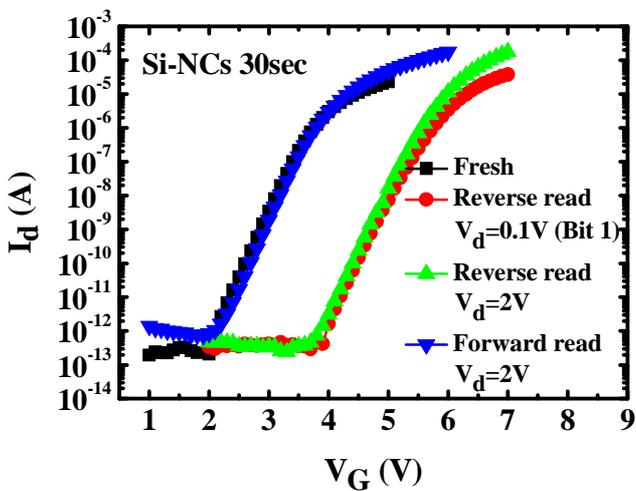
導致嚴重的汲極干擾[25]-[26]，導致大量的電子可做垂直移動，注入電荷捕捉層內，因此而導致記憶窗口變大，使得在寫入讀取時產生誤判的情況，然而在內嵌矽奈米晶體記憶體的元件中，可發現在經過 1000 秒的干擾測試，發現在任何沉積時間下的 SONOS 記憶體，其不管是閘極與汲極干擾都小於 0.5V，因此在閘極干擾與汲極干擾測試，都可以達到相當好的結果，代表干擾的現象不會影響 SONOS 記憶體在執行多層式操作的寫入過程。



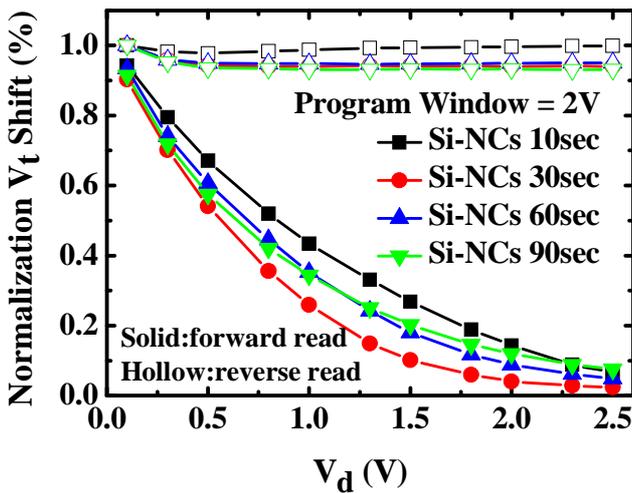
圖九：不同沉積時間之 SONOS 記憶體在(a)閘極干擾與(b)汲極干擾之特性。

在快閃記憶體中，2-bit/cell 操作可以有效的提高儲存密度，並且不需要增加多餘的面積，是相當有效提高面積的方法，在沉積時間為 30 秒的內嵌矽奈米晶體 SONOS 記憶體，我們藉由驅動電流對閘極偏壓關係圖，可以有效的達成 2-bit/cell 的操作，如圖十所示。當我們將電子寫入靠近汲極端，稱為存入 Bit-1，再利用順向讀取與逆向讀取方法，來有效的辨別電荷儲存位元，當電荷儲存於 Bit-1 時，在順向讀取時，由

於偏壓可以有效的遮蓋儲存電壓，此時將會顯是為”0”狀態，再利用逆向偏壓讀取，將可有效讀出訊號得到”1”狀態，在圖十中可發現在沉積時間為 30 秒內嵌矽奈米晶體記憶體，有良好的 2-bit/cell 的操作，可有效的提高記憶體密度。而在不同沉積時間的矽奈米晶體之 2-bit 操作表現顯示在圖十一中，將記憶體元件先操作在 2V 大小的記憶窗口下，再利用順向讀取與逆向讀取，來辨別 2-bit/cell 操作能力，由實驗可發現在沉積時間為 30 秒的條件，有最佳的 2-bit 操作能力，可以利用最小的逆向汲極偏壓，即可達成 2-bit/cell 操作。



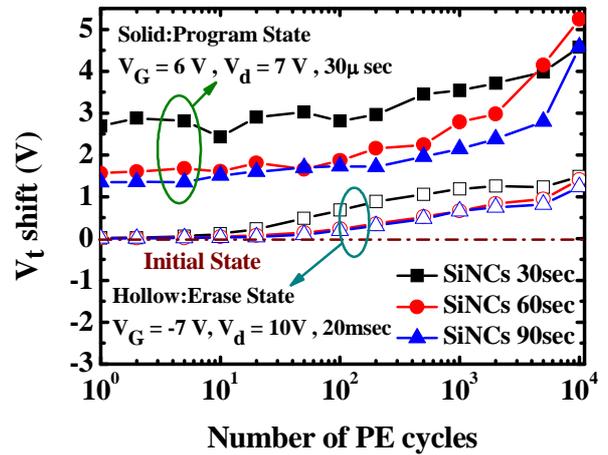
圖十：沉積時間為 30 秒矽奈米晶體之 SONOS 記憶體在 2-bit 操作下之特性。



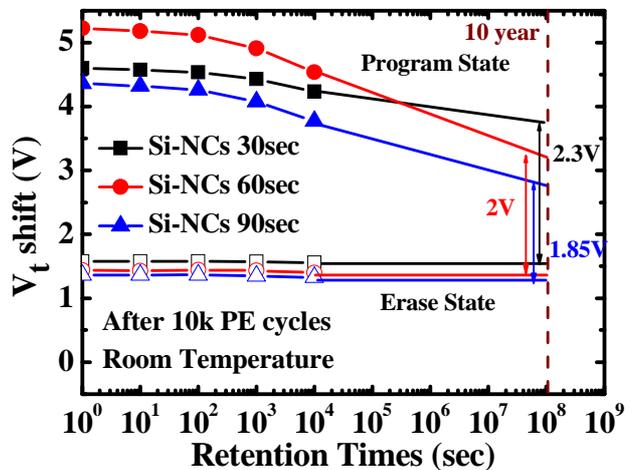
圖十一：在不同沉積時間下矽奈米晶體之 SONOS 記憶體在 2-bit 操作下之特性。

圖十二呈現出內嵌矽奈米晶體記憶體在執行反覆的寫入/抹除操作時的耐久性測試，而此寫入的電壓與時間分別設定為

$V_G=6V, V_d=7V, t=30\mu\text{sec}$ ，抹除的電壓與時間分別設定為 $V_G=-7V, V_d=10V, t=20\text{msec}$ ，在圖中顯示經過一萬次反覆寫入/抹除後，可發現在寫入狀態與抹除狀態的臨界電壓有變大的趨勢，由於在寫入/抹除時熱載子會傷害穿隧氧化層 [27]-[28]，導致穿隧氧化層有額外的電荷存在，以致於臨界電壓有明顯的變化，但是在經過一萬次的反覆寫入/抹除下，記憶窗口依然可維持 2.7V 的大小，並且在圖十三中顯示經過一萬次的反覆寫入/抹除後，電荷保存能力依然維持得相當好，在經過一萬秒的電荷保存能力測試下，大約只有 12% 的電荷損失，在延伸 10^8 秒後，記憶體窗口依然可以維持 2.3V 的大小，然而在 10 秒沉積時間的條件下，其特性較接近傳統的 SONOS 記憶體，故無法在此偏壓與時間下操作，因此無法呈現在圖十二與圖十三中。



圖十二：在不同沉積時間下矽奈米晶體之 SONOS 記憶體在執行一萬次反覆寫入/抹除之耐久性表現。



圖十三：在不同沉積時間下矽奈米晶體之

SONOS 記憶體在經過一萬次反覆寫入/抹除後，其電荷保存特性表現。

四、結論與討論

本實驗成功地呈現出利用臨場方法將氮化矽內嵌矽奈米晶體之 SONOS 型記憶體元件，此元件可以利用多層式載子儲存與 2-bit/cell 儲存，來達到高密度記憶體元件應用。此新穎的結構具有較大的記憶窗、較低的操作電壓、較快的操作速度、可忽略的 2-bit 效應、長時間的載子儲存能力和較好的可靠度，而且發現在沈積時間為 30 秒與 60 秒分別有較佳有的記憶窗與較佳的載子儲存能力，使用 In-situ 製程方法相當簡單、低成本和現在的 COMS 製程有高度的相容性。

本研究群的相關研究結果，97 年度於期刊發表 5 篇 IEEE EDL 論文、1 篇 IEEE TED 論文 1 篇 SST 論文與 1 篇 JES 論文，98 年度於期刊發表 1 篇 IEEE EDL 論文、2 篇 IEEE TED 論文。

五、參考文獻

1. The International Technology Roadmap for Semiconductors (ITRS), p. 23, 2006.
2. R. Degraeve, F. Schuler, B. Kaczer, M. Lorenzini, D. Wellekens, P. Hendrickx, M. van Duuren, G. J. M. Dormans, J. Van Houdt, L. Haspeslagh, G. Groeseneken, and G. Tempel, "Analytical percolation model for predicting anomalous charge loss in flash memories," IEEE Trans. Electron Devices, vol. 51, No.9, pp. 1392-1400, 2004.
3. K. Naruke, S. Taguchi and M. Wada, "Stress induced leakage current limiting to scale down EEPROM tunnel oxide thickness," in IEDM Tech. Dig., pp. 424-427, 1988.
4. M. H. White, Y. Yang, P. Ansha and M. L. French, "A low voltage SONOS nonvolatile semiconductor memory technology," IEEE Trans. Compon., Packag., Manuf. Technol., vol. 20, pp. 190-195, 1997.
5. J. D. Blauwe, "Nanocrystal nonvolatile memory devices," IEEE Trans. Nanotechnol, vol. 1, p. 72-77, 2002.
6. R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, "Nonvolatile Si quantum memory with self-aligned doubly-stacked dots," IEEE Trans. Electron Devices, vol. 49, no. 8, pp. 1392-1398, Aug. 2002.
7. P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, and T.-J. King, "FinFET SONOS flash memory for embedded applications," in IEDM Tech. Dig., pp. 609-613, 2003.
8. C. W. Oh, S. D. Suk, Y. K. Lee, S. K. Sung, J. D. Choe, S. Y. Lee, D. U. Choi, K. H. Yeo, M. S. Kim, S. M. Kim, M. Li, S. H. Kim, E. J. Yoon, D. W. Kim, D. Park, K. Kim and B. I. Ryu, "Damascene gate FinFET SONOS memory implemented on bulk silicon wafer," in IEDM Tech. Dig., pp. 893-896, 2004.
9. M. She and T. J. King, "Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance," IEEE Trans. Electron Devices, vol. 50, no. 9, pp. 1934-1940, Sep. 2003.
10. M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J.-C. Shim, H. Kurino, and M. Koyanagi, "New nonvolatile memory with extremely high density metal nano-dots," in IEDM Tech. Dig., pp. 553-556, 2003.
11. M. K. Cho and D. M. Kim, "High performance SONOS memory cells free of drain turn-on and over-erase: compatibility issue with current flash technology" IEEE Electron Device Lett., vol. 21, no. 8, pp. 399-401, 2000.
12. T. Y. Chan, K. K. Young, and C. Hu, "A true single-transistor oxide-nitride-oxide EEPROM device" IEEE Electron Device Lett., vol. 8, no. 3, pp. 93-95, 1987.
13. Y. K. Lee, T. H. Kim, S. H. Lee, J. D. Lee and B. G. Park, "Twin-bit silicon-oxide-nitride-oxide-silicon (SONOS) memory by inverted sidewall patterning (TSM-ISP)," IEEE Transactions on Nanotechnology, vol. 2, pp. 246-252, 2003.
14. E. Lusky, Y. Shacham-Diamand, I. Bloom and B. Eitan, "Electrons retention model for localized charge in oxide-nitride-oxide (ONO) dielectric," IEEE Electron Device Lett., vol. 23, pp. 556-558, 2002.
15. W. J. Tsai, N. K. Zous, C. J. Lie, C. C. Liu, C. H. Chen and T. Wang, "Data retention behavior of a SONOS type two-bit storage flash memory cell," in IEDM Tech. Dig., pp. 719-722, 2001.
16. T. Sugizaki, M. Kobayashi, M. Minakata, M. Yamaguchi, Y. Tannura, Y. Sugiyama, T. Nakanishi and H. Tanaka, "Novel multi-bit SONOS type flashing memory using a high-k trapping layer," in VLSI Symp. Tech. Dig., pp. 27-28, 2003.
17. S. K. Samanta, P. K. Singh, W. J. Yoo, G. Samudra, Y. C. Yeo, L. K. Bera and N. Balasubramanian, "Enhancement of memory window in short channel non-volatile memory devices using double layer tungsten nanocrystals," in IEDM Tech. Dig., pp. 170-173, 2005.
18. Y. H. Lin, C. H. Chien, C. T. Lin, C. Y. Chang, and T. F. Lei, "Novel two-bit HfO₂ nanocrystal nonvolatile flash memory," IEEE Trans. Electron Devices, vol. 53, no. 4, pp. 782-789, Apr. 2006.
19. T. Baron, F. Martin, P. Mur, C. Wyon, M. Dupuy, C. Busseret, A. Souifi, and G. Guillot, "Low pressure chemical vapor deposition growth of silicon quantum dots on insulator for nanoelectronics devices," Appl. Surface Science, vol. 164, pp. 29-34, Sep. 2000.
20. T. Baron, F. Martin, P. Mur, C. Wyon, and M. Dupuy, "Silicon quantum dot nucleation on Si₃N₄, SiO₂ and SixNy substrates for nanoelectronic devices," Journal of Crystal Growth, vol. 209, pp. 1004-1008, 2000.
21. K. S. Cho, N. M. Park, T. Y. Kim, K. H. Kim, G. Y. Sung, and J. H. Shin, "High efficiency visible electroluminescence from silicon nanocrystals embedded in silicon nitride using a transparent doping layer," Appl. Phys. Lett., vol. 86, 071909, 2005.

22. S. Choi, H. Choi, T. W. Kim, H. Yang, T. Lee, S. Jeon, C. Kim, and H. Hwang "High density silicon nanocrystal embedded in SiN prepared by low energy (<500eV) SiH₄ plasma immersion ion implantation for non-volatile memory application," in IEDM Tech. Dig., 2005.
23. Mei-Chun Liu, Tsung-Yu Chiang, Po-Yi Kuo, Ming-Hong Chou, Yi-Hong Wu, , Hsin-Chiang You, Ching-Hwa Cheng, Sheng-Hsien Liu, Wen-Luh Yang, Tan-Fu Lei, and Tien-Sheng Chao "SONOS memories with embedded silicon nanocrystal in nitride, " *Semiconductor Science and Technology*, vol. 23, 2008.
24. T. Y. Chiang, T. S. Chao, Y. H. Wu, and W. L. Yang "High-program/erase-speed SONOS with in-situ silicon nanocrystals," *IEEE Electron Device Lett.*, vol. 29, pp. 1148-1151, 2008.
25. M. K. Cho and D. M. Kim "Simultaneous hot-hole injection at drain and source for efficient erase and excellent endurance in SONOS flash EEPROM cells," *IEEE Electron Device Lett.*, vol. 24, pp. 260-262, 2003.
26. W. C. Wu, T. S. Chao, W. C. Peng, W. L. Yang, J. H. Chen, M. W. Ma, C. S. Lai, T. Y. Yang, C. H. Lee, T. M. Hsieh, J. C. Liou, T. P. Chen, C. H. Chen, C. H. Lin, H. H. Chen, and J. Ko "Optimized ONO thickness for multi-level and 2-bit/cell operation for wrapped-select-gate (WSG) SONOS memory," *Semiconductor Science and Technology*, vol. 23, 2008.
27. G. Puzzilli and F. Irrera, "Data Retention of Silicon Nanocrystal Storage Nodes Programmed With Short Voltage Pulses" *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 775-781, 2006.
28. J. Sarkar, S. Dey, D. Shahrjerdi, and S. K. Banerjee, "Vertical Flash Memory Cell With Nanocrystal Floating Gate for Ultradense Integration and Good Retention" *IEEE Electron Device Lett.*, vol. 28, no. 5, pp. 449-451, May 2007.

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本實驗成功地呈現出利用臨場方法將氮化矽內嵌矽奈米晶體之 SONOS 型記憶體元件，此元件可以利用多層式載子儲存與 2-bit/cell 儲存，來達到高密度記憶體元件應用。此新穎的結構具有較大的記憶窗、較低的操作電壓、較快的操作速度、可忽略的 2-bit 效應、長時間的載子儲存能力和較好的可靠度，使用 In-situ 製程方法相當簡單、低成本和現在的 COMS 製程有高度的相容性，極具產品之可行性。