

微瓦級動態電壓與頻率調整之晶片匯流排設計

“The Design of uW DVFS On-Chip Bus”

計畫編號：NSC98-2221-E-009-137-MY2

執行期間：98年8月1日至99年7月31日

主持人：蘇朝琴 交通大學電機系教授

一、摘要

● 中文摘要

本計畫在於探討微瓦級匯流排DVFS的設計技術，主要的應用領域在於生醫應用的植入式與外掛式裝置。匯流排的主體為Segmented Buffer的架構，我們使用Bootstrap Inverter以降低電路轉態的時間，提升電路的速度。同步系統為Source Synchronous的機制，目的在於降低匯流排的驅動能力要求，最終則能降低功率消耗，並且排除CDR的使用。系統的操作模式是以一個Timing Margin Measurement (TMM)模組，量測CLK與DATA的Timing Margin，並據此調整資料的傳送頻率與(或)電源供應電壓。如此，不論製程的落點為何，我們可以讓電路工作在最為省電的情況下。

本案預計產出三顆90nm的晶片，包括有次臨界電晶體與電路的測試電路，用以建立次臨界的電晶體電路模型；Bootstrap Inverter與TMM電路用以修正次臨界電路的設計；uW級匯流排DVFS的整合與驗證晶片。而在本次的計畫期中報告裡，我們提出並完成兩個可操作在0.2V下，拔鞋帶式中繼器之晶片匯流排之電路設計，並在聯電90奈米的製程中下線驗證。

關鍵詞：系統晶片、晶片匯流排、次臨界操作、低功率設計、拔鞋帶式驅動器。

● 英文摘要

This project proposed an uW on-chip bus design based using DVFS techniques. The main application domain includes invasive and noninvasive biomedical applications. The body of the proposed on-chip bus has a segmented buffer structure. The buffers are implemented by bootstrap inverters to either improve the speed or decrease the power consumption. The synchronization is achieved by the source synchronization mechanism. It improves the bus speed, at the same time, reduce the power consumption. Furthermore, it does not require CDR that simplifies the circuit design effort. The DVFS on-chip bus operates as follows. The timing margin of the bus is measured by a TMM module. According the timing margin, the DVFS controller controls the data rate and/or the supply voltage. With the propose structure, the circuit will operate at its optimal condition regardless of its process corner and operation condition.

The project is planned to design three 90nm chips. They include the subthreshold transistor and circuit test keys to build the transistor and circuit model under subthreshold operation, the bootstrap inverter and timing margin measurement circuit to calibrate the circuit model, and integrated uW DVFS on-chip bus to verify the proposed concept and circuit design. In this midterm project report, we proposed two bootstrapped repeaters in on-chip bus design.

Furthermore, we implemented the chip with UMC 90um low-k process.

Key work: SoC, On-Chip Bus, Subthreshold Operation, Low Power Circuit, Bootstrapped Inverter

二、計畫的緣由與目的

近年來由於積體電路製程的長足進展，晶片面積的設計越來越小，而低電壓、低功率、面積小的電路系統設計是今後必然的發展趨勢。在手持式裝置上面，有著操作時的總功率低於 1W 的基本要求以維持適當的操作時間。因此，低功耗的晶片匯流排的需求更顯殷切。更有甚之則在生醫領域的應用上，其整體功耗必須小於 1mW，才能有足夠長的使用時間。對於植入式的裝置，低於 10uW 則是使用為小型鈕扣電池的基本要求。若以匯流排佔總功率消耗的 10% 為例，外掛式與植入式的匯流排功耗分別為 0.1mW 與 1uW。因此先行探討低功耗匯流排的設計技術有其必要性。

但是在現今的深次微米的製程中有著非常多不良的效應，其中影響設計技術與良率最大的就是製程與環境的因素(Process Voltage Temperature, PVT)。為了達到良率 95% 以上，設計上就必須考量最差的狀況，在製程為 Slow-Slow，溫度為 125 °C，電壓為額定電壓少 10% 的情況下操作都必須滿足規格。為了達到此一規範，設計者就必須要加入非常多的額外電路以提升性能。以下表為例，我們以 90nm 製程所設計的迴圈振盪器(Ring Oscillator)，在 1V 的操作電壓下，25°C 的 TT corner 可操作在 757MHz，-40°C 的 FF corner 則可操作在 1005MHz；但是在 0.8V 的操作電壓下，125°C 的 SS corner 則只能操作在 353MHz。由此可見 PVT 的變化可多達 ±50%，幅度相當驚人。

在如此大的 PVT 的變化下 (±50%)，傳統的電路多操作在預設的最差狀況(Worst

PVT Corner)，如下圖所示，電路在不同的 PVT 情況下時，其延遲時間會不一樣，我們以有顏色的部份來代表電路在不同的 PVT 情況下的延遲時間。而電路的規格必須以最差的情況下設定，因此設定為以 SS 的延遲時間為電路的規格。如果實際電路的延遲時間 (如最下條所示) 小於規格。則我們會浪費掉過多的時間餘域 Margin。

為了解決大幅的 PVT 漂移，Dynamic Voltage/Frequency Scaling (DVFS) 的技術便漸漸受到了重視。它的概念偏重於系統面的考量，它以系統的運算量，由系統面來設定電壓與頻率。然就電路設計面來看，它仍然必須在每一個操作點上，滿足最差製程環境的需求。基本上，就巨觀面來看，功率消耗可以降低。然就微觀面而言，功率消耗的降低並未被最佳化。本案提出一個微觀面的 DVFS，我們內建一個監測電路，在電路的操作滿足需求時，儘量降低超作頻率與電壓，以求功耗的最佳化。

在本年度的計畫中，我們提出新的拔靴帶式晶片匯流排電路，將晶片匯流排電路操作在 0.2V 的操作電壓下，操作在 5Mbps 的傳輸速率下晶片匯流排電路的功耗還不到 0.2uW。

三、研究方法及成果

在晶片內部匯流排系統中，為了降低花費在傳輸線上的延遲，傳統的作法會把傳輸線切割為多段，並置入傳統的 CMOS 反相器作為匯流排系統的中繼器(repeater)，如圖 1 所示，針對中繼器擺設方式與傳輸線參數的最佳化，已有許多文獻討論[1][2][3][4][5][6]。

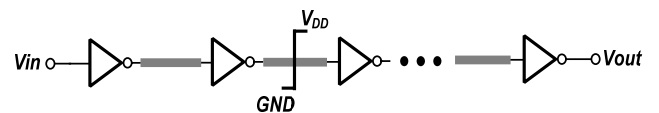


圖 1 置入了傳統中繼器的晶片內部傳輸線系統

但是當傳輸線系統的操作在低電壓的環境時，電路的操作速率將嚴重降低，將造成電路可運作的速度不如預期，尤其在系統的操作

電壓小於電晶體的門檻電壓時，電流驅動力呈指數下降，為了維持驅動力而使用較大的驅動電路將使得面積與功耗大幅上升，如圖 2 所示。另外，在操作在門檻電壓之下的次臨界區將遭受嚴重的製程變異影響，使設計的難度與成本大幅提高。

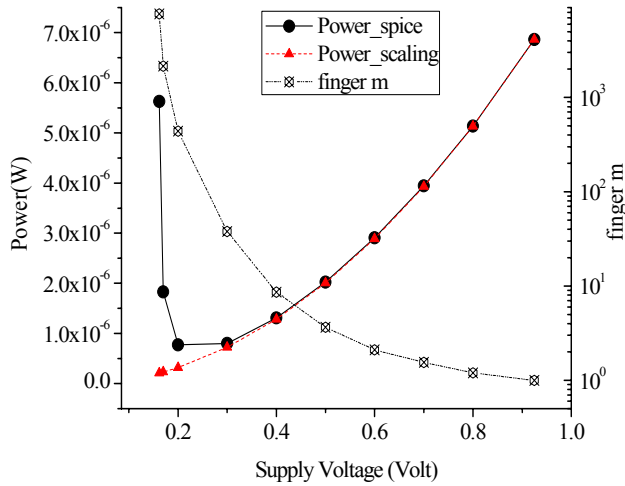


圖 2 操作在相同傳輸速率下不同操作電壓之功耗圖

因此在低操作電壓的環境之下，可考慮使用拔靴帶式反相器(bootstrapped inverter)作為中繼器，如圖 3 所示，將中繼器的輸出擺幅放大為 $2V_{DD} \sim -V_{DD}$ ，如此一來即可增加中繼器的驅動能力，增加傳輸線系統的操作速度。

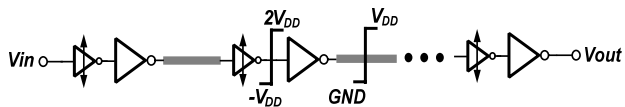


圖 3 本計畫的拔靴帶式晶片內部傳輸線系統

依據先前文獻，拔靴帶式電路可分為二種：一為 Direct Bootstrap 反相器[7][8]，如圖 4 左，其原理是在電晶體的閘級與汲極間，提供一個輸入訊號可經過的路徑，以直接增加電流充放電電流路徑的方式，減少輸出的上升與下降時間，來達到增速的效果；另一種為 Bootstrap 反相器[9][10]，如圖 4 右，其原理是利用前端的拔靴帶式電路放大輸入訊號擺幅，以大擺幅的訊號驅動後端反相器，已達到增速效果。後項的方法應用在低操作電壓時效果較佳，因為在低壓環境下，電晶體的閘級電

壓上升，電晶體電流將呈指數趨勢增加。

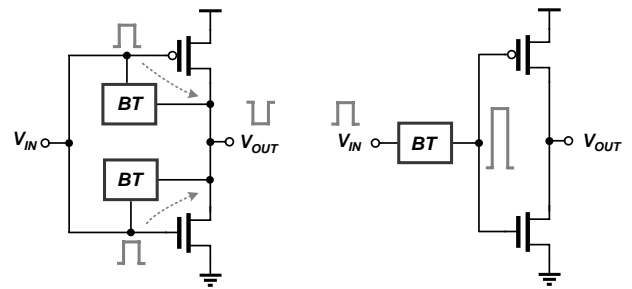


圖 4 拔靴帶式反相器操作概念

Bootstrapped 驅動器電路如圖 5 所示[9]，電晶體 M3 與 M4 負責電容(C1,C2)的充放電，電晶體 M1 與 M6 負責關閉後方 M7 與 M8，而電晶體 M2 與 M5 為開關，電晶體 M7 與 M8 則為傳統的 CMOS 反相器。

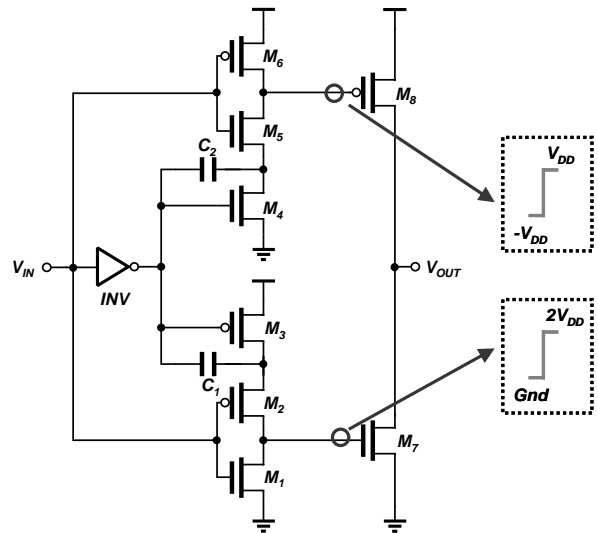


圖 5 Bootstrapped 驅動器電路

為了達到更省功耗的目的，我們在本年度計畫中，先後提出了兩個拔靴帶式驅動器。首先，型態一拔靴帶式反相器電路如圖 6，操作原理如下。電晶體 MN1 與 MP1 負責電容的充放電，電晶體 MN2 與 MP2 為開關，反相器 INV 與電晶體 MN3、MP3 為傳統架構的 CMOS 反相器，電容 C1 與 C2 為升降壓電容。此電路可提供上下擺幅為正兩倍至負一倍操作電壓的數位訊號，驅動後方 CMOS 反相器電路以達增速效果。

相較於[9][10]，我們整合前端的升降壓控

制電路，因此後端反相器電路不需分開控制，可以將輸入訊號往正負方向同時放大，再以放大後的數位訊號來驅動後端電路，PMOS 與 NMOS 驅動電晶體能夠同時接受到 $2V_{DD}$ 至 $-V_{DD}$ 三倍操作電壓的控制訊號。一方面加強後方反相器電路的驅動能力，另一方面同時抑制反相驅動電路的靜態消耗功率，使得原本只有增加驅動能力的輸出電壓可以同時減少靜態漏電流。此外，本計畫的設計中，減少了電晶體使用的個數，降低寄生電容對電路造成的額外功率消耗。

圖 7 為型態一操作在 $0.2V$ 下， $10Mbps$ 傳輸率下的隨機資料眼圖。

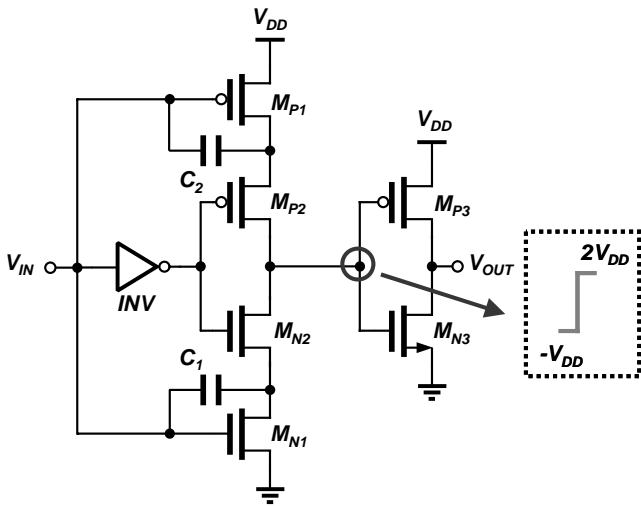


圖 6 型態一拔靴帶式反相器

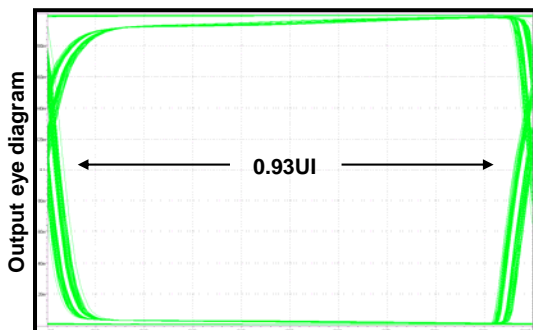


圖 7 使用型態一拔靴帶式中繼器的輸出眼狀圖

我們所提出的另一個電路，型態二拔靴帶式反相器電路如圖 7，與型態一類似，電晶體 MN1 與 MP1 負責電容的充放電，電晶體 MN2 與 MP2 為開關，反相器 INV1、INV2、INV3

與電晶體 MN3、MP3 為傳統架構的 CMOS 反相器，電容 C1 與 C2 為升降壓電容。此電路可提供上下擺幅為正兩倍至負一倍操作電壓的數位訊號，驅動後方 CMOS 反相器電路以達增速效果。

型態二拔靴帶式反相器電路，也具備部分型態一的特色，將升降壓電路合併為一，後端不再分開控制。將傳統放大至兩倍擺幅增強至放大三倍的擺幅，一方面加強後方反相器電路的驅動能力，另一方面同時抑制反相驅動電路的靜態消耗功率。型態二更使用放大後的擺幅輸出回授至前端升降壓電路，使得預充電流提高並消除反轉電流所造成的雜訊。這樣的新設計，首先解決了傳統拔靴帶式反相器電路，在遭受反轉電流升降壓節點電荷流失問題；另外大幅減短了內部電容預充放電時間，提升拔靴帶式電路的操作速度。最後，本計畫的低雜訊、低功率的拔靴帶式驅動電路僅使用了少數的電晶體設計，減少寄生負載所造成額外的功率消耗。

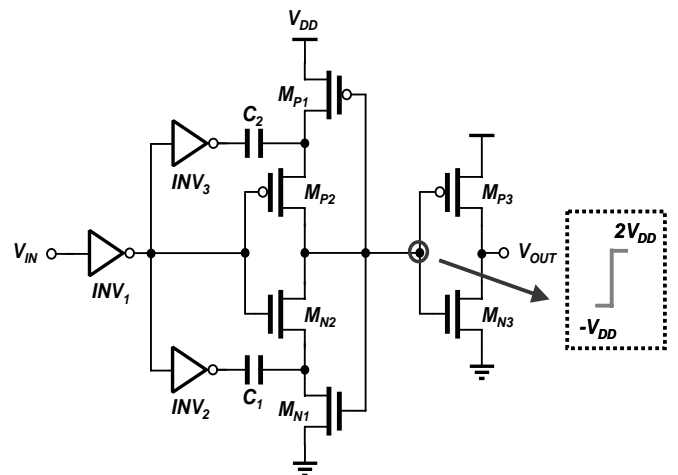


圖 8 型態二拔靴帶式反相器

圖 9 為型態二操作在 $0.2V$ 下， $10Mbps$ 傳輸率下的隨機資料眼圖。

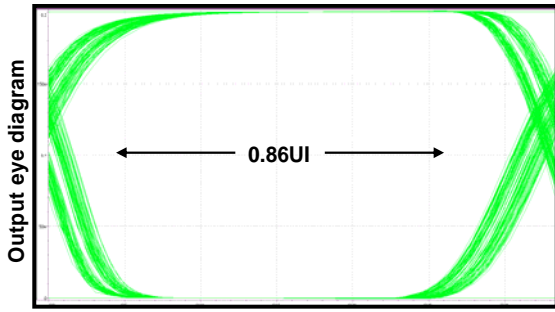


圖 9 使用型態二拔靴帶式中繼器的輸出眼狀圖

依據先前的文獻，目前尚無將拔靴帶式電路應用於晶片內匯流排中繼器的設計，且各種拔靴帶式電路的應用與操作環境皆不同。因此，為了有公平一致的比較，本計畫中實現了以四種拔靴帶電路組成的晶片內匯流排系統 [9][10]，我們將各種拔靴帶式電路應用在匯流排系統的中繼器上，應用的環境如圖 10 的左圖所示，每段傳輸線的長度為 L ，傳輸線系統總長度為一公分，操作電壓為 0.2 伏特。在此我們規定各種情況下的輸出訊號上升與下降時間不得超過 0.15 個 UI。另外，我們考慮輸出訊號的抖動，將輸入改為隨機訊號，並參考 SATA II 標準，規定輸出訊號的眼狀圖開口必須大於 0.7UI。

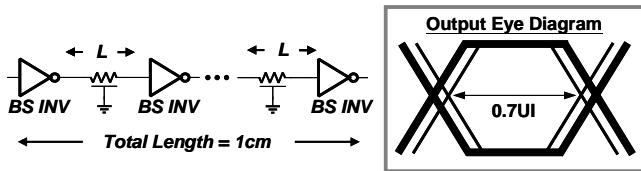


圖 10 拔靴帶式傳輸線系統的比較環境示意圖

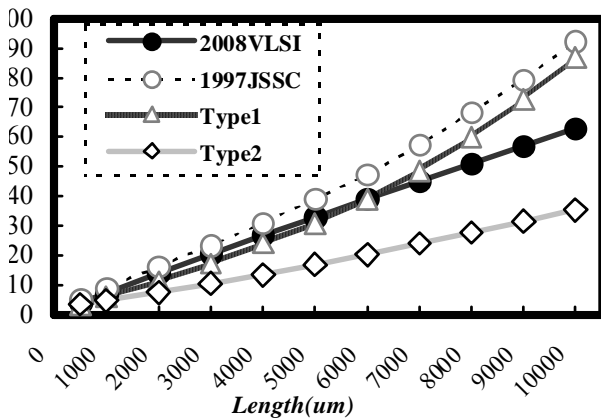


圖 11 為使用不同類型拔靴帶中繼器輸出上升與下降時間比較

圖 11 為使用不同類型拔靴帶中繼器傳輸線系統的輸出上升與下降時間比較，由結果可得知，型態二拔靴帶式中繼器系統所需的轉態時間較短，表現最佳；而 1997JSSC 拔靴帶式中繼器系統所需的轉態時間最長。其中型態一與 1997JSSC 的拔靴帶式電路，本身的升降壓效果將受到短路電流的影響較為嚴重，因此當傳輸線段長增加時，訊號的轉態時間變長，電路產生的短路電流逐漸增加，導致拔靴帶式中繼器的升降壓效果降低，中繼器的驅動能力也逐漸下降，因此輸出的轉態時間將快速增加。

圖 12 為使用不同類型拔靴帶中繼器傳輸線系統可達的操作資料率比較。由結果可看出，傳輸線系統可操作的資料傳輸率與每線段的長度呈反比關係。大致來說，型態二拔靴帶式中繼器傳輸系統可達的資料傳輸率最高，表現最好；而 1997 JSSC 中繼器傳輸系統可達的資料傳輸率最差。

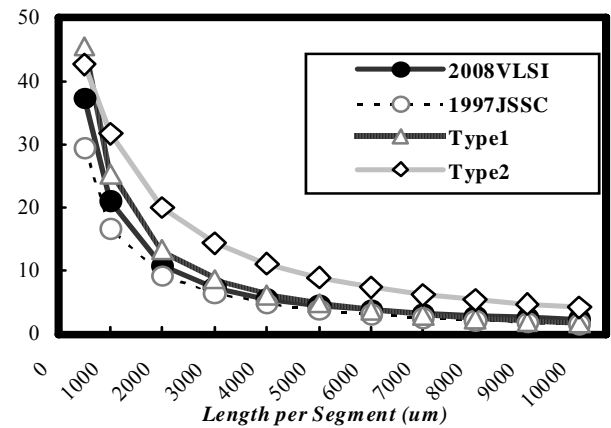


圖 12 為使用不同類型拔靴帶中繼器傳輸線系統可達的操作資料率比較

接著將各傳輸線系統以單位位元功率消耗的形式做比較，在此的單位位元功率消耗的計算方式為功率消耗除以資料傳輸率 (Power/Data Rate)，單位為 pJ / bit，其值愈小代表此系統表現愈好，兼顧了高速低功率的特色，如圖 13 所示。

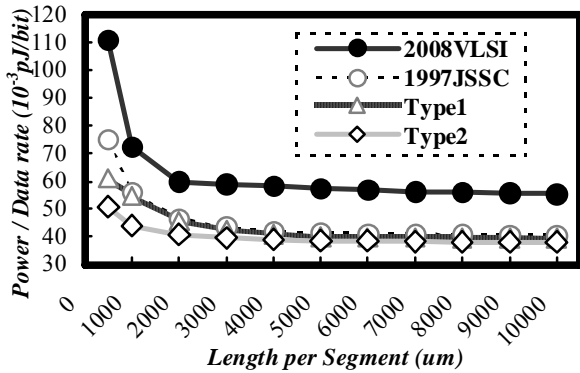


圖 13 為使用不同類型拔靴帶中繼器傳輸線系統單位位元功率消耗比較圖比較

而在 pJ / bit 指標上的表現，在相同的資料傳輸率下，型態二拔靴帶式匯流排系統的功率消耗最低，因此 pJ / bit 的值最小，表現最佳；而型態一拔靴帶式匯流排系統的表現也優於使用 JSSC97 與 VLSI08 的設計；而 VLSI08 拔靴帶式匯流排系統的靜態功率消耗過大，造成 pJ / bit 的值大於其他類型的匯流排電路，為此拔靴帶式電路最大的缺點。

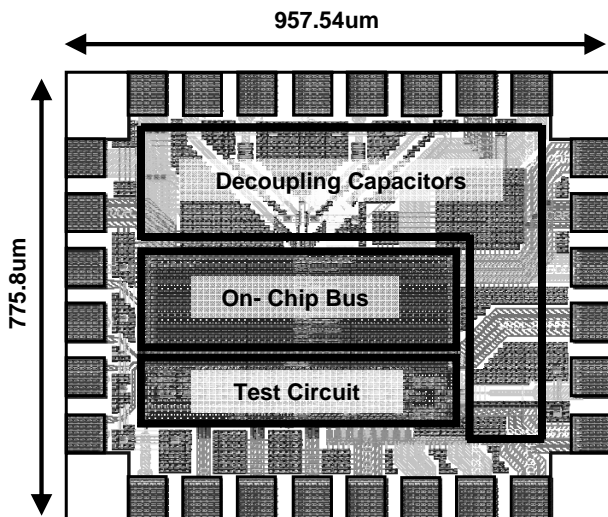


圖 14 晶片佈局圖

本計畫使用 UMC 90nm 製程來實現所設計的電路，晶片佈局如圖 14 所示。晶片佈局的總面積為 $958\mu\text{m} \times 776\mu\text{m}$ 。其中匯流排傳輸系統的佈局面積為 $572\mu\text{m} \times 307\mu\text{m}$ ；測試電路的佈局面積為 $566\mu\text{m} \times 102\mu\text{m}$ 。

依據先前文獻，並無次臨界區晶片內部匯

流排的設計，亦無使用拔靴帶式電路做為匯流排中繼器的設計。此外考量各種拔靴帶式電路文獻，所應用的操作環境與製程的不同，為了有較公平一致的比較結果，及突顯各種拔靴帶式中繼器的優缺。在本設計中實現了以四種拔靴帶式電路為中繼器的晶片內部匯流排系統，模擬結果的比較方式分為兩部份：第一種比較方法為固定將傳輸線切割為十段，傳輸線的全長為 10mm，因此每小段的長度為 1mm。在固定長度後，比較各傳輸線系統所能達到的資料傳輸率、功率消耗，以及在 pJ / bit 指標上的表現，比較結果如表格一所示。

表格一拔靴帶式匯流排比較表(固定切割線段長)

	JSSC97[9]	VLSI08[10]	Type1	Type2
Supply voltage	0.2V	0.2V	0.2V	0.2V
Data rate	5Mbps	15Mbps	5Mbps	30Mbps
Power	0.28uW	1.08uW	0.27uW	1.32uW
Total length	1cm	1cm	1cm	1cm
Segment Length	1mm	1mm	1mm	1mm
pJ / bit	56.1	72.3	54.8	44.1

由表格一的比較結果得知，在固定切割線段長為 1mm 的情況下，本計畫所設計的型態二拔靴帶式匯流排電路，可操作的傳輸資料率為 30Mbps，表現最佳；而 pJ/bit 的值最小，以上結論代表了型態二拔靴帶式匯流排電路兼具了高資料傳輸率與低功率消耗的優點。至於型態一拔靴帶式匯流排電路，雖然操作資料傳輸率只達 5Mbps，但在 pJ/bit 的表現上，也仍優於先前的文獻。而使用 VLSI2008 文獻的拔靴帶式匯流排電路，雖然最高的資料傳輸率可達 15Mbps，但因為此電路的靜態功率消耗過大，導致此電路在 pJ/bit 的表現上最差。

第二種比較的方式為：改變傳輸線切割的線段長，使每種型態的拔靴帶式電路的最高可

操作資料傳輸率為 5Mbps。當操作在一致的資料傳輸率之條件下，進而去比較各拔靴帶式匯流排電路的資料傳輸率、功率消耗，以及在 pJ/bit 指標上的表現，比較結果如表格二所示。型態一與 JSSC97 拔靴帶式匯流排電路的操作極限約為 5Mbps，因此選擇此操作資料傳輸率作為比較基準。

表格二 拔靴帶式匯流排比較表(固定資料傳輸率)

	JSSC97[9]	VLSI08[10]	Type1	Type2
Supply voltage	0.2V	0.2V	0.2V	0.2V
Data rate	5Mbps	5Mbps	5Mbps	5Mbps
Power	0.217uW	0.303uW	0.205uW	0.191uW
Total length	1cm	1cm	1cm	1cm
Segment Length	3mm	4mm	4mm	8mm
pJ / bit	43.5	60.6	41.0	38.2

由表格二的模擬結果顯示，在資料傳輸率為 5Mbps 的要求之下，JSSC97 的拔靴帶式匯流排系統中，每一級中繼器可推動長度為 3mm 的傳輸線負載；[10]與本計畫所設計的型態一拔靴帶式中繼器系統，其中繼器可推動的長度為 4mm；而型態二拔靴帶式中繼器則可驅動的傳輸線負載可達 8mm，為所有類型拔靴帶式匯流排系統中的最佳表現。

五、結論與討論

本計畫在期中的報告中完成了超低功率晶片內部匯流排系統，電路的工作電壓小於電晶體的門檻電壓，大幅減少了電路的功率消耗。為了解決低操作電壓下，電晶體的效能低落與受製程變異的影響嚴重，本計畫使用拔靴帶式電路驅動中繼器，增加小額的功率消耗即可大幅增加傳輸線系統的工作速度，以達到高速低功耗消耗的目標。

在拔靴帶式電路方面，本計畫設計了兩種全新的拔靴帶式電路，以簡單的電路技巧，就

可解決的先前文獻所遭遇到的非理想效應，除了改善拔靴帶式電路升降壓的效果之外，更降低了拔靴帶式電路在高速工作時所產生的雜訊，使拔靴帶式電路更貼近實際應用。

此外，為了與先前文獻的拔靴帶式電路有較公平一致的比較，本計畫使用 UMC90nm 的製程實際佈局了以其他拔靴帶式電路文獻為中繼器的傳輸線系統，並且完成了一次下線。無論是佈局前與佈局後模擬，都顯示了本計畫所提出的拔靴帶式傳輸線系統有較好的表現。

再者，在低電壓環境下工作的電路，極容易受到製程變異所影響，根據本計畫設計的結果，可以得知電路操作速度的差異可達三十倍之多，若要將製程變異下所有的 corner 皆設計到符合預期的操作速度，勢必將造成過多在硬體上的浪費。未來，本計畫將融入電壓與頻率調整技術 DVFS 的技術，藉由調整系統的工作電壓、工作頻率來最佳化功率消耗。

六、參考文獻

- [1] M. L. Mui, K. Banerjee and A. Mehrotra, "A Global Interconnect Optimization Scheme for Nanometer Scale VLSI with Implications for Latency, Bandwidth, and Power Dissipation," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 195-203, Feb. 2004.
- [2] M. Tang and M. Jun-Fa, "Optimization of Global Interconnects in High Performance VLSI Circuits," *Proc. 19th Int. Conf. on VLSI Design 2006*, pp. 6, Jan. 2006.
- [3] L. Xiao-Chun, and et al., "Global Interconnect Width and Spacing Optimization for Latency, Bandwidth and Power Dissipation," *IEEE Trans. Electron Devices*, vol. 52, no. 10, pp. 2272-2279, Oct. 2005.
- [4] K. Banerjee and A. Mehrotra, "A Power-Optimal Repeater Insertion Methodology for Global Interconnects in Nanometer Designs," *IEEE Trans. Electron Devices*, vol. 49, no. 11, pp. 2001-2007, Nov. 2002.
- [5] V. V. Deodhar and J. A. Davis, "Optimization of Throughput Performance for Low-Power VLSI Interconnects," *IEEE Trans. Very Large Scale Integration Systems*, vol. 13, no. 3, pp. 308-318, Mar. 2005.
- [6] S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, Third Edition, McGRAW – HILL, 2003.

- [7] P. C. Chen and J. B. Kuo, "Novel Sub-1V CMOS Domino Dynamic Circuit Using a Direct Bootstrap Technique for Low-Voltage CMOS VLSI," *Circuits and Systems, 2003, ISCAS '03*, vol. 5, pp. V-441 - V-444, May 2003.
- [8] J. C. Garcia, J. A. Montiel-Nelson, J. Sosa and H. Navarro, "A Direct Bootstrapped CMOS Large Capacitive-Load Driver Circuit," *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, DATE'04*, vol. 1, pp. 680-681, Feb. 2004.
- [9] J. H. Lou and J. B. Kuo, "A 1.5-V Full-Swing Bootstrapped CMOS Large Capacitive-Load Driver Circuit Suitable for Low-Voltage CMOS VLSI," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 1, pp. 119-121, Jan. 1997.
- [10] J. Kil and J. Gu, "A High-Speed Variation-Tolerant Interconnect Technique for Sub-Threshold Circuits Using Capacitive Boosting," *IEEE Trans. Very Large Scale Integration Systems*, vol. 16, no. 4, Apr. 2008.
- [11] J. M. RABAEY, *Digital Integrated Circuits A Design Perspective*, Second Edition, Prentice-Hall, 2003.
- [12] A. Wang and A.P. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 310-319, Jan. 2005.
- [13] Ken Martin, "Digital Integrated Circuit Design," Oxford University Press, 1997.
- [14] B. Xiaoliang and D. Sujit "High-Level Crosstalk Defect Simulation Methodology for System-on-Chip Interconnects," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 23, no. 9, pp. 1355-1361, Sep. 2004.
- [15] A. B. Kahng, S. Muddu and E. Sarto, "Tuning Strategies for Global Interconnects in High-Performance Deep Submicron IC's," *VLSI Design* vol. 10, no. 1, pp. 21-34, 1999.
- [16] Y. Ikenaga, M. Nomura, Y. Nakazawa and Y. Hagihara, "A Circuit for Determining the Optimal Supply Voltage to Minimize Energy Consumption in LSI Circuit Operations," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 911-918, Apr. 2008.
- [17] J. Lee, B. G. Nam and H. J. Yoo, "Dynamic Voltage and Frequency Scaling (DVFS) Scheme for Multi-Domains Power Management," *IEEE Asian Solid-State Circuits Conference*, vol. 13, no. 4, pp. 360-363, Jan. 2007.
- [18] E. Beigne, F. Clermidy, H. Lhermet and S. Miermont, "An Asynchronous Power Aware and Adaptive NoC Based Circuit," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1167-1177, Apr. 2009.
- [19] Y. K. Tseng and C. Y. Wu, "A 1.5-V Differential Cross-Coupled Bootstrapped BiCMOS Logic for Low-Voltage Applications," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1576-1579, Oct. 1998.
- [20] J. C. Garcia and S. Nooshabadi, "High Performance Bootstrapped CMOS Low to High-Swing Level-Converter for On-Chip Interconnects," *European Conference on Circuit Theory and Design, ECCTD 2007*, pp. 795-798 Aug. 2007.
- [21] B. S. Kong, D. O. Kang, Y. H. Jun, "A Bootstrapped CMOS Circuit Technique for Low-Voltage Application," *International Conference on VLSI and CAD, 1999*, pp. 289-292, 1999.
- [22] J. C. Garcia, J. A. Montiel-Nelson, S. Nooshabadi, "Bootstrapped Full-Swing CMOS Driver for Low Supply Voltage Operation," *Proceedings of the Design, Automation and Test in Europe*, vol. 1, 2006.
- [23] J. W. Kim, B. S. Kong, "Low-Voltage Bootstrapped CMOS Drivers With Efficient Conditional Bootstrapping," *IEEE Trans. on Circuits and Systems II*, vol. 55, no. 6, June 2008.