

下一世代高性能及高可靠性的 N 通道 MOS 元件設計 及量測技術探討

Design of High Performance and High Reliability N-Channel MOSFET and Measurement Techniques

計畫編號：NSC98-2221-E009-161-MY3

執行期限：100 年 8 月 1 日至 101 年 7 月 31 日

主持人：莊紹勳 教授 國立交通大學電子工程學系

一、中文摘要

CMOS 元件通道長度的微小化，使用 high-k 或應力技術(strained-technique)可以有效提昇驅動電流大小。相較之下，利用應力技術(strained technique)提昇 n-MOSFET 及 p-MOSFET mobility(即 mobility enhancement)比使用 high-k 更為成熟有效，蓋因 High-k 仍有穩定性及複雜的製程問題。mobility enhancement 係基於通道的應力，目前最普遍的方法是利用矽鍺(SiGe)材料或改變基片方向(substrate orientation)及覆蓋層(capping layer)以提昇 CMOS 的 mobility。近幾年，大部份的研究多著重在 p-MOSFET mobility 的提昇，可用於 n-MOSFET 的 mobility 提昇電流技術，則較難且甚為缺乏。本計畫於第一年，已完成一個新穎的SiC結構，用於source/drain n-channel MOSFET，其電流增強係利用SiC與Si間不同晶格產生的通道張力(tensile-strain)達到電流提昇目的。同時，我們還提出運用SiC成長於source/drain extension區域以大幅改善電流趨動能力。因此，此次第三年的計畫，我們發展出一種簡單的量測方法，不需要複雜的溫度量測裝置即可計算 MOSFET 元件 quasi-ballistic區的載子傳遞特性，且成功的驗證在第一年所研製的SiC S/D N通道元件。此

外，Drain current 和元件傳輸參數 V_{inj} (injection velocity)有強烈的相關性，因此 V_{inj} 可做為在strain設計的元件和電流增強的重要指標。最後可以利用我們提出的方式所得到的各種參數來設計出高performance及可靠性的strain source/drain nMOSFET。

關鍵詞：N 通道 MOS 元件、應變工程、SiC 汲極/源極、元件可靠性

Abstract

As device channel length continues to scale beyond 40nm, utilization of high-k technology or strained Si technology is able to enhance the driving current. Compared to high-k technology, strained Si technology is more effective and realizable to improve mobility of MOSFETs. It is because of the stabilization and complexity for high-k device. For strained-Si technology, mobility is boosted by the stress in channel, including strained si channel on SiGe epi layer, usage of different substrate orientations, or capping CSEL layer on devices. Recently, the most researchers have studied the mobility enhancement technologies for pMOSFETs but rare for nMOSFETs.

In the first year, we have successfully developed a SiC source/drain structure

NMOSFET with current enhancement in lieu of the tensile-strain in the device channel. In the final(third) year, we proposed a simple approach to calculate the transport characteristics of MOSFET in the quasi-static regime, which has been successfully verified on the SiC S/D devices that was made in the first year. In addition, there is a strong correlation between the drain current and the transport parameters, V_{inj} (injection velocity), such that V_{inj} can be used as a strain device guideline in the enhancement of the drain current. Finally, the proposed approach has been able to design nMOS transistors with high performance and reliability.

Keywords: N-channel MOSFET, strain engineering, SiC source/drain, device reliability

二、計劃緣由與目的

CMOS 元件通道長度微縮到 40nm 以下，降低氧化層厚度及提昇通道載子移動率 (mobility)，可以大幅提昇驅動電流大小。提昇 nMOSFET 及 pMOSFET mobility 是目前 logic technology 繼續往下 scaling 的關鍵技術之一。此一 mobility enhancement 大致分為 uniaxial strain 及 biaxial strain 二種。Uniaxial strain 大多以製程方式產生，如 SiN capping layer [1]、STI [2]、embedded S/D[3] 等。Biaxial strain 大多為二維形式的 strain，如 Si/SiGe[4-5]、不同 substrate orientation [6-7] 等。

前者 uniaxial strain [1-3]，使用製程簡單的方式使元件產生 strain，較容易實現，目前一致的見解是 nMOS 與 pMOS 採用不同的 strain。就後者而言，目前主流為利用 SiGe 在源極和汲極對通道產生的單向壓縮應變力配以使用 CSEL capping layer 於閘極上方對通道

產生的單向壓縮應變力來提升驅動電流。但另一方面，對於 nMOS 元件而言，除了傳統的 CSEL capping layer 以外就沒有其他可供選擇的應變矽材料。目前，CSEL capping layer 遭遇到隨著通道微縮，其應變力量不斷下降的結果[7]，因此選擇新一代的 nMOS 元件之應變矽材料是極須迫切的。

當元件縮小到奈米等級，載子的穿透細數變得格外重要，以目前的技術元件的通道長度是有可能比 mean-free-path 還要短，如此一來載子就沒有任何 scattering，然而通道長度在 quasi-ballistic 區域中(10nm< L_G <100nm)通道長度是遠大於 mean-free-path 的，所以傳統的傳輸機制在這段區域內還是十分重要。汲極電流的公式可寫為以下形式：

$$I_{D,sat} = Q_{eff} V_{inj} B_{sat} (V_{GS} - V_{TH})$$

V_{inj} 是指載子的注入速度， B_{sat} 是指穿透係數，用以描述載子從源極射出的速度，和穿透的效率，我們可以根據量子理論實驗取得這兩個參數，但若是萃取這兩個參數的方式包含了溫度的條件 Temperature Dependent Method(TDM)，那麼萃取出來的參數可信度就會大幅降低，因此我們提出一個簡單而且不受溫度影響的實驗，如此所得到的參數可信度就可以大幅的提升，由表 1 的推導我們可以得到穿透係數 $B_{sat,q}$ ：

$$B_{sat,q} = 1 - V_{D,sat} / (V_{GS} - V_{TH})$$

最後我們也將使用這個方法來研究更加先進的 strain-CMOS 傳輸特性和可靠度。

三、結果與討論

吾人和 UMC 合作利用 40 納米的製程和 EOT 為 12 埃米的閘氧化層整合原先就已經完備的 SiGe S/D-E pMOS 元件技術成長新一代的 Si:C S/D nMOS 元件。延續先前討論結果，吾人利用 $V_{D,Sat}$ 的方法[8]來分析 Si:C S/D-E 和 Si:C 的通道傳輸能力與可靠度，結

果發現 Si:C S/D-E 的導通電流成功的提升了 54% (如圖一) 而 Si:C 也提升了 15%，穿透係數 $B_{sat,q}$ 會隨著通道長度變小而衰減 (如圖二)，吾人認為與元素 C 往外擴散 (out-diffusion) 至通道的結果一樣，提高了電位障的高度以及降低穿透係數 $B_{sat,q}$ (如圖三)，且當通道長度變小時元素 C 往外擴散的現象會更嚴重而通道載子被反射的機率也會上升。另一方面，藉由 $V_{D,Sat}$ 的方法發現 Si:C S/D-E 的 V_{inj} 提升 95% (如圖四)，其原因來自於通道附近的壓力產生通道 strain 的效果。從模擬器模擬的結果可以知道 (如圖五)，在通道表面 Si:C S/D-E 的壓力大於 Si:C S/D 的元件，所以會有較大的 mobility，因此藉由 strain 效果 Si:C S/D-E 的 mobility 可以明顯的提升，這是可以理解的。吾人利用圖六對穿透係數 $B_{sat,q}$ 與 V_{inj} 做一個小結論，從以往的觀點來看 $I_{D,sat}$ 的大小其實可以藉由 V_{inj} 的強度來得知，但我們從圖中可以發現 Si:C S/D-E 這個元件的 $I_{D,sat}$ 並不如我們所預測的有隨著 V_{inj} 的提高而明顯提升，其原因歸咎於此元件糟糕的表面通道，因為品質太差而使穿透係數 $B_{sat,q}$ 負成長。

接下來，吾人比較穿透係數 $B_{sat,q}$ 與 V_{inj} 在經過偏壓 stress 後的衰減程度 (如圖七和圖八)，以及 $I_{D,sat}$ 的衰減與 $B_{sat,q}$ 與 V_{inj} 之間的關係 (如圖九)，從圖中可以看到 Si:C S/D-E 的衰減速度明顯高過其他兩種，吾人推測可能是因為 out-diffusion 所造成之影響，此外， $B_{sat,q}$ 的衰減程度也比 V_{inj} 還要嚴重，因此在一次證明出 $B_{sat,q}$ 是影響 $I_{D,sat}$ 的主要因素，因此吾人利用 ΔICP 分析的方法 (Incremental Frequency Charge Pumping) [9]，找出表面缺陷濃度，結果如圖十所示，可以明顯看出經過元素 C 往外擴散之後的元件其表面缺陷明顯變多，因此穿透係數 $B_{sat,q}$ 與 $I_{D,sat}$ 嚴重變小便可推測出來。

因此，為了在保持良好的效應的同時減

緩元素 C 往外擴散所造成的缺陷，可利用降低元素 C 濃度的方法 [10]，從圖十一的上半部可以看出降低元素 C 濃度之後的元件與對照組比較 $I_{D,sat}$ 提升了 32%，而經由圖十二的左半邊可以看出當降低元素 C 的濃度後在通道長度只有 40 奈米時 $B_{sat,q}$ 提升了 11% 左右，而右半邊顯示，當元件經過 stress 之後 C 濃度較低的元件其 $B_{sat,q}$ 也提高許多，原因可從圖十三發現，將元素 C 濃度調低之後的元件其表面缺陷的濃度是下降的，固 $B_{sat,q}$ 可以提高，進而解決先前的問題。

四、計劃成果自評

本計畫第三年。延續了先前的應變矽結構 -Si:C S/D-E 並應用於 nMOS 元件中，和傳統的 Si:C S/D 元件比較，雖然因為 Si:C S/D-E 元件更靠近元件通道，使得其產生的應變力可以更有效地傳達入通道造成電子遷移率顯著提升，並且有效提升了元件的驅動電流，但是為了增強通道的應力，Carbon 元素十分靠近通道，這會造成因為製程因素而導致的 C 元素往外擴散 (out-diffusion) 至通道，造成通道表面缺陷較多而影響了穿透係數 $B_{sat,q}$ 下降，但研究過程中，我們成功突破此難題，利用 C 濃度的改變順利修改此缺陷。圖十四可以了解到在製程技術降低到 40 奈米甚至更低時，此技術 (Si:C S/D-E) 提升 V_{inj} 的卓越能力將會被倚重。

本計畫三年期執行完畢，相關的成果陸續發表於 VLSI, IEDM, APL 等 [10-15]，也有部份尚在投稿中。

五、參考文獻

- [1] K. Ota et al., in Tech. Dig. IEDM, pp. 27-30, 2002.
- [2] K. Ota et al., in Symposium on VLSI Tech., pp. 138-139, 2005.
- [3] T. Ghani et al., in Tech. Dig. IEDM, pp. 978-979, 2003.

- [4] K. Rim et al., in Symposium on VLSI Tech., pp.59-60, 2001.
- [5] T. Mizuno et al., in IEDM Tech. Digest, p. 31-34, 2002.pp. 90-91, 2004.
- [6] M. Yang et al., in Tech. Dig. IEDM, pp. 453-456,2003.
- [7] Y. Liu et al., VLSI Tech. Dig., pp. 44-45, 2007.
- [8] S. S. Chung et al., in Symposium on VLSI Tech., p.158, 2009.
- [9] S. S. Chung et al., Symposium on VLSI Tech., p. 74, 2002.
- [10] S. S. Chung et al., Symposium on VLSI Tech., p. 158, 2009.
- [11] M. H. Lin et al., *Symposium on VLSI Technology*, p. 52, 2009.
- [12] (Invited) S. S. Chung, **INEC**, June 20-24, 2011.
- [13] E. R. Hsieh et al., Tech. *Digest of IEDM*, p. 779, 2009.
- [14] E. R. Hsieh et al., **APL**, p. 093501, 2010.
- [15] X. S. Cheng et al., on *Symposium on VLSI-TSA*, p. T-74, 2011

(New) $V_{D,sat}$ Method
From Velocity Saturation Theory

$$I_{D,sat} = C_{ox} W V_{sat} (V_{GS} - V_{th}) \frac{1 - \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/(V_{sat}L)}}{1 + \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/(V_{sat}L)}} \dots (9)$$

$$= C_{ox} W V_{sat} (V_{GS} - V_{th}) \frac{1 - \gamma_q}{1 + \gamma_q} \dots (10)$$

$$= C_{ox} W V_{sat} (V_{GS} - V_{th}) B_{sat,q} \dots (11)$$

And

$$V_{D,sat} = \frac{2(V_{GS} - V_{th})}{1 + \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/(V_{sat}L)}} \dots (12)$$

$$B_{sat,q} = 1 - \frac{V_{D,sat}}{(V_{GS} - V_{th})} \dots (13)$$

$$V_{inj} = V_{sat} = \frac{I_{D,sat}}{C_{ox} W (V_{GS} - V_{th}) B_{sat,q}} \dots (14) \quad \text{Assume } V_{inj} = V_{sat}$$

Table 1 A new approach, $V_{D,sat}$ method, to determine ballistic efficiency, B_{sat} , Eq. (13) and injection velocity, V_{inj} , Eq. (14), based on velocity saturation theory.

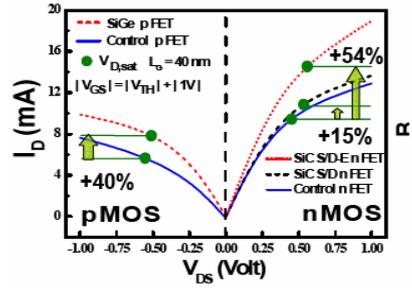


Fig.1 The I_D - V_D curves showing the I_D enhancements.

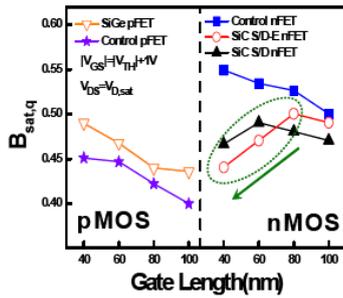


Fig. 3 The B_{sat} comparisons for n- and pMOSFETs for different gate lengths.

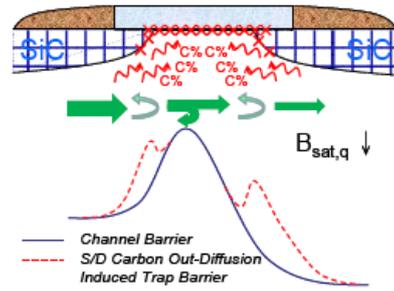


Fig. 4 The schematic shows how the carbon out-diffusion affects the channel barrier, induces trap barrier, and thus reduces B_{sat} values.

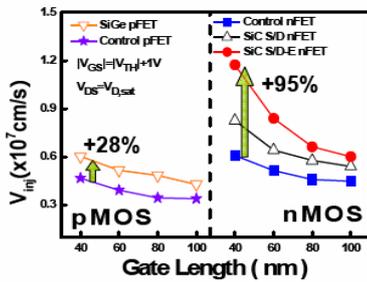


Fig. 5 The V_{inj} comparisons for splits and control for various gate lengths.

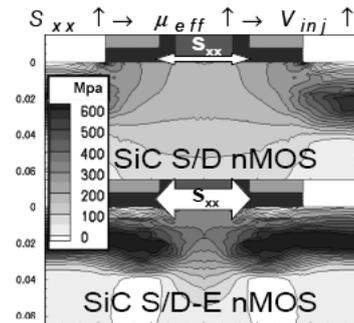


Fig. 6 The simulated stress S_{xx} for SiC S/D (top) and SiC S/D-E nFET (bottom).

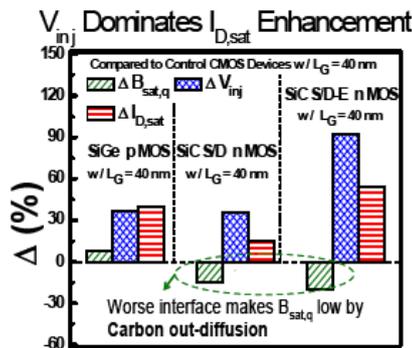


Fig. 7 Variations of $I_{D,sat}$, B_{sat} , and V_{inj} . V_{inj} dominates the $I_{D,sat}$ enhancement.

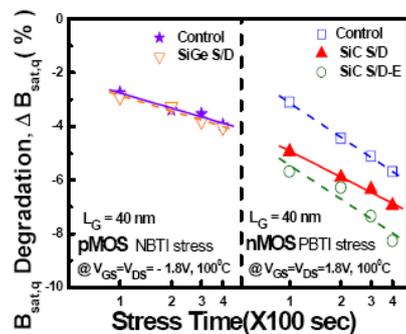


Fig. 8 B_{sat} degradation after NBTI and PBTI stresses for pMOSFET (left) and nMOSFET (right) respectively.

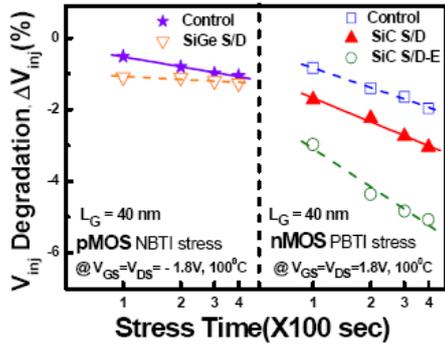


Fig. 9 V_{inj} degradation after NBTI and PBTI stresses for pMOSFET (left) and nMOSFET (right) respectively.

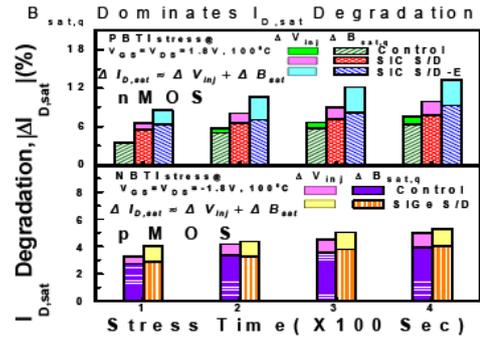


Fig. 10 $I_{D,sat}$ degradation after NBTI and PBTI stresses for pMOSFET (left) and nMOSFET (right) respectively.

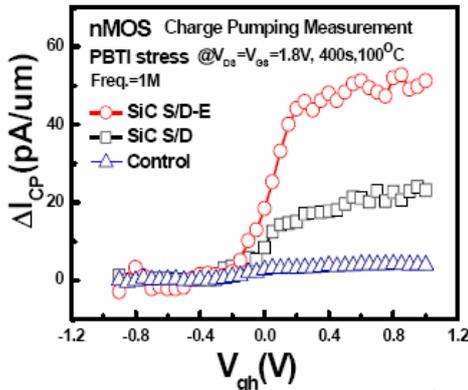


Fig. 11 The charge pumping measurement for two different S/D structure nMOSFET and control after PBTI stress.

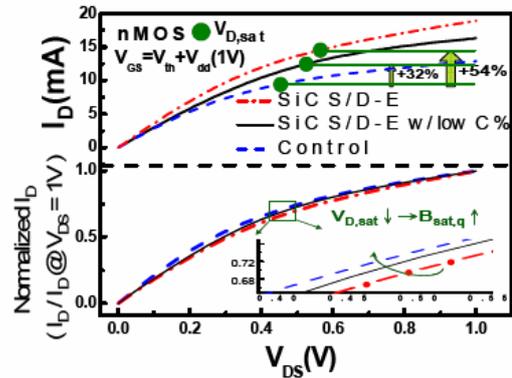


Fig. 12 (Top) I_D - V_{DS} for splits and control nMOSFET. (Bottom) The normalized I_D - V_{DS} of these devices. The insert is to demonstrate the correlation between $V_{D,sat}$ and $B_{sat,q}$.

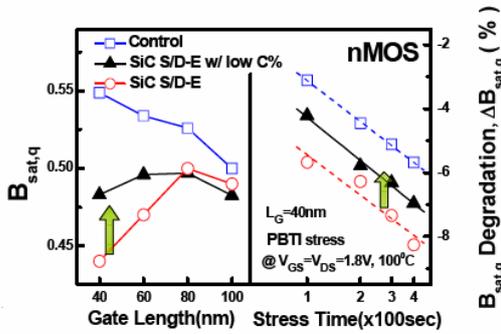


Fig. 13 (Left) The $B_{sat,q}$ values of the control and SiC S/D devices. The SiC-E w/ low C% improves the $B_{sat,q}$. (Right) The $B_{sat,q}$ degradation of these devices.

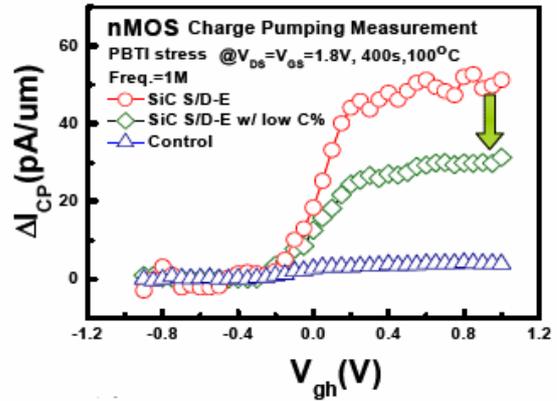


Fig. 14 (nMOSFET) The charge pumping measurement for the control and SiC-E and SiC-E w/low C% where better reliability can be achieved.

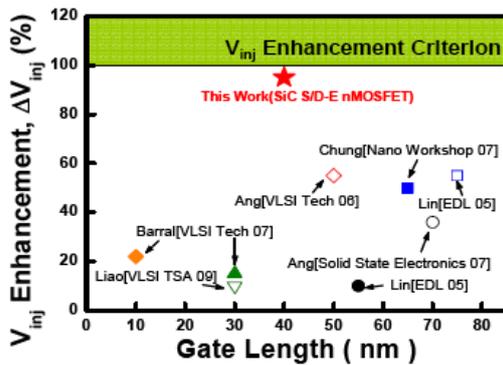


Fig. 15 SiC S/D-E nMOSFET shows very appreciated V_{inj} enhancement comparing to those reported data.

