

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

奈米級混合信號式電路技術-子計畫四
奈米級 CMOS 製程之積體電路靜電放電防護技術

計畫類別： 個別型計畫 整合型計畫

計畫編號：98-2221-E-009-113-MY2

執行期間：98年08月01日至100年07月31日

計畫主持人：柯明道 教授

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電子研究所

中華民國 99 年 05 月 25 日

奈米級混合信號式電路技術-子計畫四：
奈米級 CMOS 製程之積體電路靜電放電防護技術

ESD Protection Techniques for Nanoscale CMOS Integrated Circuits

計畫編號：98-2221-E-009-113-MY2

執行期限：98 年 08 月 01 日至 100 年 07 月 31 日

主持人：柯明道教授 國立交通大學電子研究所

一、中文摘要

對奈米 CMOS 製程之電晶體而言，靜電放電是影響其可靠度的最主要因素。由於奈米製程技術中，電晶體閘極氧化層的厚度越來越薄，故其崩潰電壓也隨之降低，只要幾伏特的靜電電壓便會將閘極氧化層擊穿，因此必須設計適當的靜電放電防護電路，以避免元件被損壞。

為了實現有效的靜電放電防護電路，除了輸入與輸出接點必須設計靜電放電防護電路，在電源線(VDD)與接地線(VSS)之間也需加入電源箝制靜電放電防護電路，以提升積體電路的靜電放電耐受度。若使用先進製程之薄氧化層元件來實現此電源箝制靜電放電防護電路，電晶體勢必會有大量閘極穿隧電流產生，使得電源線間有明顯的大量漏電流存在。有鑑於此，提供一種具有高靜電放電防護能力但極低漏電流之電源箝制靜電放電防護電路實為迫切需要。本子計畫擬在 65 奈米至 32 奈米之 CMOS 技術中，利用電路設計的技巧開發出極低漏電流之電源箝制靜電放電防護電路。

本子計畫另擬針對元件充電模式之靜電放電現象進行研究與防治。在積體電路設計與電子產品製造組裝上，元件充電模式之靜電放電現象已成為相當嚴重且必須解決的課題。為了因應此元件充電模式靜電放電之挑戰，本子計畫將開發新型元件充電模式靜電放電防護設計，並將這些設計應用於先進之奈米 CMOS 製程，以有效保護電晶體之閘極氧化層。本子計畫預期將開發出可實用於積體電路產品之元件充電模式靜電放電防護架構，並以先進奈米 CMOS 製程驗證新開發之元件充電模式靜電放電防護設計之耐受度。

Abstract

The major reliability issue in nanoscale CMOS processes is caused by electrostatic discharge (ESD) zapping. The thinner gate oxide in the nanoscale CMOS technologies greatly degrades the ESD robustness of IC products. To protect the IC against ESD damages, ESD protection circuits must be included in the ICs.

The ESD protection circuits must be provided at input/output (I/O) ports, and the power-rail ESD clamp circuits must be provided between power lines to achieve whole-chip ESD protection. Unfortunately, the existing power-rail ESD clamp circuit topologies that provide sufficient ESD protection do not also minimize the leakage current. To design the power-rail ESD clamp circuits with the minimum leakage losses and power consumption is desired for industry. In this project, the low-leakage power-rail ESD clamp circuits will be developed in 65-nm~32-nm CMOS technologies.

The charged-device model (CDM) ESD events will also be studied in this project. CDM ESD issue becomes more and more important in the nanoscale CMOS processes because of the thinner gate oxide and larger die size. In this project, the CDM ESD events and their mechanisms will be investigated. Some devices and circuits will be developed against CDM ESD damages in nanoscale CMOS processes.

二、計畫的緣由與目的

根據電晶體理論，當電晶體的尺寸縮小時，可獲得較高的工作頻率，因此在元件製程進入奈米領域之後，隨著縮微 (Scaled Down)

的快速發展，電晶體的操作頻率也得以順利地提昇。臺灣的 IC 製程已進入奈米的量產時代，65 奈米的 IC 製程已經在量產中，45 奈米也已經接近研發完成的階段。不過由於製程技術的進步為了維持電晶體元件的特性與提高積體電路的可靠度，使得電晶體最大接面操作電壓和閘極氧化層的厚度也隨之下降。也因為隨著半導體製程的進步，電晶體的閘極氧化層變得更為脆弱更容易遭受破壞，可是相對應的系統規格的操作電壓與信號準位並無隨之下降，造成了電路設計的困難與挑戰。對縮微化之電晶體而言，靜電放電 (ESD) 是影響其可靠度的最主要因素，因此必須設計出適當的靜電放電防護電路，以避免電路元件被損壞。

由於靜電放電可能發生在 IC 任兩錫墊間，故靜電放電防護電路必須考慮在各種情況下，皆能有效釋放靜電放電電流。在高頻操作下，更需考慮靜電放電元件所帶來的雜訊干擾。隨著內部元件越趨容易受到靜電放電損害，超高速/超高頻積體電路之靜電放電防護設計困難度亦日益增加。

此外，隨著閘極氧化層厚度不停下降，先進製程中有更嚴重的漏電流問題。而輸出/入界面端由於需要與週邊訊號互相溝通，故維持在較高之操作電壓。因此，低漏電電流之設計與混合信號界面之實現方式，為先進製程中兩重要之積體電路發展趨勢。電路上的解決方式相較於製程上的改變方法，由於具有較低的實現成本，為目前實際積體電路中較佳之設計解決方案。

本年度計畫針對適用於超高速/超高頻積體電路中，差動放大器輸入端之靜電放電防護架構，提出創新之設計方式。在混合信號界面中，本計畫亦開發出創新可耐受兩倍操作電壓之輸出/入界面電路。同時考慮先進製程中元件的漏電流問題，透過電路設計技巧，提出了可應用在混合信號界面中，耐受兩倍正常操作電壓，但又具有超低漏電之電源線間靜電放電防護電路設計。

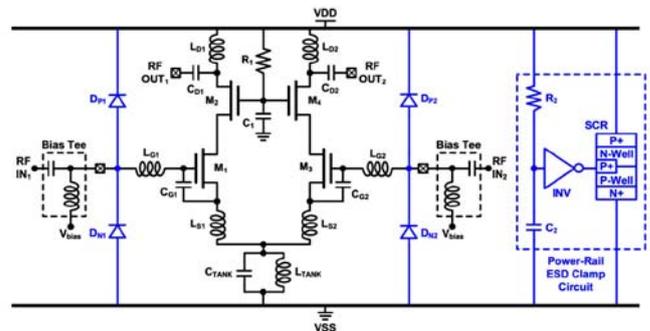
三、研究方法及成果

本計畫的研究成果已經整理且發表了 2 篇國際期刊論文 [1], [2]，及 3 篇國際研討會論文 [3]-[5]。在此將針對已發表的論文內容詳細闡

述，研究的內容有：利用矽控整流器實現低噪訊差動放大器之靜電放電防護電路 [1], [3]，應用於混合信號之界面電路 [4]，以及應用於混合信號界面之低漏電電源線間靜電放電防護電路 [2], [5]。詳細研究成果內容，請參閱以下章節。

(1) 利用矽控整流器實現低噪訊差動放大器之靜電放電防護電路 [1], [3]

當兩差動放大器輸入錫墊發生靜電放電事件時，由於無適當之靜電放電路徑，往往造成晶片不佳之靜電放電防護能力。本研究主要針對差動放大器中此問題，提出相對應之改善方式，以提升差動放大器之靜電放電防護能力。

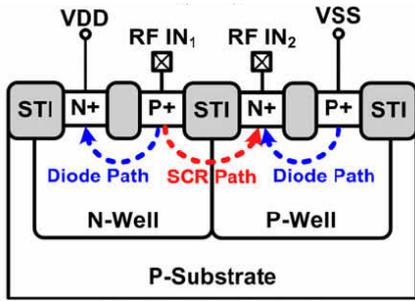


圖一. 傳統RF差動放大器輸入端之靜電放電防護架構。

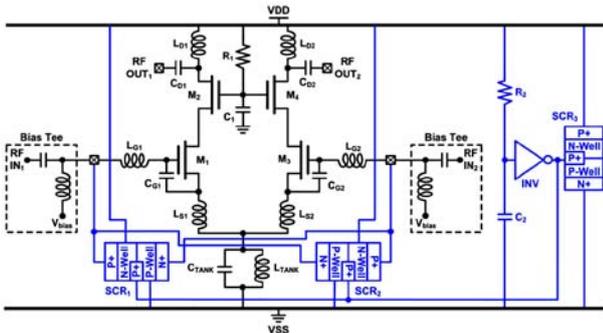
在傳統差動放大器輸入端，考量靜電放電防護元件可能帶來的雜訊，在傳統設計上為使用二極體搭配電源線間靜電放電防護電路以達成全晶片之靜電放電防護架構，如圖一所示。然而，當兩差動級輸入端RF IN₁ 與RF IN₂間發生靜電放電時，由於二極體在靜電放電時並不具備驟回崩潰之特性，加上VDD與VSS電源線之寄生電阻，將造成不佳之靜電放電防護能力。

首先由於考量具閘極氧化層之金氧半元件，在高頻下具有較大之雜訊干擾。因此，在靜電放電元件之選擇上，需使用不具有閘極氧化層之元件，以做為RF差動輸入端之靜電放電防護。為達成此一目的，本研究提出使用如圖二之矽控整流元件結構。

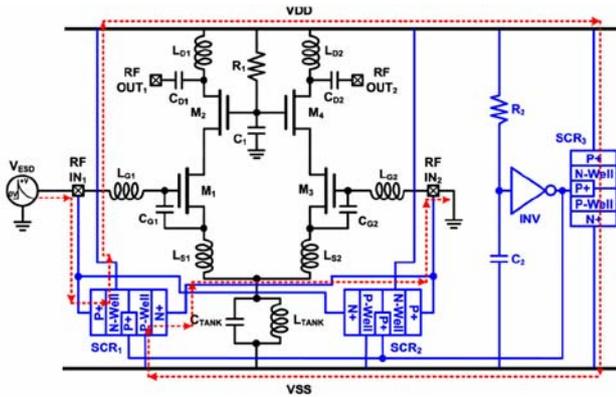
由於矽控整流器同時具有NPN雙載子電晶體與PNP雙載子電晶體於元件結構之中，故在靜電放電發生時，矽控整流器具有較低之維持電壓與較佳之靜電放電防護能力。同時，為使位於電源線間之靜電放電防護電路亦能幫助靜電放電電流釋放，故本研究使用如圖三特殊之元件連接方式。



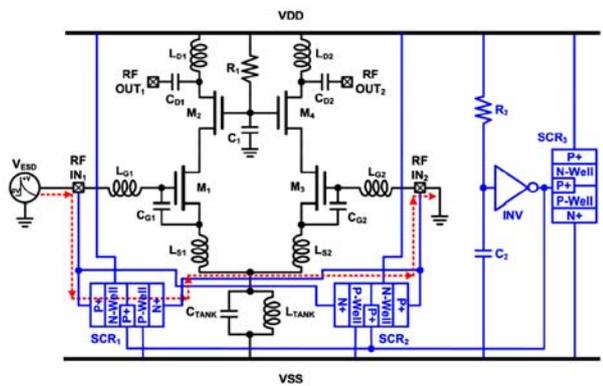
圖二. 應用於 RF 差動放大器輸入級之矽控整流器結構。



圖三. 搭配矽控整流器之新 RF 差動放大器輸入級靜電放電防護架構。



(a)

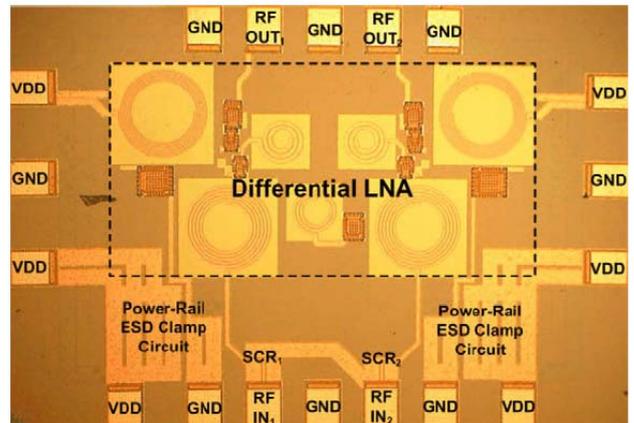


(b)

圖四. 差動放大器兩輸入級間受靜電放電擊時之靜電放電電流路徑。

當差動放大器兩輸入端發生靜電放電時，

由於圖二之矽控整流元件具有寄生之二極體存在。故靜電放電電流可透過矽控整流元件中寄生之二極體，與電源線間靜電放電電路釋放至接地端，如圖四(a)所示。此外，矽控整流元件本身亦提供一靜電放電電流釋放路徑，如圖四(b)所示。由於矽控整流器本身具有較高之元件觸發電壓，透過該特殊之連接方式，可使靜電放電電流先透過具有觸發電路之電源線間靜電放電防護電路釋放，後再經由具有較低維持電壓之矽控整流器本身釋放靜電放電電流。因此，兩矽控整流器SCR₁與SCR₂在本設計中並不需要額外之觸發電路，即可得到良好之靜電放電防護效果。具有本研究所提出之靜電放電防護結構之實際測試晶片如圖五所示。



圖五. 具本研究創新靜電放電防護結構之 RF 差動放大器測試晶片。

表一. 搭配本研究創新靜電放電防護結構之 RF 差動放大器靜電放電量測結果。

HBM and MM ESD robustness under different test pin combinations.

ESD robustness	Original LNA		ESD-protected LNA	
	HBM	MM (V)	HBM (kV)	MM (V)
Positive to VSS	<50 V	<10	3.5	300
Positive to VDD	<50 V	<10	5	550
Negative to VSS	<50 V	<10	6	550
Negative to VDD	<50 V	<10	3.5	350
Pin to Pin	<50 V	<10	>8	800
VDD to Vss	0.5 kV	<10	>8	>1000

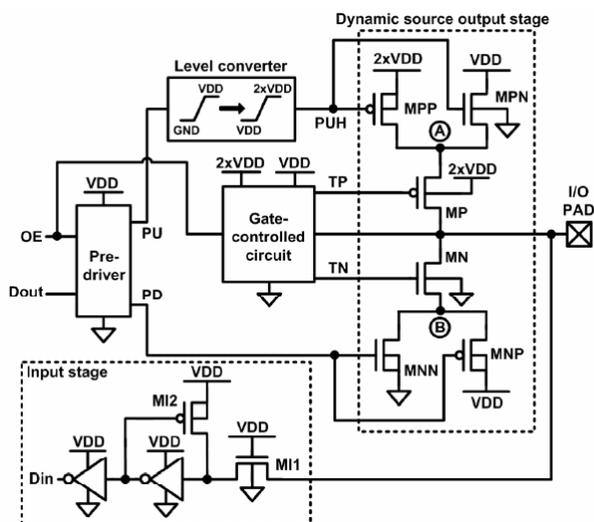
本創新架構之實際靜電放電量測結果如表一所示。不具有靜電放電防護結構之差動放大器，僅能耐受小於50V之人體靜電放電(human body model, HBM)測試，與小於10V之機器靜電放電(machine model, MM)測試。具有本靜電放電防護架構之差動放大器，其人體靜電放電模式耐受度可提升至3.5kV，機器靜電放電模式耐受度可提升至300V。同時，當靜電放電發生在

兩輸入鉚墊間時，其人體靜電放電模式耐受度高達8kV，機器靜電放電模式耐受度亦高達800V。

(2) 應用於混合信號之界面電路 [4]

隨著積體電路不停微縮，內部電路之操作電壓隨著閘極氧化層變薄而下降，以降低功率消耗。然而，在輸出/入界面電端，由於需與週邊界面訊號相互溝通，故仍維持在較高之操作電壓，並未隨著內部電路電壓之下降而下降。

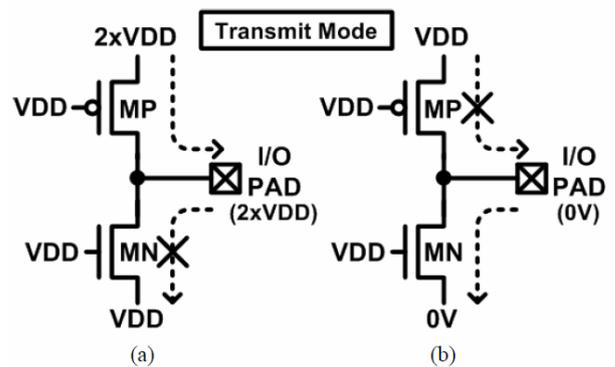
在半導體製程中，由於製作兩種不同厚度之閘極氧化層，不僅將增加製程整體之製作成本，亦可能降低產品之良率。故針對混合信號界面之應用，透過特殊之電路設計技巧避免閘極可靠度與漏電流...等問題，便可使用低壓元件來操作在較高之工作電壓下。如在本研究中，便提出一可耐受兩倍操作電壓之輸出/入端界面電路，該電路方塊圖如圖六所示 [4]。



圖六. 可耐受兩倍操作電壓並避免閘極可靠度問題與漏電流問題之輸出/入端界面電路。

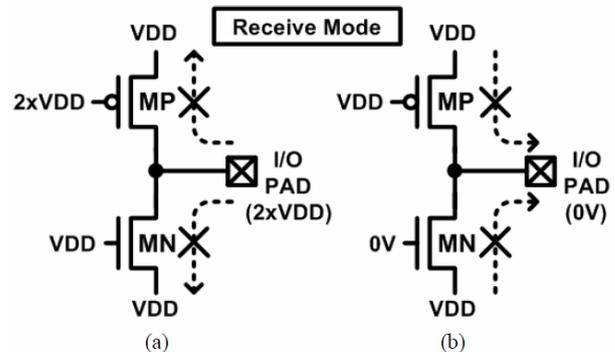
由於輸出/入端電壓為兩倍正常工作操作電壓(2xVDD)，故在輸出/入端為傳輸(Transmit)與接收(Receive)模式時，圖六中MP與MN兩元件需有不同的偏壓點。如圖七(a)所示，當在傳輸模式下，I/O Pad需要2xVDD電壓時，此時PMOS MP閘極偏壓於VDD，而源極偏壓於2xVDD。此時PMOS導通，可將I/O電壓抬升至2xVDD，同時可避免閘極氧化層因過高之跨壓而劣化。當I/O Pad需要低邏輯準位(0V)時，此時MP需關閉，故源極與閘極偏壓為等電位(VDD)，而MN

閘極偏壓於VDD電壓，如圖七(b)所示。



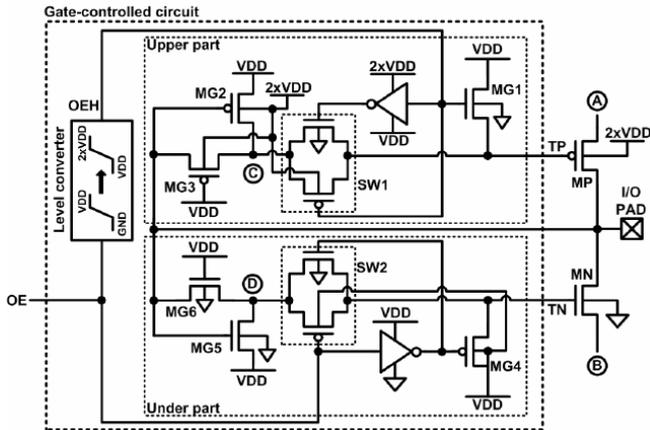
圖七. 可耐受兩倍操作電壓之輸出/入界面，操作於傳輸模式(Transmit Mode)時，I/O Pad需偏壓至 (a) 2x VDD，與 (b) 0V，情況下之元件偏壓點要求。

當操作在接收模式下，此時訊號由外部界面輸入至I/O Pad，故MP與MN需保持關閉。當輸入訊號為2xVDD時，為避免漏造成電路徑，MP閘極與源極需偏壓於2xVDD，而MN閘極與源極需偏壓於VDD，如圖八(a)所示。當輸入訊號為0V時，MP閘極與源極需偏壓於VDD以避免閘極氧化層劣化，而MN閘極需偏壓於0V以避免漏電流路徑，如圖八(b)所示。

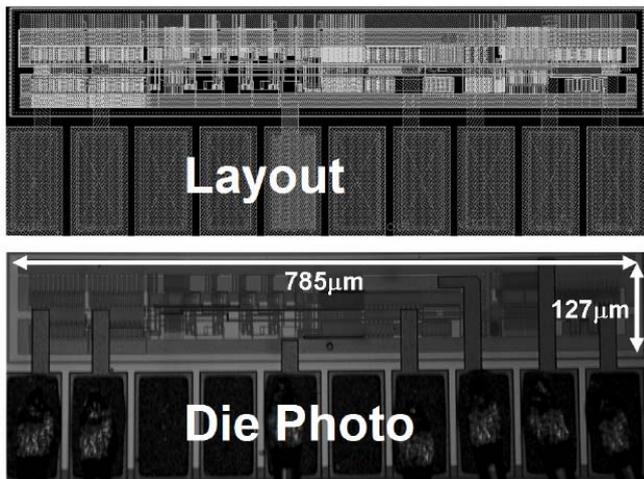


圖八. 可耐受兩倍操作電壓之輸出/入界面，操作於接收模式(Receive Mode)時，I/O Pad處於 (a) 2x VDD，與 (b) 0V，情況下之元件偏壓點要求。

為達成上述不同情況之偏壓點要求，故本研究中提出一創新之Gate-controlled circuit，偵測輸出/入端不同之操作模式與偏壓點需求，以控制圖六中MP與MN元件之偏壓點。該Gate-controlled circuit如圖九所示。實際之晶片照片與佈局尺寸如圖十所示。實驗晶片下線於-0.18- μm CMO製程，量測結果證實，本電路可順利使用1.5V元件，操作於3.3V輸出/入端操作電壓情況下。



圖九. 可偵測不同輸/出入端電壓情況下偏壓 MP 與 MN 輸出元件之間極電壓控制電路 (Gate-controlled circuit)。

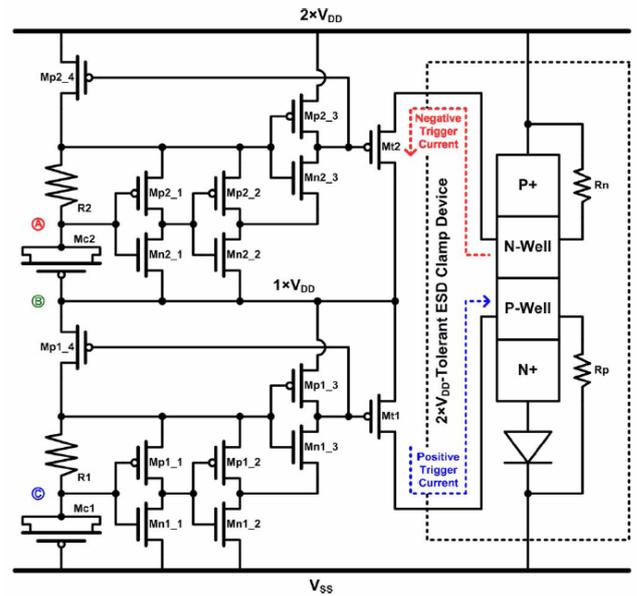


圖十. 可耐受兩倍操作電壓之輸出/入端控制電路實際電路佈局與晶片圖。

(3) 應用於混合信號界面之低漏電電源線間靜電放電防護電路 [2], [5]

在先前發表的文獻中所提到，先進 CMOS 製程所實現的 MOS 電容將會有嚴重閘極漏電流 (Gate-Tunneling Current) 的問題，若在先進奈米 CMOS 製程中將 MOS 電容應用於傳統的電源箝制靜電放電防護電路，將會導致非常嚴重的漏電流。因此，結合先進製程中低漏電電路之要求與混合信號界面設計，我們提出了可抑制電源線間靜電放電防護電路漏電流的新設計，如圖十一所示 [2], [5]。此設計並可順利操作於兩倍元件正常工作電壓(2xVDD)情況下。實際驗證於 65 奈米 CMOS 製程下之實驗結果如表二所示。由量測結果可知，本設計具有量好之靜電放電耐受度，與極低之漏電電流。搭配可耐受兩倍操作電壓之輸出/入界面電

路，本年度計畫成果，可提供混合信號界面中，完整之輸出/入電路設計與相對應之靜電放電防護電路設計。



圖十一. 本計畫實現之可耐受兩倍操作電壓與低漏電特性之電源線間靜電放電防護電路。

表二. 可耐受兩倍操作電壓及具低漏電特性之電源線間靜電放電防護電路量測結果。

ESD Detection Circuits	ESD Clamp Devices	Layout Area (μm^2)	TLP V_{t1} (V)	TLP I_{t2} (A)	HBM ESD (kV)	DC V_{hold} @ 25°C (V)	I_{leak} @ 25°C / 2V (nA)	I_{leak} @ 50°C / 2V (nA)	I_{leak} @ 100°C / 2V (nA)
None	25- μm DTSCR + Diode	~500	11.8	1.6	2.6	2.8	4	4	6
	50- μm DTSCR + Diode	~1000	11.8	2.9	4.8	2.8	5	6	8
With 25- μm Trigger PMOS	25- μm DTSCR + Diode	~3000	6.7	1.6	2.6	2.8	148	349	1304
	50- μm DTSCR + Diode	~3500	7.3	2.8	4.8	2.8	170	368	1480
With 50- μm Trigger PMOS	25- μm DTSCR + Diode	~3500	6.0	1.6	2.6	2.8	264	571	2807
	50- μm DTSCR + Diode	~4000	6.5	2.9	4.8	2.9	293	871	3115

四、結論與討論

此整合型子計畫之第一年計畫將於 99 年 7 月 31 日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。截至目前為止，已發表兩篇國際期刊論文與三篇國際會議論文。更詳細的研究成果內容，敬請參閱本研究群所發表之論文。

五、發表論文

- [1] C.-Y. Lin, M.-D. Ker, and Y.-W. Hsiao, "Design of differential low-noise amplifier with cross-coupled-SCR ESD protection scheme," *Microelectronics Reliability*, vol. 50, no. 6, pp. 831-838, Jun. 2010.

- [2] M.-D. Ker and C.-Y. Lin, "High-voltage-tolerant ESD clamp circuit with low standby leakage in nanoscale CMOS process," *IEEE Trans. Electron Devices*, 2010.
- [3] C.-Y. Lin, M.-D. Ker, and Y.-W. Hsiao, "ESD protection design for differential low-noise amplifier with cross-coupled SCR," in *Proc. IEEE International Conference on Integrated Circuit Design & Technology*, 2010.
- [4] M.-D. Ker and Y.-L. Lin, "Design of $2\times V_{DD}$ -tolerant I/O buffer with $1\times V_{DD}$ CMOS devices," in *Proc. IEEE Custom Integrated Circuits Conf.*, 2009, pp. 539-542.
- [5] C.-Y. Lin and M.-D. Ker, " $2\times V_{DD}$ -tolerant power-rail ESD clamp circuit with low standby leakage in 65-nm CMOS process," in *Proc. IEEE International Symposium on Circuits and Systems*, 2010.