

奈米級混合信號式電路技術-子計畫四：
奈米級 CMOS 製程之積體電路靜電放電防護技術

ESD Protection Techniques for Nanoscale CMOS Integrated Circuits

計畫編號：98-2221-E-009-113-MY2

執行期限：98 年 08 月 01 日至 100 年 07 月 31 日

主持人：柯明道教授 國立交通大學電子研究所

一、中文摘要

對奈米 CMOS 製程之電晶體而言，靜電放電是影響其可靠度的最主要因素。由於奈米製程技術中，電晶體閘極氧化層的厚度越來越薄，故其崩潰電壓也隨之降低，只要幾伏特的靜電電壓便會將閘極氧化層擊穿，因此必須設計適當的靜電放電防護電路，以避免元件被損壞。

為了實現有效的靜電放電防護電路，除了輸入與輸出接點必須設計靜電放電防護電路，在電源線(VDD)與接地線(VSS)之間也需加入電源箝制靜電放電防護電路，以提升積體電路的靜電放電耐受度。若使用先進製程之薄氧化層元件來實現此電源箝制靜電放電防護電路，電晶體勢必會有大量閘極穿隧電流產生，使得電源線間有明顯的大量漏電流存在。有鑑於此，提供一種具有高靜電放電防護能力但極低漏電流之電源箝制靜電放電防護電路實為迫切需要。本子計畫擬在 65 奈米至 32 奈米之 CMOS 技術中，利用電路設計的技巧開發出極低漏電流之電源箝制靜電放電防護電路。

本子計畫另擬針對元件充電模式之靜電放電現象進行研究與防治。在積體電路設計與電子產品製造組裝上，元件充電模式之靜電放電現象已成為相當嚴重且必須解決的課題。為了因應此元件充電模式靜電放電之挑戰，本子計畫將開發新型元件充電模式靜電放電防護設計，並將這些設計應用於先進之奈米 CMOS 製程，以有效保護電晶體之閘極氧化層。本子計畫預期將開發出可實用於積體電路產品之元件充電模式靜電放電防護架構，並以先進奈米 CMOS 製程驗證新開發之元件充電模式靜電放電防護設計之耐受度。

Abstract

The major reliability issue in nanoscale CMOS processes is caused by electrostatic discharge (ESD) zapping. The thinner gate oxide in the nanoscale CMOS technologies greatly degrades the ESD robustness of IC products. To protect the IC against ESD damages, ESD protection circuits must be included in the ICs.

The ESD protection circuits must be provided at input/output (I/O) ports, and the power-rail ESD clamp circuits must be provided between power lines to achieve whole-chip ESD protection. Unfortunately, the existing power-rail ESD clamp circuit topologies that provide sufficient ESD protection do not also minimize the leakage current. To design the power-rail ESD clamp circuits with the minimum leakage losses and power consumption is desired for industry. In this project, the low-leakage power-rail ESD clamp circuits will be developed in 65-nm~32-nm CMOS technologies.

The charged-device model (CDM) ESD events will also be studied in this project. CDM ESD issue becomes more and more important in the nanoscale CMOS processes because of the thinner gate oxide and larger die size. In this project, the CDM ESD events and their mechanisms will be investigated. Some devices and circuits will be developed against CDM ESD damages in nanoscale CMOS processes.

二、計畫的緣由與目的

根據電晶體理論，當電晶體的尺寸縮小時，可獲得較高的工作頻率，因此在元件製程

進入奈米領域之後，隨著縮微 (Scaled Down) 的快速發展，電晶體的操作頻率也得以順利地提昇。臺灣的 IC 製程已進入奈米的量產時代，65 奈米的 IC 製程已經在量產中，45 奈米也已經接近研發完成的階段。不過由於製程技術的進步為了維持電晶體元件的特性與提高積體電路的可靠度，使得電晶體最大接面操作電壓和閘極氧化層的厚度也隨之下降。也因為隨著半導體製程的進步，電晶體的閘極氧化層變得更為脆弱更容易遭受破壞，可是相對應的系統規格的操作電壓與信號準位並無隨之下降，造成了電路設計的困難與挑戰。對縮微化之電晶體而言，靜電放電 (ESD) 是影響其可靠度的最主要因素，因此必須設計出適當的靜電放電防護電路，以避免電路元件被損壞。

由於靜電放電可能發生在 IC 任兩錳墊間，故靜電放電防護電路必須考慮在各種情況下，皆能有效釋放靜電放電電流。在高頻操作下，更需考慮靜電放電元件所帶來的雜訊干擾。隨著內部元件越趨容易受到靜電放電損害，超高速/超高頻積體電路之靜電放電防護設計困難度亦日益增加。

此外，隨著閘極氧化層厚度不停下降，先進製程中有更嚴重的漏電流問題。而輸出/入界面端由於需要與週邊訊號互相溝通，故維持在較高之操作電壓。因此，低漏電電流之設計與混合信號界面之實現方式，為先進製程中兩重要之積體電路發展趨勢。電路上的解決方式相較於製程上的改變方法，由於具有較低的實現成本，為目前實際積體電路中較佳之設計解決方案。

本年度計畫針對適用於射頻積體電路中，差動放大器輸入端之靜電放電防護架構，提出創新之設計方式。在混合信號界面中，本計畫亦開發出創新可耐受兩倍操作電壓之輸出/入界面電路。同時考慮先進製程中元件的漏電流問題，透過電路設計技巧，提出了可應用在混合信號界面中，耐受兩倍正常操作電壓，但又具有超低漏電之電源線間靜電放電防護電路設計。

三、研究方法及成果

本計畫的研究成果已經整理且發表了 13

篇國際期刊論文 [1]-[13]，及 12 篇國際研討會論文 [14]-[25]。在此將針對已發表的論文內容詳細闡述，研究的內容有：射頻電路之靜電放電防護設計 [1]-[3], [14]-[17]、奈米 CMOS 製程之低漏電靜電放電防護電路 [4]-[6], [18]、高壓製程之靜電放電防護設計 [7], [8]、系統層級之靜電放電防護設計 [9], [19], [20]、元件充電模式之靜電放電防護設計 [21]-[23]、面板上之電路設計 [10]-[13], [24], [25]。詳細研究成果內容，請參閱以下章節。

(1) 射頻電路之靜電放電防護設計 [1]-[3], [14]-[17]

由於奈米製程技術中，電晶體閘極氧化層 (gate oxide) 的厚度逐漸變薄，其崩潰電壓也隨之降低，只要幾伏特的靜電電壓便會將閘極氧化層打穿。而且電晶體的閘極通常就是射頻電路的輸入級，而週遭環境隨時可能釋放幾百伏特甚至幾千伏特的靜電至此輸入級，因此必須設計出適當的靜電放電防護電路，以避免射頻積體電路遭受靜電放電轟擊而損壞。由於靜電放電防護電路必須置於射頻積體電路之輸入與輸出接點，所以靜電放電防護電路之負載效應將對射頻電路的性能造成明顯的負面影響，例如，靜電放電防護電路產生的寄生電容，會降低射頻電路的增益，並改變輸入輸出接點的阻抗匹配情形。對於射頻電路而言，輸入與輸出接點的寄生電容必須非常低，否則寄生電容造成的負載將大幅衰減射頻電路的性能。

在射頻電路的靜電放電防護電路設計中，必須具備低寄生電容、固定的輸入電容、優良的靜電放電防護能力。圖 1-1 ~ 圖 1-9 為常見的射頻電路之靜電放電防護設計。

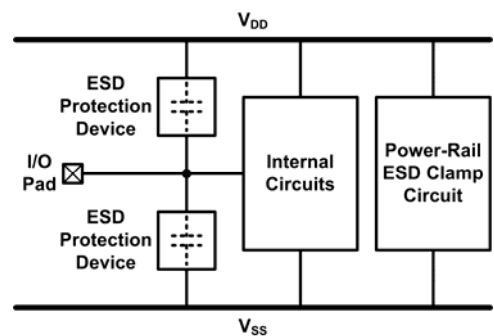


圖 1-1. Conventional ESD Protection Circuit.

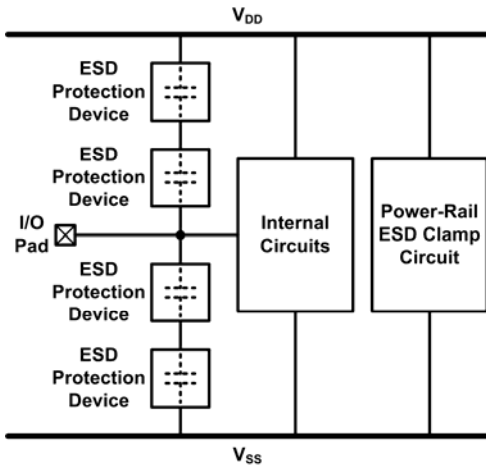


圖 1-2. Stacked ESD Protection Devices.

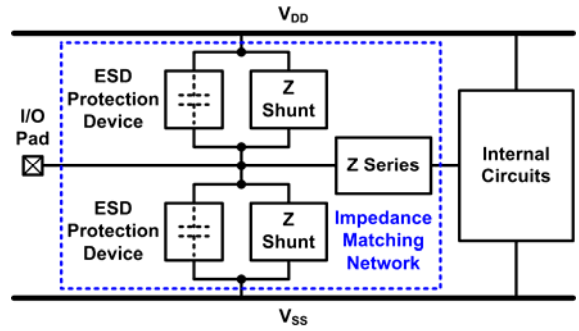


圖 1-6. Impedance Matching.

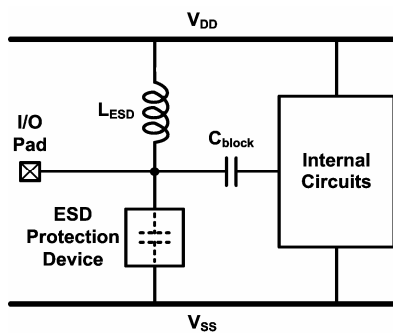


圖 1-3. Parallel LC Resonator.

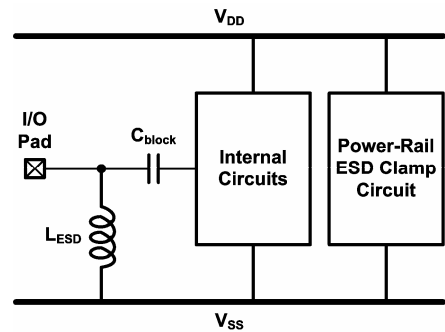


圖 1-7. Inductive ESD Protection.

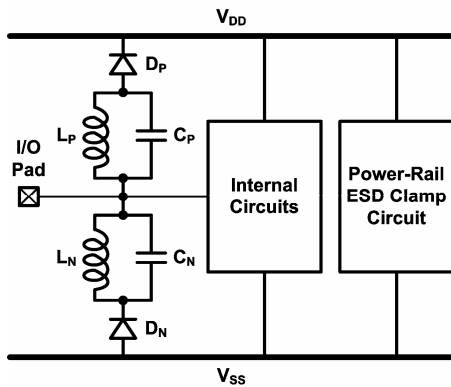


圖 1-4. LC-Tank.

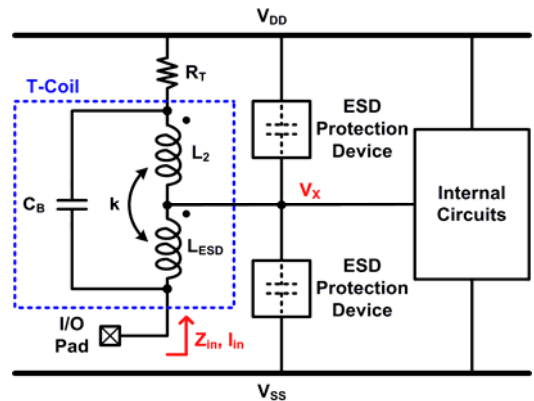


圖 1-8. T-Coil.

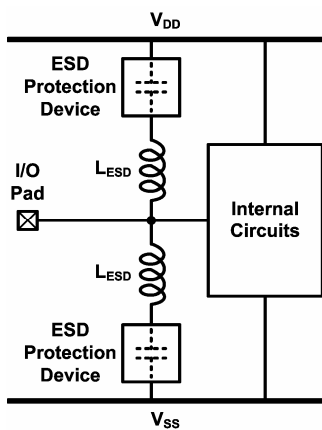


圖 1-5. Series LC Resonator.

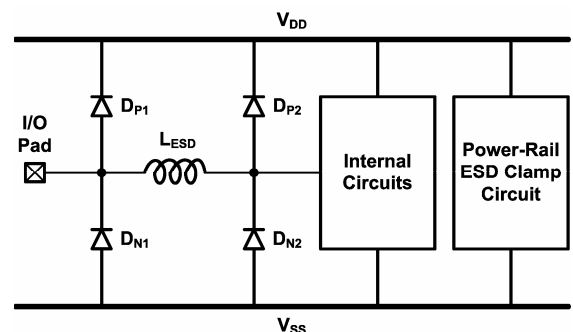


圖 1-9. Distributed ESD Protection.

本計畫針對這些常見的靜電放電防護設計進行分析，將各種設計分門別類、並歸納各種設計的優缺點與成效，如表 1-1 所示。

表 1-1. 各種射頻靜電放電防護設計的優缺點與成效比較

ESD Protection Design	Suggested Operating Frequencies	Design Complexity	Equivalent Parasitic Capacitance	Signal Loss	Clamping Voltage at Internal Circuits	HBM / CDM Robustness	Area Efficiency
1. Conventional ESD Protection Circuit	< 5 GHz	Low	Dozens ~ Hundreds of fF	Worst at High Frequency	1 R_{ESD}	Better / Better	Good
2. Stacked ESD Protection Devices	< 10 GHz	Moderate	Dozens ~ Hundreds of fF	Worse at High Frequency	2 R_{ESD}	Good / Good	Good
3. Parallel LC Resonator	> 5 GHz (Narrow Band)	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD}	Better / Better	Poor
4. LC-Tank	> 5 GHz (Narrow Band)	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD} + 1 L_{ESD}	Good / Poor	Poor
5. Series LC Resonator	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD} + 1 L_{ESD}	Good / Poor	Poor
6. Impedance Matching	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD}	Better / Better	Poor
7. Inductive ESD Protection	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 L_{ESD}	Better / Poor	Poor
8. T-Coil	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD}	Better / Better	Poor
9. Distributed ESD Protection	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 R_{ESD}	Better / Better	Poor

(2) 奈米 CMOS 製程之低漏電靜電放電防護電路 [4]-[6], [18]

在先前發表的文獻中所提到，先進 CMOS 製程所實現的 MOS 電容將會有嚴重閘極漏電流 (gate-tunneling current) 的問題，若在先進奈米 CMOS 製程中將 MOS 電容應用於傳統的電源箝制靜電放電防護電路，將會導致非常嚴重的漏電流。因此，我們提出了多種可抑制電源線間靜電放電防護電路漏電流的新型設計，如圖 2-1 ~ 圖 2-3 所示。此外，我們提出了可以操作於兩倍工作電壓 ($2xV_{DD}$) 與低漏電之電源線間靜電放電防護電路，如圖 2-4 和圖 2-5 所示。

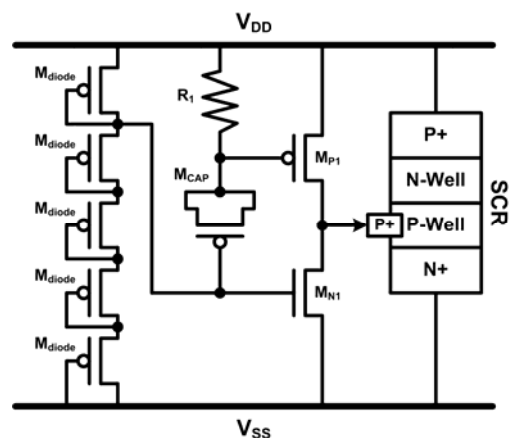


圖 2-1. Power-rail ESD clamp circuit I.

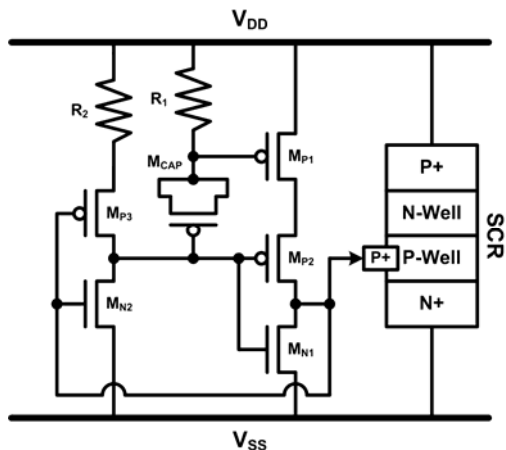


圖 2-2. Power-rail ESD clamp circuit II.

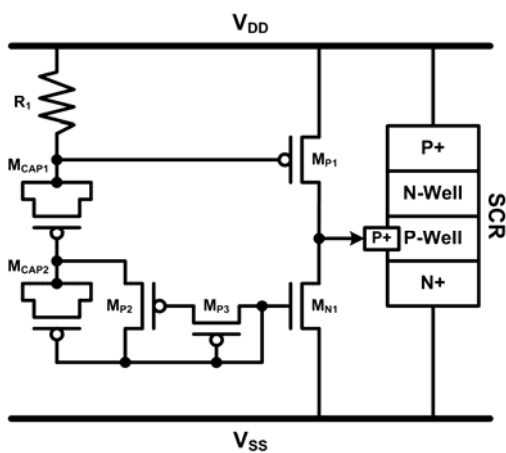


圖 2-3. Power-rail ESD clamp circuit III.

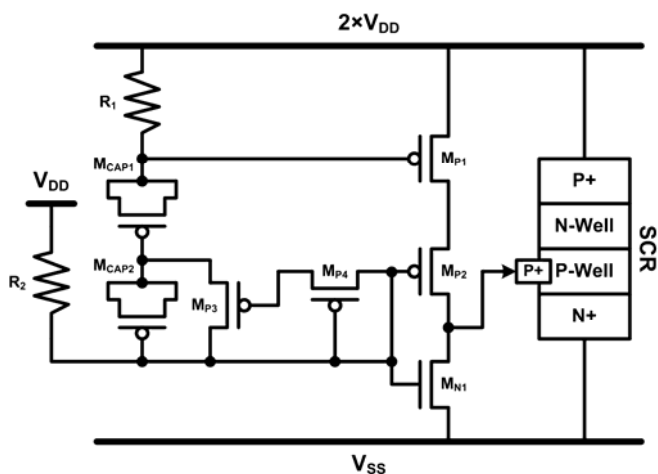


圖 2-4. High-voltage-tolerant power-rail ESD clamp circuit I.

實際驗證於 65 奈米 CMOS 製程後，由量測結果可知，這些設計具有量好的靜電放電耐受度與極低的漏電電流，因此可適用於奈米 CMOS 製程之靜電放電防護使用。

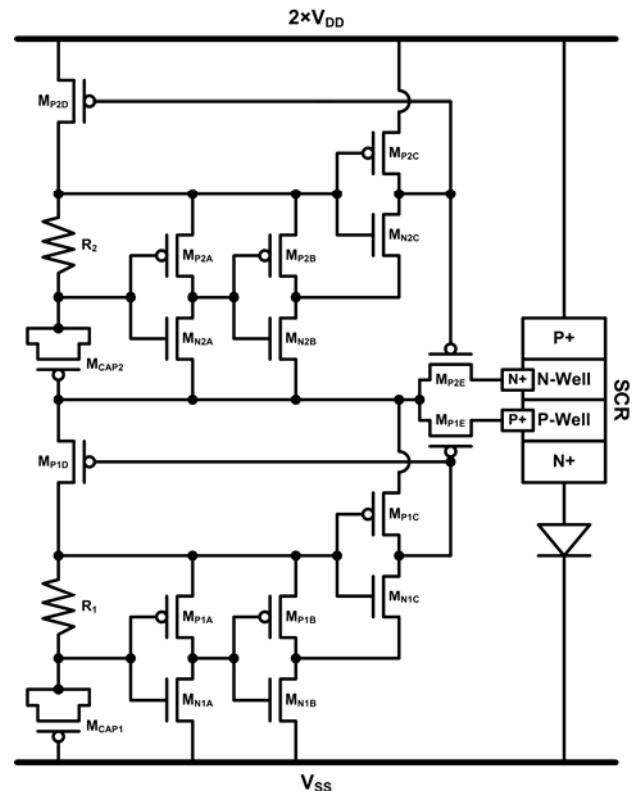


圖 2-5. High-voltage-tolerant power-rail ESD clamp circuit II.

(3) 高壓製程之靜電放電防護設計 [7], [8]

隨著高壓製程在面版驅動電路、電源供應器及電源管理等使用的普及化，對於使用在這些應用的輸出端以及當作靜電放電保護元件的高壓電晶體來說，其高觸發電壓及低持有電壓的特性將使得高壓積體電路的靜電放電防護能力不足，並有可能產生閉鎖效應 (latchup) 或類似閉鎖效應 (latchup-like) 的危險。因此如何開發有效的靜電放電防護設計，將是這些高壓積體電路設計上很重要的課題，這個主題也隨著這些產業應用上的多元化而更趨重要。

在高壓功率積體電路製程技術中，擴散式金氧半電晶體 (DMOS) 被廣泛地使用於靜電放電防護元件。本計畫以擴散式金氧半電晶體為基礎提出新型的靜電放電防護電路以提升防護元件之導通效能及靜電放電耐受度，如圖 3-1 和圖 3-2 所示。在正常電路操作時，擴散式金氧半電晶體可偏壓於 40 V，而其 5 V 閾極氧化層不會受到可靠度問題，另一方面此電路可進一步設計以避免高壓積體電路發生閉鎖效應或類似閉鎖效應的危險。此電路已在 0.35 微米

5-V/40-V 高壓功率積體電路製程中實際被製作與驗證，相關量測結果如表 3-1 所示。

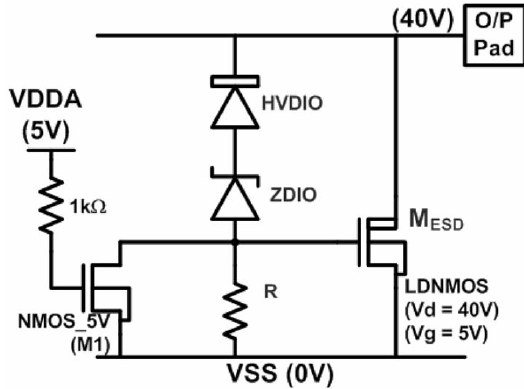


圖 3-1. ESD protection circuits with gate-driven ESD detection circuit.

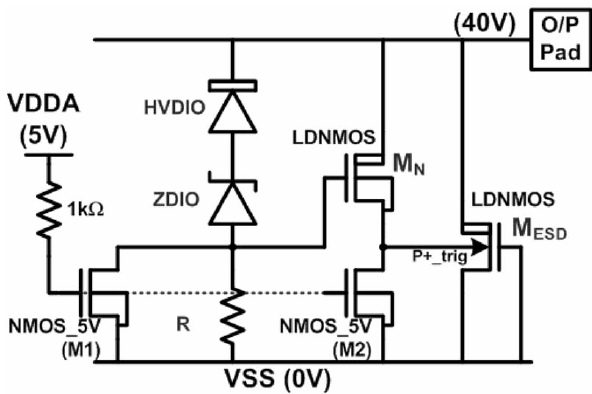


圖 3-2. ESD protection circuits with substrate-triggered ESD detection circuit.

表 3-1. 高壓製程之靜電放電防護電路的量測結果

	Layout Type of M_{ESD}	Width of M_{ESD}	HBM ESD Level	MM ESD Level	It2 (TLP)
Gate-Coupled LDNMOS	Multiple-Finger	300 μ m	3kV	200V	2.1A
Gate-Driven ESD Protection Circuit	Octagonal Cells	320 μ m	4.4kV	275V	2.6A
Substrate-Triggered ESD Protection Circuit	Octagonal Cells	320 μ m	4.2kV	275V	2.7A

(4) 系統層級之靜電放電防護設計 [9], [19], [20]

在積體電路中，系統層級靜電放電 (system-level ESD) 已成為一個重要的可靠度問題。由於日益複雜的積體電路功能，如混合式信號 (mix-signal) 電路、多重電源供應系統 (multiple power supplies)、射頻 (radio frequency)

電路、系統單晶片 (system on chip) 等等，使得積體電路元件所處的環境會受到來自元件內部或外部的雜訊干擾，因此這些雜訊會隨機地出現在積體電路產品的電源、接地、輸入/輸出腳位 (pin) 上，使積體電路產品較以往更容易受到雜訊干擾的威脅。

隨著半導體元件尺寸的微縮，過去的研究已經證實在系統層級靜電放電測試以及快速暫態脈衝測試 (electrical fast transient test) 之下，暫態的干擾訊號會使寄生在 CMOS 積體電路中的矽控整流器 (silicon-controlled rectifier) 產生門鎖效應。由系統層級靜電放電測試所引起的可靠度問題來自於多功能整合型的積體電路設計，以及嚴格的法規要求。在系統層級靜電放電測試的規格中 (IEC 61000-4-2)，一個擁有積體電路的電子設備在接觸放電 (contact-discharge) 及空氣放電 (air-discharge) 測試模式中如欲達到“等級四”的標準需求，則此待測設備必須通過高達 $\pm 8kV$ (接觸放電模式) 及 $\pm 15kV$ (空氣放電模式) 的靜電放電等級需求。

在傳統的解決方法中，會在電子產品的印刷電路板上增加離散元件抑制暫態雜訊的干擾，包括利用反耦合電容、暫態突波抑制器、限流電阻、防護板等，皆能在印刷電路板抑制對積體電路產品所產生的暫態雜訊干擾。但是這些額外增加的離散元件會大幅增加電子產品的成本，因此，在積體電路上設計出相對的解決方案，以減少離散元件的使用，將會為工業界所急切需求。

圖 4-1 是我們所提出的暫態偵測電路，此偵測電路是利用反相器電路架構以及電阻電容延遲效應來設計，利用 HSPICE 軟體所提供的正弦波以及阻尼因子 (damping factor) 的參數設定，可成功模擬並量化此暫態偵測電路在系統層級靜電放電以及快速暫態脈衝測試時的工作情形，電路操作情形如圖 4-2 所示。

此暫態偵測電路已於 0.18- μ m 1.8-V CMOS 製程中實作，在系統層級靜電放電或是快速暫態脈衝發生時，已成功驗證可偵測出發生在電源線上的暫態干擾訊號並紀錄之，使電子產品在受到電磁干擾而故障時，可配合韌體或軟體設定送出重新啟動訊號 (reset) 使系統自動作回復的動作。

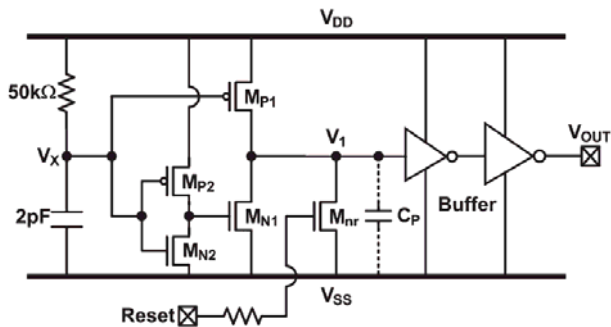


圖 4-1. On-chip transient detection circuit.

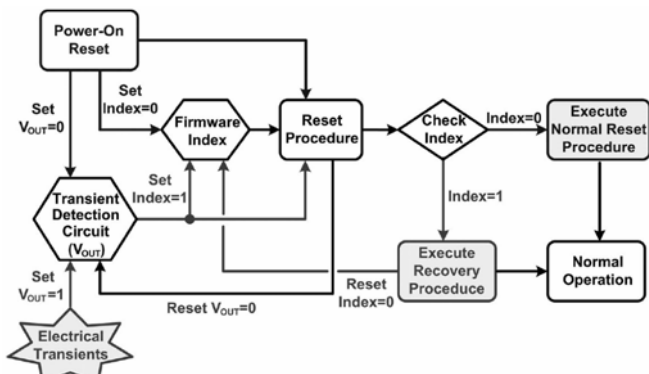


圖 4-2. Flowchart to recover the system when electrical transients happen.

(5) 元件充電模式之靜電放電防護設計 [21]-[23]

相較於人體放電與機械放電模式之數十奈秒 (ns) 到數百奈秒的放電時間而言，元件充電模式 (charged-device model, CDM) 靜電放電的時間更短，僅約幾奈秒之內的時間便結束。如此短的放電時間，極可能使得在靜電放電防護電路尚未導通前，靜電電荷即透過元件結構中的寄生電容進行放電，所以當元件充電模式靜電放電現象發生時，電晶體的閘極氧化層很容易因靜電放電而損壞。在奈米 CMOS 製程中，由於電晶體閘極氧化層厚度持續降低，勢必惡化積體電路的元件充電模式靜電放電耐受度。因此，在積體電路設計上，元件充電模式靜電放電現象已成為相當嚴重且必須解決的課題。

由於元件充電模式靜電放電的衝擊又快又大，故靜電放電防護電路的導通速度必須夠快，以有效保護輸入緩衝器免於遭受靜電放電之破壞。本計畫利用 PMOS 之初始導通特性，實作一種創新之元件充電模式靜電放電防護設計。圖 5-1 和 圖 5-2 分別展示本設計之兩種

電路。

本實驗在 55 奈米金氧半製程中設計。這兩種靜電放電防護電路之元件充電模式靜電放電耐受度統整於表 5-1 和表 5-2 之中。利用本研究提出之初始導通靜電放電防護設計，可使輸入緩衝器擁有最佳的元件充電模式之靜電放電防護能力，最高可達到 500 伏的耐受度。

利用此方法實現之元件充電模式靜電放電防護設計不必用到額外的光罩和製程步驟，因此不會提高晶片生產成本。本設計將可大幅應用於奈米 CMOS 中，以提高積體電路之元件充電模式靜電放電防護能力。

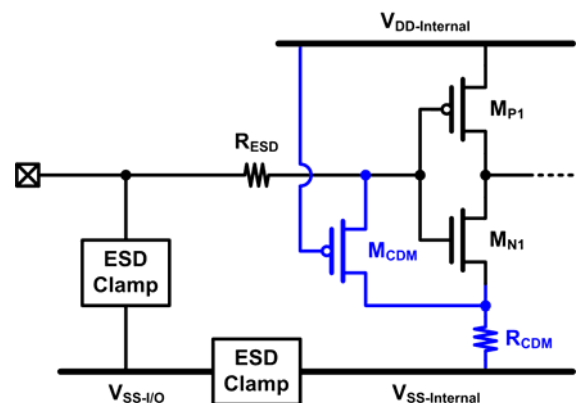


圖 5-1. CDM ESD protection circuit I.

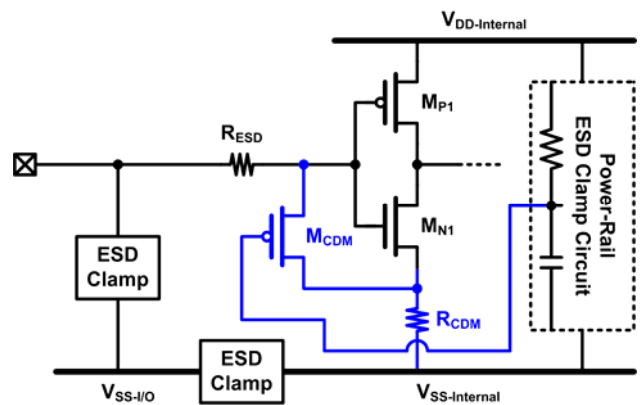


圖 5-2. CDM ESD protection circuit II.

表 5-1. CDM ESD protection circuit I 之量測結果

M_{CDM} (PMOS) Width	Positive CDM	Negative CDM
2.5 μm	200 V	100 V
10 μm	400 V	300 V
20 μm	600 V	400 V

表 5-2. CDM ESD protection circuit II 之量測結果

M_{CDM} (PMOS) Width	Positive CDM	Negative CDM
2.5 μm	200 V	100 V
10 μm	400 V	400 V
20 μm	600 V	500 V

(6) 面板上之電路設計 [10]-[13], [24], [25]

系統面板之應用因為較低的製作成本和較短的產品生成時間而一步一步的被實現中。為了達到系統面板之應用，一些面板週邊的電路，像是直流-直流轉換器、暫存器、驅動電路和數位至類比轉換器等皆已被整合在玻璃基板上。另外，一些應用於不同方向且整合在玻璃基板上的出色研究也相繼被提出，像是中央處理器、記憶體、帶隙參考電壓電路和射頻識別標籤解調器等。

雖然在低溫多晶矽製程中，利用加大多晶晶格來增加了元件的效能，但是這也在液晶面板上，造成了元件和元件間的隨機變異。而不規則的晶界、閘極絕緣界面的缺陷、和在通道上的不完整離子摻雜也對低溫多晶矽的薄膜電晶體的電性特性造成了變異。一些像是熱載子應力、負偏壓溫度不穩定性和一些可靠度的問題已經證實，多晶膜電晶體的不穩定性是比單晶的矽製程金氧半場效電晶體還要更為嚴重。此外，在低溫多晶矽製程上的元件特性變異，相較於互補式金氧半導體製程而言也是更為嚴重。因此在實現低溫多晶矽製程之積體電路設計上，這些元件的變異性也是必需被考慮的。

本計畫提出了一應用於觸碰式面板之玻璃基板上讀出電路，如圖 6-1 所示。所提出之電路利用了開關-電容 (switched-capacitor) 技巧，來加大因為觸碰式面板的電容變化而造成的電壓差，並且也採用了相關性雙採樣 (correlated double sampling) 之技巧來降低因為製程變異而導致的偏移 (offset)。所提出之電路最低可判別的電壓差為 40 mV，並且可利用 4 位元的數位輸出來分辨觸碰到之面積，量測結果如圖 6-2 所示。

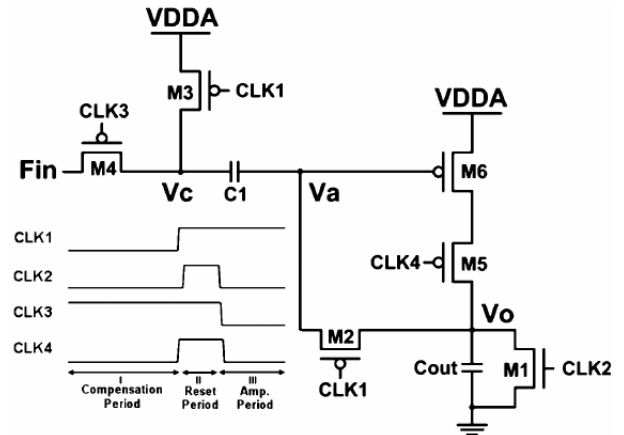


圖 6-1. Schematic of readout circuit with threshold voltage compensation and its timing chart.

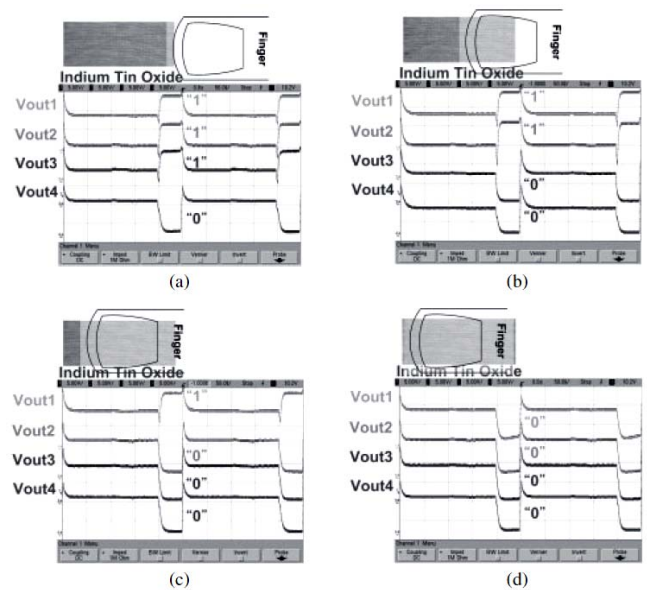


圖 6-2. The measured results of the fabricated readout circuit under the touched area by finger covered with (a) less than 1/4, (b) 1/2, (c) 3/4, and (d) full of the ITO area.

四、結論與討論

此整合型子計畫已於 100 年 7 月 31 日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。本計畫的研究成果已經整理且發表了 13 篇國際期刊論文及 12 篇國際研討會論文，此外還有數項創新設計已提出中華民國及美國專利申請。更詳細的研究成果內容，敬請參閱本研究群所發表之論文。

最後，感謝國科會的研究計畫經費支持，謝謝。

五、發表論文

- [1] Ming-Dou Ker, C.-Y. Lin, and Y.-W. Hsiao, "Overview on ESD protection designs of low parasitic capacitance for RF ICs in CMOS technologies," *IEEE Trans. on Device and Materials Reliability*, vol. 11, no. 2, pp. 207-218, Jun. 2011. (SCI)
- [2] C.-Y. Lin, L.-W. Chu, and Ming-Dou Ker, "Design and implementation of configurable ESD protection cell for 60-GHz RF circuits in a 65-nm CMOS process," *Microelectronics Reliability*, vol. 51, no. 8, pp. 1315-1324, Aug. 2011. (SCI)
- [3] C.-Y. Lin, Ming-Dou Ker, and Y.-W. Hsiao, "Design of differential low-noise amplifier with cross-coupled-SCR ESD protection scheme," *Microelectronics Reliability*, vol. 50, no. 6, pp. 831-838, Jun. 2010. (SCI)
- [4] Ming-Dou Ker and P.-Y. Chiu, "New low-leakage power-rail ESD clamp circuit in a 65-nm low-voltage CMOS process," *IEEE Trans. on Device and Materials Reliability*, vol. 11, no. 3, pp. 474-483, Sep. 2011. (SCI)
- [5] C.-T. Yeh and Ming-Dou Ker, "Capacitor-less design of power-rail ESD clamp circuit with adjustable holding voltage for on-chip ESD protection," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 11, pp. 2476-2486, Nov. 2010. (SCI)
- [6] Ming-Dou Ker and C.-Y. Lin, "High-voltage-tolerant ESD clamp circuit with low standby leakage in nanoscale CMOS process," *IEEE Trans. on Electron Devices*, vol. 57, no. 7, pp. 1636-1641, Jul. 2010. (SCI)
- [7] W.-Y. Chen and Ming-Dou Ker, "Improving safe operating area of nLDMOS array with embedded silicon controlled rectifier for ESD protection in a 24-V BCD process," *IEEE Trans. on Electron Devices*, vol. 58, no. 9, pp. 2944-2951, Sep. 2011. (SCI)
- [8] C.-T. Wang and Ming-Dou Ker, "ESD protection design with lateral DMOS transistor in 40-V BCD technology," *IEEE Trans. on Electron Devices*, vol. 57, no. 12, pp. 3395-3404, Dec. 2010. (SCI)
- [9] Ming-Dou Ker and C.-C. Yen, "New transient detection circuit for on-chip protection design against system-level electrical transient disturbance," *IEEE Trans. on Industrial Electronics*, vol. 57, no. 10, pp. 3533-3543, Oct. 2010. (SCI)
- [10] S.-H. Chen, Ming-Dou Ker, and T.-M. Wang, "Digital time-modulation pixel memory circuit in LTPS technology," *Journal of Society for Information Display*, vol. 19, no. 8, pp. 539-546, Aug. 2011. (SCI)
- [11] T.-M. Wang and Ming-Dou Ker, "Design and implementation of readout circuit on glass substrate with digital correction for touch-panel applications," *Journal of Society for Information Display*, vol. 19, no. 7, pp. 463-470, Jul. 2011. (SCI)
- [12] Y.-T. Lin, Ming-Dou Ker, and T.-M. Wang, "Design and implementation of readout circuit with threshold voltage compensation on glass substrate for touch panel applications," *Japanese Journal of Applied Physics*, vol. 50, no. 3, pp. (03CC07-1)-(03CC07-6), Mar. 2011. (SCI)
- [13] C.-C. Tsai, T.-M. Wang, and Ming-Dou Ker, "Implementation of delta-sigma analog-to-digital converter in LTPS process," *Journal of Society for Information Display*, vol. 18, no. 11, pp. 904-912, Nov. 2010. (SCI)
- [14] C.-Y. Lin, L.-W. Chu, S.-Y. Tsai, Ming-Dou Ker, T.-H. Lu, T.-L. Hsu, P.-F. Hung, M.-H. Song, J.-C. Tseng, T.-H. Chang, and M.-H. Tsai, "Modified LC-tank ESD protection design for 60-GHz RF applications," *Proc. of European Conference on Circuit Theory and Design*, 2011, pp. 57-60.
- [15] C.-Y. Lin, Ming-Dou Ker, and Y.-W. Hsiao, "ESD protection design for differential low-noise amplifier with cross-coupled SCR," *Proc. of IEEE International Conference on Integrated Circuit Design & Technology*, 2010, pp. 39-42.
- [16] C.-Y. Lin and Ming-Dou Ker, "Dual SCR with low-and-constant parasitic capacitance for ESD protection in 5-GHz RF integrated circuits," *Proc. of IEEE International Conference on Solid-State and Integrated Circuit Technology*, 2010, pp. 707-709.
- [17] C.-Y. Lin and Ming-Dou Ker, "Modeling the parasitic capacitance of ESD protection SCR to co-design matching network in RF ICs," *Proc. of IEEE International Symposium on Next-Generation Electronics*, 2010, pp. 104-107.
- [18] M.-D. Ker and Chun-Yu Lin, "ESD protection consideration in nanoscale CMOS technology," *Proc. of IEEE International Conference on Nanotechnology*, 2011, pp. 720-723.
- [19] Ming-Dou Ker, W.-Y. Lin, C.-C. Yen, C.-M. Yang, T.-Y. Chen, and S.-F. Chen, "On-chip ESD detection circuit for system-level ESD protection design (Invited Paper)," *Proc. of IEEE International Conference on Solid-State and Integrated Circuit Technology*, 2010, pp. 1584-1587.
- [20] Ming-Dou Ker, "On-chip solution in CMOS integrated circuits for system-level ESD protection (Invited Talk)," *Proc. of RCJ EOS/ESD/EMC Symposium*, 2010, pp. 1-6.

- [21] Ming-Dou Ker, C.-Y. Lin, and T.-L. Chang, "Impact of shielding line on CDM ESD robustness of core circuits in a 65-nm CMOS process," *Proc. of IEEE International Reliability Physics Symposium*, 2011, pp. 717-718.
- [22] Ming-Dou Ker, C.-Y. Lin, and T.-L. Chang, "Layout styles to improve CDM ESD robustness of integrated circuits in 65-nm CMOS process," *Proc. of International Symposium on VLSI Design, Automation and Test*, 2011, pp. 374-377.
- [23] C.-Y. Lin and Ming-Dou Ker, "CDM ESD protection design with initial-on concept in nanoscale CMOS process," *Proc. of IEEE International Symposium on Physical and Failure Analysis of Integrated Circuits*, 2010, pp. 193-196.
- [24] S.-H. Chen, Ming-Dou Ker, and T.-M. Wang, "Design of digital time-modulation pixel memory circuit on glass substrate for low power application," *Proc. of SID International Symposium, Seminar, and Exhibition*, 2011, pp. 1281-1284.
- [25] T.-M. Wang and Ming-Dou Ker, "Design and implementation of capacitive sensor readout circuit on glass substrate for touch panel applications," *Proc. of International Symposium on VLSI Design, Automation and Test*, 2011, pp. 269-272.