

GeSbTe 薄膜之摻雜、電性質分析及其應用於相變化記憶體(PRAM)

元件之研究

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 97- 2221 - E - 009 - 029 - MY3

執行期間：2008 年 08 月 01 日至 2011 年 07 月 31 日

執行機構及系所：國立交通大學 材料科學與工程學系

計畫主持人：謝宗雍

共同主持人：

計畫參與人員：黃郁仁、黃胤誠

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

赴國外出差或研習心得報告

赴大陸地區出差或研習心得報告

出席國際學術會議心得報告

國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

中 華 民 國 100 年 10 月 日

摘 要

相變化記憶體 (Phase-change Random Access Memory, PRAM) 被譽為下一世代的電子式記憶媒體。本計劃自組之即時電性量測系統 (*In-situ* Electrical Property Measurement) 及動/靜態電壓-電流量測系統 (Dynamic/Static *I-V* Measurement System) 以探討摻雜鉬 (Mo)、氮 (N) 與鈰 (Ce) 之鍺銻銻 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$, GST) 合金及銀銻銻 (AgInSbTe , AIST) - 二氧化矽 (SiO_2) 奈米複合薄膜 (AIST- SiO_2 Nanocomposite) 於 PRAM 之應用可行性, 並分析薄膜之相變化動力學和微觀結構之關聯。

計畫研究的第一部分以自組之電性量測系統、X 光繞射分析 (X-ray Diffraction, XRD) 及電子顯微鏡 (Transmission Electron Microscopy, TEM) 測量摻雜 N 與 Mo 對 GST 薄膜之電性與相變化行為的影響。研究結果發現 Mo 摻雜明顯地降低了 GST 非晶態電阻率, 而 N 摻雜則提升了 GST 非晶態與晶態的電阻率。XRD 和 TEM 分析結果顯示元素摻雜穩定了 GST 的非晶相, 同時抑制了 GST 薄膜晶粒的成長。Kissinger 理論計算顯示摻雜導致相變化再結晶溫度 (Recrystallization Temperature, T_c) 與活化能 (Activation Energy, E_a) 的提升; 將所得結果代入各種展延效應模式 (Percolation Models) 和 Johnson-Mehl-Avrami (JMA) 理論, 其結果顯示相變化過程中受到 GST 層中異質成核效應的影響, 將會在空氣和試片界面發生成核, 同時以層狀方式沿著垂直試片方向往內部結晶。

Ce 摻雜的研究顯示其亦能穩定非晶態 GST 以及抑制再結晶後六方晶 (Hexagonal) GST 相之形成; Ce 摻雜會使結晶態 GST 之晶粒細化, 元素分布 (Element Mapping) 則發現 Ce 在 GST 中均呈勻分布, 故 Ce 原子係以固溶態摻雜於 GST 中, 此亦符合等升溫實驗發現 T_c 與 E_a 隨著 Ce 摻雜濃度增加而上升之結果。Ce 摻雜之重要特徵為不會使非晶態 GST 之電阻率下降, 結晶態 GST 之電阻率僅微幅上升, 故不會改變非晶態與多晶態 GST 之電阻比值 (R -Ratio $\approx 10^5$), 有助於維持訊號之對比清晰度, 與一般金屬元素摻雜造成非晶態 GST 電阻特性降低之行為迥異。恆溫實驗配合 JMA 理論探討摻雜 Ce 之 GST 薄膜之相變化機制, 發現摻雜使相變化維度下降, 推測其為異質成核 (Heterogeneous Nucleation) 效應所致, 但 Ce 摻雜大幅升高成長活化能而使恆溫相變化活化能 (Appropriate Activation Energy, ΔH) 升高。資料保存時間 (Retention Time) 分析顯示 Ce 摻雜濃度越高, 資料保存效果愈佳。PRAM 元件分析發現臨界轉換電壓 (Threshold Voltage, V_{th}) 雖隨 Ce 之摻雜濃度升高而上升, 但 Ce 摻雜之 GST 薄膜確實可應用於 PRAM 元件製作。

計畫研究的第二部分探討成長型硫屬合金 AIST 與 AIST- SiO_2 奈米複合薄膜於 PRAM 之應用與其相變化動力學。電性量測實驗發現 SiO_2 的添加提升了奈米複合薄膜的 T_c 。XRD 和 TEM 的結果顯示奈米複合薄膜中有晶粒細化的現象, 此亦提昇相變化之 E_a 值。 T_c 和 E_a 的升高主要是因為 AIST 晶粒的細化, 此意味著分散在基材中 SiO_2 抑制了 AIST 再結晶時的晶粒成長。JMA 分析顯示在奈米複合薄膜中的

Avrami指數呈現下降的趨勢，此顯示分散在AIST中的SiO₂顆粒增強了在相變化過程中異質成核的效應。PRAM元件靜態*I-V*特性曲線和動態反轉行為均證明AIST和其奈米複合薄膜應用於PRAM元件的可行性。

關鍵詞：相變化記憶體、鎳銻碲、摻雜、PRAM元件模擬/靜態/動態測試。

Abstract

This project established *in-situ* electrical measurement and dynamic/static *I-V* measurement systems to study the phase-change kinetics and feasibility to PRAM of doped Ge₂Sb₂Te₅ (GST), AgInSbTe (AIST) and AIST-SiO₂ nanocomposite thin films.

It was found that the Mo-doping reduces the resistivity level of amorphous GST while the N-doping raises both the resistivity levels of amorphous and crystalline GST. XRD and TEM indicated that the doping stabilizes the amorphous GST and suppresses the grain growth in GST. Kissinger's analysis revealed the increase of T_c and E_a of phase transition in GST layers. The data fitting into various percolation models and Johnson-Mehl-Avrami (JMA) theory indicated the heterogeneous phase-transition process in GST layers.

Ce doping was found to stabilize the amorphous GST and inhibit the hexagonal GST phase at high temperatures. Ce doping also causes the grain refinement in GST via solid-solution mechanism. Kissinger's analysis found the increase of T_c and the E_a by Ce doping. A unique feature of Ce doping is that it does not alter the resistivities of amorphous and crystalline GSTs and hence the resistivity ratio (*R*-ratio) remains at about 10⁵, benefiting the signal contrast preservation and the high-density signal storage. JMA analysis revealed that Ce doping suppresses the dimensionality of phase-change process in GST. This is attributed to the heterogeneous nucleation effects during phase-change process. The retention time analysis found that the retention time increases with the increase of Ce doping amount in GST. PRAM device analysis found that Ce-doped GST films are feasible to PRAM device fabrication.

As to AIST and AIST-SiO₂ nanocomposite applied to PRAMs, electrical measurement found that the incorporation of SiO₂ escalates the T_c of nanocomposite films. XRD, TEM and Kissinger's analysis showed the grain refinement in the nanocomposite which, in turn, results in an increase of the E_a of phase transition. This was ascribed to AIST grain refinement and hindrance to grain growth due to dispersed SiO₂ particles in AIST. JMA analysis revealed the dispersed SiO₂ particles promote the heterogeneous phase transition. PRAM device analysis confirmed the feasibility of AIST and its nanocomposite layer to PRAM fabrication.

Keywords: Phase-change random access memory, GeSbTe, doping, PRAM device simulation/static/dynamic tests.

目 錄

| | |
|--|-----|
| 摘 要..... | I |
| Abstract..... | III |
| 目 錄..... | IV |
| 第一章 緒 論..... | 1 |
| 第二章 研究目的..... | 2 |
| 第三章 文獻回顧..... | 2 |
| 3-1、記憶體元件的發展..... | 3 |
| 3-2、PRAM 之原理..... | 5 |
| 3-3、Ovonic Swtich..... | 9 |
| 3-4、GST 之摻雜..... | 9 |
| 第四章 實驗方法及步驟..... | 14 |
| 4-1、實驗流程..... | 14 |
| 4-2、試片製備..... | 14 |
| 4-3、元素摻雜..... | 14 |
| 4-4、XRD 分析..... | 14 |
| 4-5、TEM 分析..... | 14 |
| 4-6、ICP-MS 成份分析..... | 14 |
| 4-7、XPS 分析..... | 14 |
| 4-8、即時電性量測..... | 15 |
| 4-9、Kissinger 分析..... | 15 |
| 4-10、JMA 分析..... | 15 |
| 4-11、Retention Time 分析..... | 16 |
| 4-12、Ovonic Switch 性質分析..... | 16 |
| 第五章 結果與討論..... | 17 |
| 5-1、Mo 和 N 摻雜 GST..... | 17 |
| 5-2、Ce 摻雜 GST..... | 21 |
| 5-3、AIST 及 AIST-SiO ₂ 奈米複合薄膜..... | 26 |
| 第六章 結 論..... | 29 |
| 參考文獻..... | 31 |

第一章

緒 論

硫屬合金化合物 (Chalcogenides)，也就是俗稱的相變化記錄材料 (Phase-change Recording Media)，早期是應用在光記錄儲存，其利用非晶-結晶之相變化 (Amorphous-to-Crystalline Phase Transition) 產生不同的光反射性質來達到資料儲存的效果。因為其具有高讀寫速率以及非揮發 (Non-volatile) 特性，同時具有動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 及快閃記憶體 (Flash Memory) 的優點，近年來已被應用在記憶體元件，即所謂之相變化記憶體 (Phase-change RAM, PRAM) 之製作，也被看好是下一世代的新型記憶體。PRAM 製程簡單，其製程步驟與 DRAM 幾乎相同，不需開發新製程。當然 PRAM 記錄材料仍有一些缺點須克服，如提升熱穩定性 (Thermal Stability)、減少元件操作電流、提升循環覆寫次數 (Cycle Time) 等。

本計畫可分為二部份，第一個部份是以貼靶濺鍍法 (Target-attachment Sputtering Method) 將鉬 (Mo)、氮 (N) 和鈰 (Ce) 元素摻雜到成核型鍺-銻-銻 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$, GST) 相變化記錄薄膜內。第二部份探討成長型硫屬合金 AgInSbTe (AIST) 及其 AIST-SiO₂ 奈米複合之薄膜電阻值與結晶性質之變化，以評估其應用於 PRAM 製程之可行性，計畫執行以自組的即時電性量測系統 (*In-situ* Electrical Property Measurement System) 分析薄膜相變化行為之影響，以 Kissinger 與 Johnson-Mehl-Avrami (JMA) 理論計算其結晶活化能 (Activation Energy, E_a)、及恆溫相變化活化能 (ΔH) 變化，並探討其成長維度的關係、資料保存時間 (Retention Time) 及元件特性。

第二章

研究目的

PRAM 雖被譽為是下一世代的記憶元件，但其記錄材料仍有一些缺點須克服，開發新穎化學組成的相變化合金或就現有相變化合金進行摻雜改值是最常見的方法；摻雜及其對物理性質之影響是近幾年來相當受到重視的一項研究，但是真正能夠大幅提升其特性的摻雜元素卻極少。

既往文獻中顯示，當 GST 在經過多次循環記錄之後，Te 元素會發生偏析 (Segregation) 而使得相變化從可逆 (Reversible) 變成了不可逆 (Irreversible)，而使記憶效果消失，故須開發新型的元素摻雜以期對 GST 之改質有更明顯之效果。本計劃研究選擇在負電度 (Electronegativity, χ) 與 Ge、Sb 與 Te 有相當差距的金屬元素進行摻雜，期望能藉此達到抑制 Te 偏析之效果，並藉此改善其熱穩定性與資料保存能力等性質，以了解其於 PRAM 之應用可行性。此外，成長型的 AIST 合金擁有著儲存容量大及快速擦拭的優點，其應用在 PRAM 之可行性也為諸多學者所探討，故亦以所自組之即時電性量測系統量測不同組成的 AIST 之奈米複合薄膜之電阻特性隨溫度之變化，代入 JMAK 理論中分析其在不同膜厚下相變化過程之結晶成長機制。同時，藉由一簡易的環型 PRAM 元件來量測相變化轉換所需之臨界電壓 (V_{th})，以驗證其應用於 PRAM 之可行性。

第三章

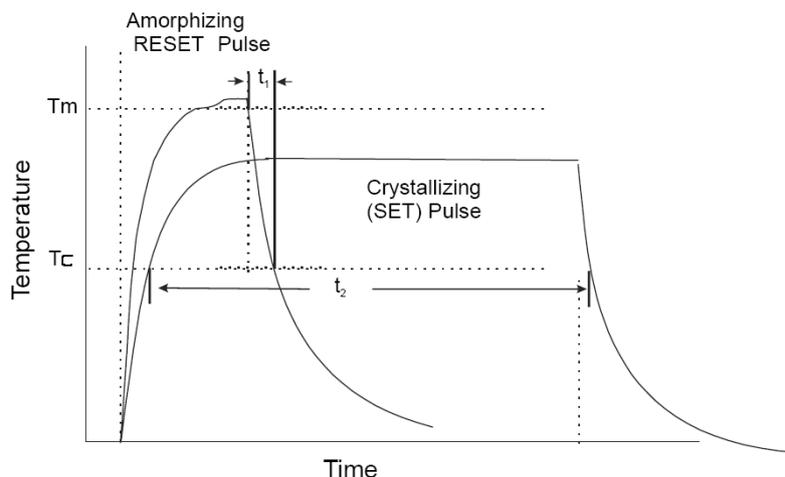
文獻回顧

3-1、記憶體元件的發展

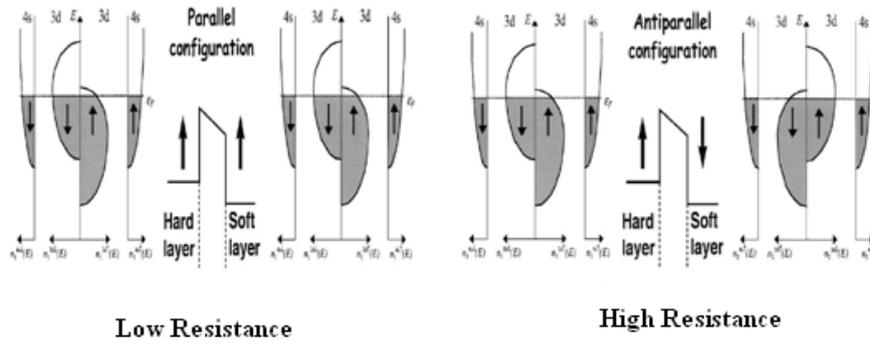
目前使用最廣泛的記憶體，不外乎就是靜態隨機存取記憶體 (Static Random Access Memory, SRAM)、動態隨機存取記憶體 (DRAM) 及快閃式記憶體。SRAM 及 DRAM 乃屬於揮發性記憶體 (Volatile Memory)，在讀寫過程中需供給一定的電流來保存資料。快閃式記憶體屬於非揮發性記憶體，不需供給電流就可以永久保存資料，但其有需要微秒 (μsec) 寫入時間的缺點。為了同時具有快速的讀取速度及非揮發的特性，各種新世代的記憶體遂蘊育而生，如相變化記憶體 (PRAM)、磁阻式記憶體 (Magnetoresistive Random Access Memory, MRAM)、鐵電記憶體 (Ferroelectric Random Access Memory, FeRAM)、電阻式記憶體 (Resistive Random Access Memory, RRAM) 等。

PRAM 係利用硫屬合金，即 Ge、Sb、Te 等元素組成之合金，做為元件之核心記錄材料，利用加熱使其產生結晶相與非晶相之轉換，利用兩相之間的電阻值差異來達成記錄之目的。PRAM 紀錄原理如圖一所示。

MRAM 的操作原理建立於巨磁阻 (Giant Magneto-Resistance, GMR) 或穿隧磁阻 (Tunneling Magneto-Resistance, TMR) 效應上，當電流由一磁性金屬薄膜穿過中央之非磁性金屬薄膜而到另一磁性金屬薄膜時，如果二磁性金屬薄膜具有相同的磁化方向，則整體電阻較小；反之，若二磁性金屬磁化方向相反，電子穿過三層薄膜時將受到較多的散射，因而電阻較高，利用此磁阻特性產生之高低電阻值差異來做為 0 與 1 記憶之效果，MRAM 紀錄原理如圖二所示。

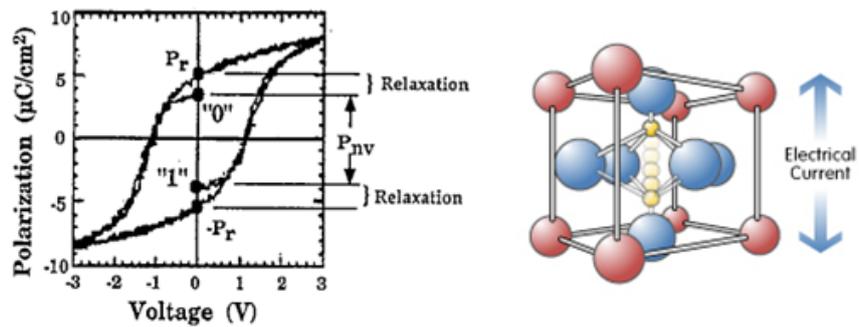


圖一、PRAM 記錄原理[1]。



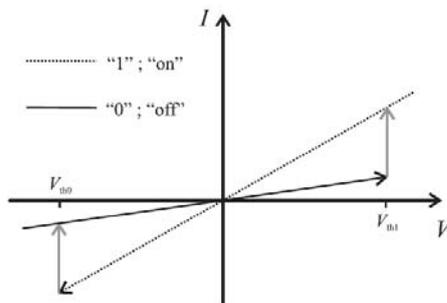
圖二、MRAM 記錄示意圖[2-3]。

FeRAM 其原理是利用鐵電薄膜的電滯效應進行電荷儲存功能。鐵電薄膜在沒有外界電壓的情況下，因晶體原子結構相對位置的不對稱性產生自發極化（Spontaneous Polarization）現象，該自發性極化的方向會隨著電場方向改變而改變，以提供 0 與 1 的兩種狀態來達到記錄效果；其記錄原理如圖三所示。



圖三、FeRAM 記錄示意圖[4-5]。

RRAM 記憶原理是利用外加一個正或負電壓使其產生電阻值之差異來達到記錄之效果。當我們施加一個外加正電壓且此電壓已超過電阻轉換之臨界電壓時，其電阻將會轉換成低電阻的狀態，反之，當我們施加一個負電壓時，其電阻將會轉換成高電阻的狀態。利用高低電阻之差異來作為 1 與 0 之記憶效果；RRAM 記錄原理如圖四所示。



圖四、RRAM 記錄示意圖[6-7]。

表一為目前最常見之各式記憶體發展的特性比較[8]，其中包含了上敘所提及的 PRAM、MRAM 及 RRAM 還有目前市面上最常見的 DRAM、SRAM 及 Flash 等，其分別對其元件大小、揮發特性、讀寫時間、相對成本之多寡以及是否為破壞性讀取等特性做了一系列之比較。

表一、各式記憶體之比較[8]。

| | DRAM | SRAM | FLASH | PRAM | MRAM | RRAM |
|--------------------------|--------------------|---------------------|---------------------------|--------------------------|--------------------|--------------------|
| Cell Size | Small | Large | Small | Small | Small | Small |
| Volatile/Nonvolatile | Volatile | Volatile | Nonvolatile | Nonvolatile | Nonvolatile | Nonvolatile |
| Endurance (read/write) | ∞/∞ | ∞/∞ | $1E^6/\infty$ | $>1E^{12}/\infty$ | $>1E^{12}/\infty$ | $>1E^{12}/\infty$ |
| Read | Destructive | Partial Destructive | Non-Destructive | Non-Destructive | Non-Destructive | Non-Destructive |
| Director Over Write | Yes | Yes | No | Yes | Yes | Yes |
| Bit/Byte Write/Erase | Yes | Yes | Block | Yes | Yes | Yes |
| Write/Read/Erase Time | 50 ns/50 ns /50 ns | 8 ns/8 ns /8 ns | 1 μ s/1-100 ms /60 ns | 10 ns/50 ns /20 ns | 30 ns/30 ns /30 ns | 10 ns/20 ns /30 ns |
| Read Dynamic Range | 100-200 mV | 100-200 mV | Delta Current | 10X-100XR | 20%~40%R | ? |
| Transistor | Low Performance | High Performance | High Voltage | High Performance | High Performance | High Performance |
| CMOS Logic Compatibility | Bad | Good | OK, but require high V | Good, but require high V | ? | OK |
| New Material | Yes | No | No | Yes | Yes | Yes |
| Scalability Limits | Capacitor | 6T | Tunnel oxide | Litho | Current Density | ? |
| Multi-bit Storage | No | No | Yes | Yes | No | Yes |
| Relative Cost per Bit | Low | High | Medium | Low | ? | Low |

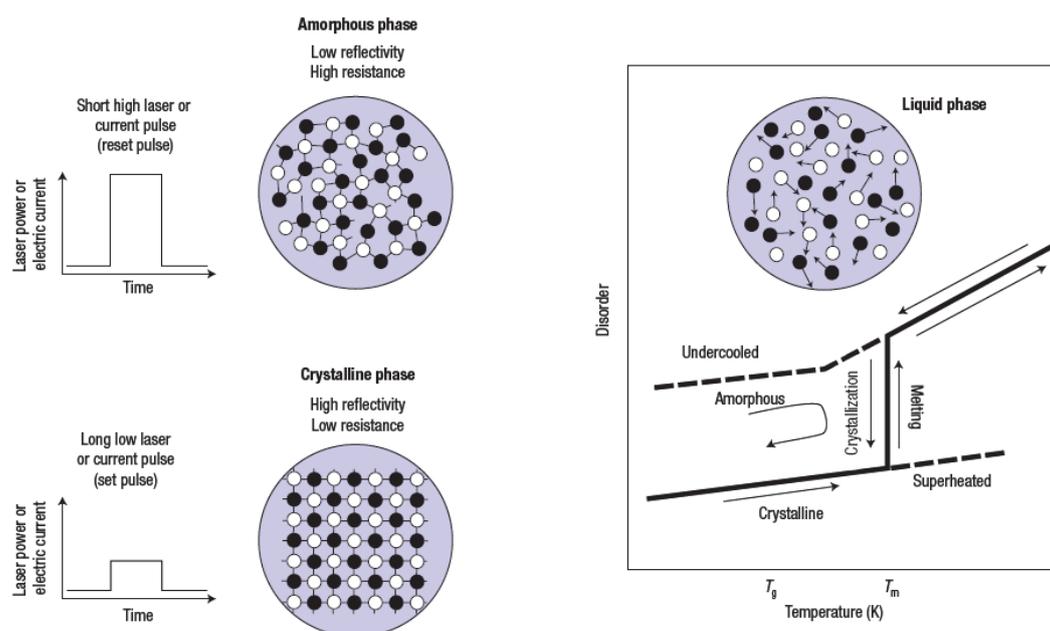
3-2、PRAM 之原理

Chalcogenides 之記錄功能係在 1960 年由 S.R. Ovshinsky 首先發現[9]，故 PRAM 又被稱為 OUM (Ovonic Universal Memory)，為利用化合物中的結晶態與非晶態之間的電阻值差異來做為記錄效果。訊號寫入和消除的方式是利用電流加熱或是脈衝的方式，使其由非晶態轉換成結晶態達到寫入的效果，反之，欲消除的話必須施予一更大的能量使其由結晶態再轉換成為非晶態的狀態，達到消除的

目的，其原理已如圖一所示。

當我們在記錄操作時，欲由非晶態轉換成結晶態時，即由 0 轉變為 1 時，所施予之能量範圍必須介於 Chalcogenides 之熔點 (Melting Point, T_m) 以下, T_c 以上, 保持一段時間使其發生結晶, 來達到寫入 1 之效果; 反之, 欲由 1 轉變為 0 時, 所需施予之能量範圍必須大於 Chalcogenide 之 T_m 以上, 使其由結晶狀態轉換成短程有序之液態, 然後快速冷卻 (或淬火, Quench), 讓原子來不及成為長程週期排列, 維持在非晶態而達到記錄消除之目的。

圖五為資料寫入(Write)及擦拭(Erase)之示意圖, 當我們施予一高能量的雷射或脈衝時, 因其能量所產生相對應之溫度已經超過材料的 T_m , 將會使原子的排列呈現短程有序的狀態 (即非晶態), 在脈衝或雷射消除的同時, 相當於是做了淬火 (Quench) 的效果, 如圖五所示, 就不會有結晶相的產生, 使得在一般常溫下可以出現非晶態, 而達到消除訊號之目的。至於要寫入訊號時, 只需降低雷射或脈衝的能量, 使其能量所產生相對應之溫度介於 T_c 以上, T_m 以下, 就可使原子利用熱運動擴散, 形成長程有序的原子排列, 來達到紀錄效果。

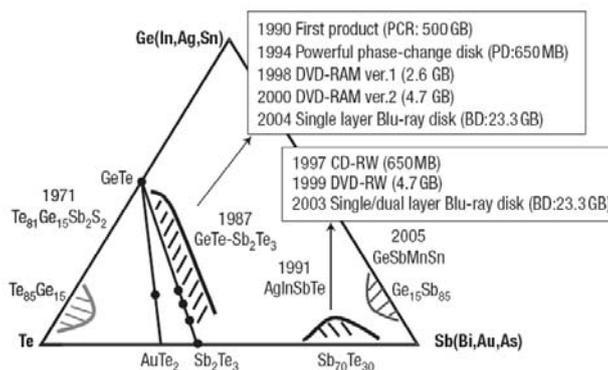


圖五、資料寫入 (Write) 及擦拭 (Erase) 之示意圖[10]。

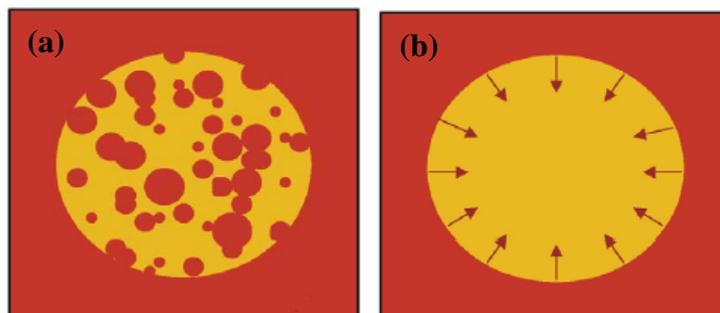
在相變化記錄材料方面, 目前是以 GeSbTe 合金、SbTe 合金以及 AgInSbTe (AIST) 合金最被廣泛研究。特別是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 合金最被眾研究者所看好且期待成為記憶體之材料。大部分的記錄材料都是以這三種合金為基地, 然後再靠著改變成分比例或是藉由摻雜其它合金元素來改善其特性。圖六為各成分比例的相變化記錄材料發展狀態。

相變化紀錄材料若是根據成核速率的快慢來分類, 可分為兩大類: 一為成核型材料 (Nucleation-dominated) 另一為成長型材料 (Growth-dominated)。成核型

材料顧名思義，在結晶過程中具有快速成核的特性，如： $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 等，而成長型材料則是在相變化過程中具有快速成長的特性，此材料大多以 SbTe 合金為基礎作摻雜，如： AgInSbTe 、 GeInSbTe 等。成核型材料在結晶時，會先在非晶區的中間形成小小的結晶核，然後成長擴散開來。而成長型材料在結晶時，會從結晶相與非晶相的介面開始，往曲率中心移動完成結晶，不會有結晶核的產生；成核型及成長型材料之結晶相變化過程如圖七所示。

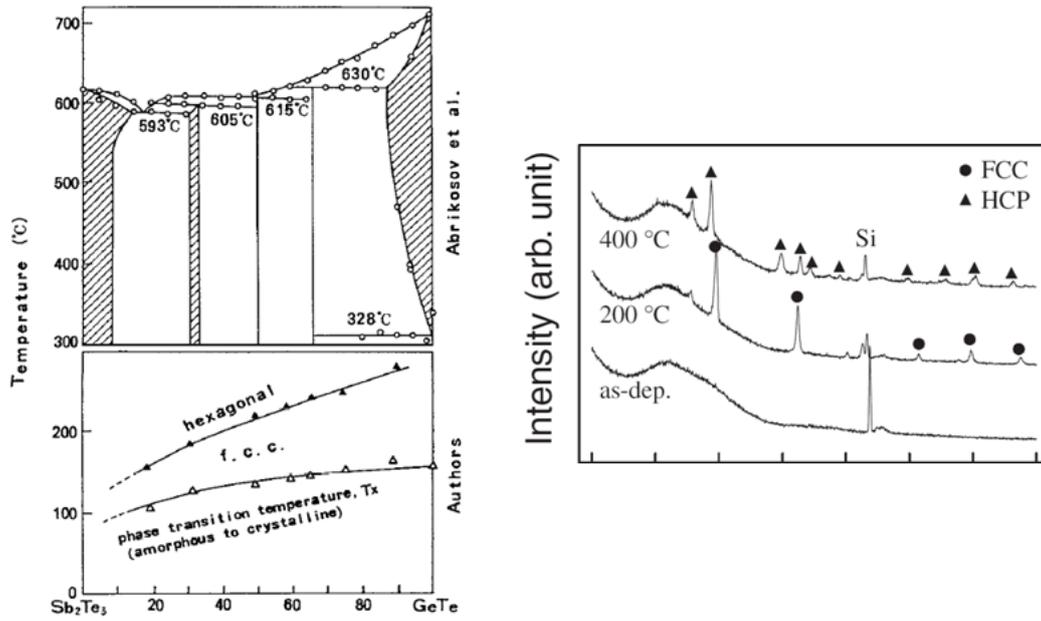


圖六、各種相變化記錄材料之發展狀態[10]。

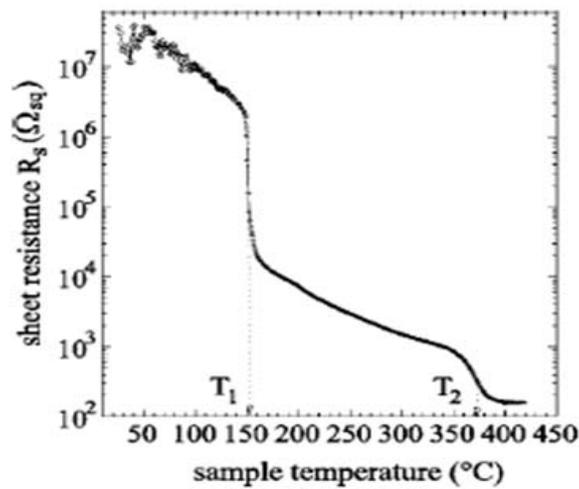


圖七、(a) 成核型材料及 (b) 成長型材料之結晶相變化過程示意圖[11]。

由於 GST 具有高的熱穩定性 ($E_a > 2 \text{ eV}$)、快速結晶的特性 (結晶速率 $\leq 50 \text{ nec}$) 以及高覆寫次數 ($\geq 10^5$) 而成為 PRAM 中最常見的材料。GST 具有兩種結晶結構，一為介穩態的面心立方 (Face-centered Cubic, FCC) 結構，另一為高溫穩定相的六方晶 (Hexagonal) 結構[12-13]。如圖八所示，在剛鍍製完時，GST 一般為非晶態，當加熱至 200°C 時，其會由非晶態轉換成 FCC 相，進一步加熱至 400°C 時，則會由 FCC 相轉變為六方晶相。由圖九電阻率對溫度的變化圖中，在 150 及 350°C 會有一段陡峭的電阻率改變，此乃結構上的變化而導致電阻率會有急遽的下降。

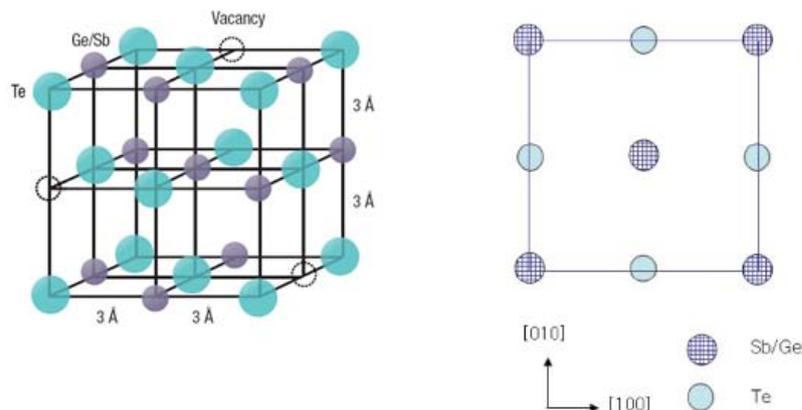


圖八、不同溫度狀態下之結構示意圖[12-13]。



圖九、電阻率跟溫度之關係圖[14]。

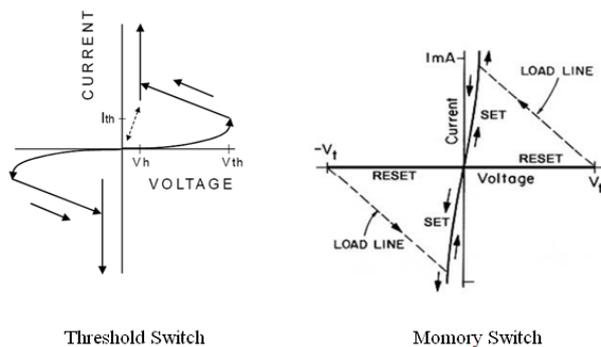
Yamada[10]提出 GST 的原子在 FCC 介穩相中之排列方式，如圖十所示。其中 Te 原子佔據了 4a 的位置，Ge、Sb 與 20%的空位 (Vacancy) 佔據了 4b 的位置。即 Te 原子作 FCC 排列，Ge、Sb 與 20%的空位則填入 FCC 的八面體格隙 (Octahedral Site, O-site) 中。



圖十、FCC 介穩相中原子排列方式[10]。

3-3、 Ovonic Switch [9、15]

含硒 (Se)、Te 等週期表第六族元素之 Chalcogenides 會有存在一種臨界轉換的現象，此種轉換的現象可以根據是否需要給予一臨界電壓來區分，可分為臨界轉換 (Threshold Switch) 跟記憶轉換 (Memory Switch) 兩種，如圖十一所示。



圖十一、臨界轉換及記憶轉換之 $I-V$ 曲線[15]。

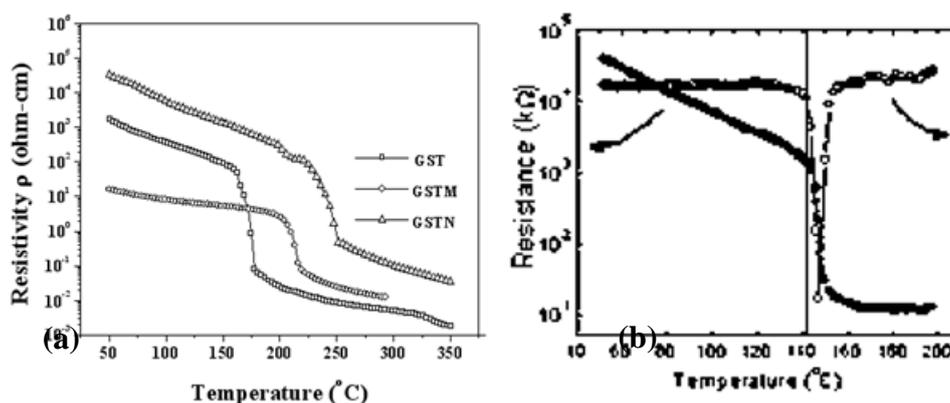
記憶轉換跟臨界轉換最大的差異就在於記憶型材料由低導電度轉換至高導電度時，不需要一個最小之臨界電壓維持著就可以一直保持在高導電度的狀態，而臨界型材料則否。

3-4、 GST 之摻雜 (Doping)

改善 Chalcogenides 的特性，如 T_c 、覆寫次數、轉換電流大小等有許多的方法，其中最簡單也最有效的方法就是摻雜微量合金元素，也是目前最多人使用的方法。利用氣體反應式濺鍍，如氮 (N_2) 和氧 (O_2) [16-17] 已經有許多研究者討論過。摻雜的目的最主要就是要增加合金之 T_c 、熱穩定性，提升 Retention Time。早期之摻雜主要都是運用於相變化光碟 (Phase-change Optical Disks)，用於提升光反射率之對比，如鉍 (Bi) [18]、錫 (Sn) [19-20]、銦 (In) [21] 之添加皆可有效提升結晶相與非晶相之間的光對比，使訊號讀寫更清楚。但鉍 (Bi)、

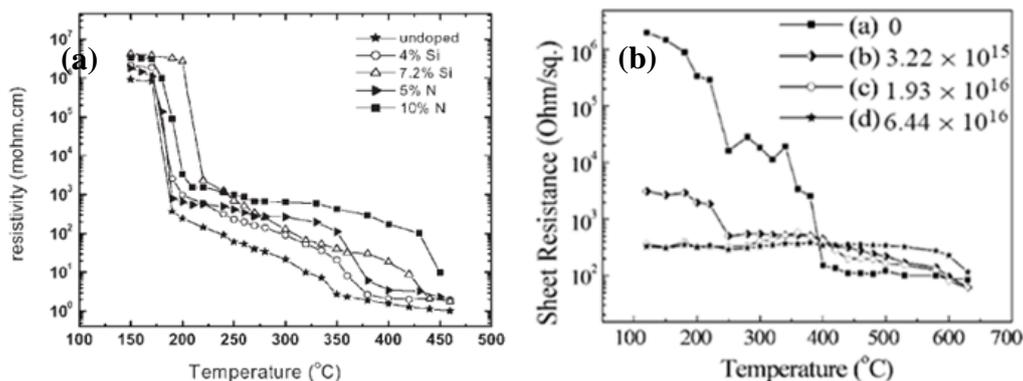
錫 (Sn)、銦 (In)、銀 (Ag) 之添加對 T_c 之影響則非常有限。能夠有效提升 T_c 及循環覆寫次數的添加物首推 N_2 ，其歸因於 N_2 會在晶界形成氮化物析出，使晶粒細化，抑制了再結晶的進行[22]； O_2 之添加亦是如此[22-23]。近年之研究亦有人添加矽 (Si) [24]、二氧化矽 (SiO_2) [25]、硼 (B) [26]、鐵 (Fe)、鋅 (Zn) [27]等，但其已經不是為光記錄媒體之應用，而是轉而作為 PRAM 之應用。

相關文獻發表至今除了 N_2 摻雜外，其 R -ratio 都會隨著雜質元素之添加而下降，沒有辦法同時讓 T_c 有明顯的增加且 R -ratio 保持在原本之值。圖十二 (a) 為摻雜 Mo 及 N_2 之 GST 電阻率對溫度的變化[28]，由圖可知摻雜 Mo 後因非晶態 GST 的電阻下降而使 R -ratio 下降，其數量級由未摻雜的 10^5 左右降到了 10^3 ，雖然 T_c 增加了，但是訊號的對比清晰度卻大打折扣。 N_2 的添加一般會同時增加非晶態與結晶態 GST 的電阻率，對 R -ratio 影響較小， T_c 的上昇可改善了材料的熱穩定性，有利於資料之記錄與保存。圖十二 (b) 為 GST 摻雜 SiO_2 的電阻率對溫度圖，其 R -ratio 也有發生下降的現象，一般來說未摻雜之 GST 其 R -ratio 數量級大約為 10^5 左右，摻雜了 SiO_2 之後下降到了 10^3 左右的大小。



圖十二、(a) 摻雜 N_2 或 Mo 之 GST 電阻率隨溫度變化之曲線圖[28]；(b) 摻雜 SiO_2 之 GST 之電阻率隨溫度變化圖[25]。

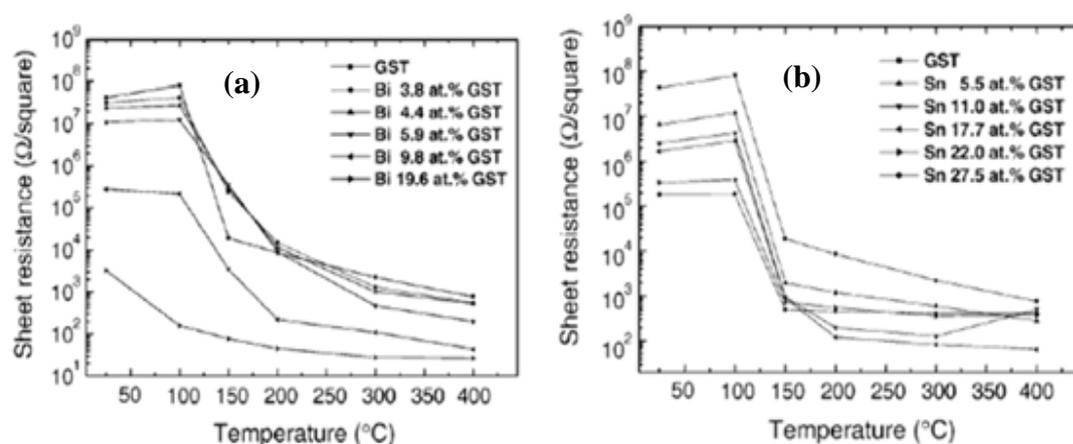
Si、B 之添加雖然會使 T_c 上升，但其 R -ratio 亦會隨 Si、B 之添加量上升而發生下降的現象，如圖 2-16 所示。圖十三 (a) 為摻雜 Si 元素之 GST 電阻率隨溫度的變化曲線。摻雜 Si 元素之後，其 R -ratio (只比較第一階段由非晶相轉換為 FCC 相之相變化的電阻比值) 會由 10^5 降至 10^4 左右。圖十三 (b) 為 GST 摻雜不同濃度之 B 原子之片電阻對溫度變化圖，隨 B 原子摻雜量越高，片電阻比值明顯地下降，B 含量過高時其比值幾乎降為零，此將使訊號讀取發生困難。



圖十三、(a) 摻雜 Si、N₂ 後，電阻率隨溫度變化之曲線圖[24]；(b) 摻雜不同濃度 B 後，其電阻率隨溫度變化之曲線圖[26]。

Bi 及 Sn 的添加對於早期在光碟上的應用助益頗大，因為 Bi 或 Sn 添加後可以有效地提升光對比，讓光訊號增強，使光碟資料讀取上可以更清晰。而 Bi、Sn 之添加，應用於電的特性上卻產生相反的效果。 T_c 會隨 Bi、Sn 添加量增加，而下降，使資料無法長時間儲存。Bi、Sn 添加量增加亦使 R -ratio 下降，使在資料判讀之困難度增加，圖十四為不同濃度的 Bi 及 Sn 的摻雜對電阻性質之影響。

一般而言，摻雜適量的 N₂ 可以使 T_c 上升、 E_a 上升，並使 R -ratio 保持在幾乎相同級數的大小，對 PRAM 上的操作有很大的改善。O₂、SiO₂、Mo、Si 的添加雖然可以使 T_c 及 E_a 上升，但是其 R -ratio 皆有下降的現象，使資料在判讀上的困難度增加。Bi、Sn 之添加雖然可以提升光對比，對光碟上的應用有一定程度的幫助，但在電這方面的運用會造成 T_c 的下降以及 R -ratio 的大幅下降，亦使得資料判讀困難度大增。表二為 GST 摻雜不同合金元素所產生之結晶溫度差異 ΔT_c 及活化能差異 ΔE_a 之比較。



圖十四、(a) Bi 及 (b) Sn 摻雜對 GST 之電阻性質的影響[29]。

表二、各摻雜元素對結晶溫度及活化能之影響。

| 摻雜元素 | 量測方法 | R-ratio | ΔT_c (°K) | ΔE_a (eV) | 參考文獻 |
|-------------------------|------|---------|-------------------|-------------------|------|
| 11.8 at.% N | DSC | 10^5 | 77 | 1.66 | 30 |
| 12.8 at.% O | DSC | 10^4 | 40 | 0.56 | 22 |
| 6.92 at.% Sn | DSC | 10^3 | -6.1 | --- | 29 |
| 4 at.% Si | DSC | 10^4 | 10 | 0.55 | 24 |
| 9 at.% Fe | 穿透率 | --- | 50 | -0.99 | 16 |
| 12 at.% Zn | 穿透率 | --- | 109 | 2.95 | 16 |
| 4.4 at.% Bi | 穿透率 | 10^3 | -2 | -1.51 | 18 |
| 3 at.% SiO ₂ | DSC | 10^3 | 10 | 1.2 | 25 |
| B | 電阻率 | 10^1 | --- | --- | 26 |
| 3.20 at.% Mo | 電阻率 | 10^3 | 35 | 1.7 | 28 |
| 3 at.% In | 穿透率 | 10^4 | 2 | --- | 21 |
| Se | DSC | 10^3 | --- | 2.65 | 31 |
| Ni | DSC | 10^1 | --- | 2.43 | 31 |

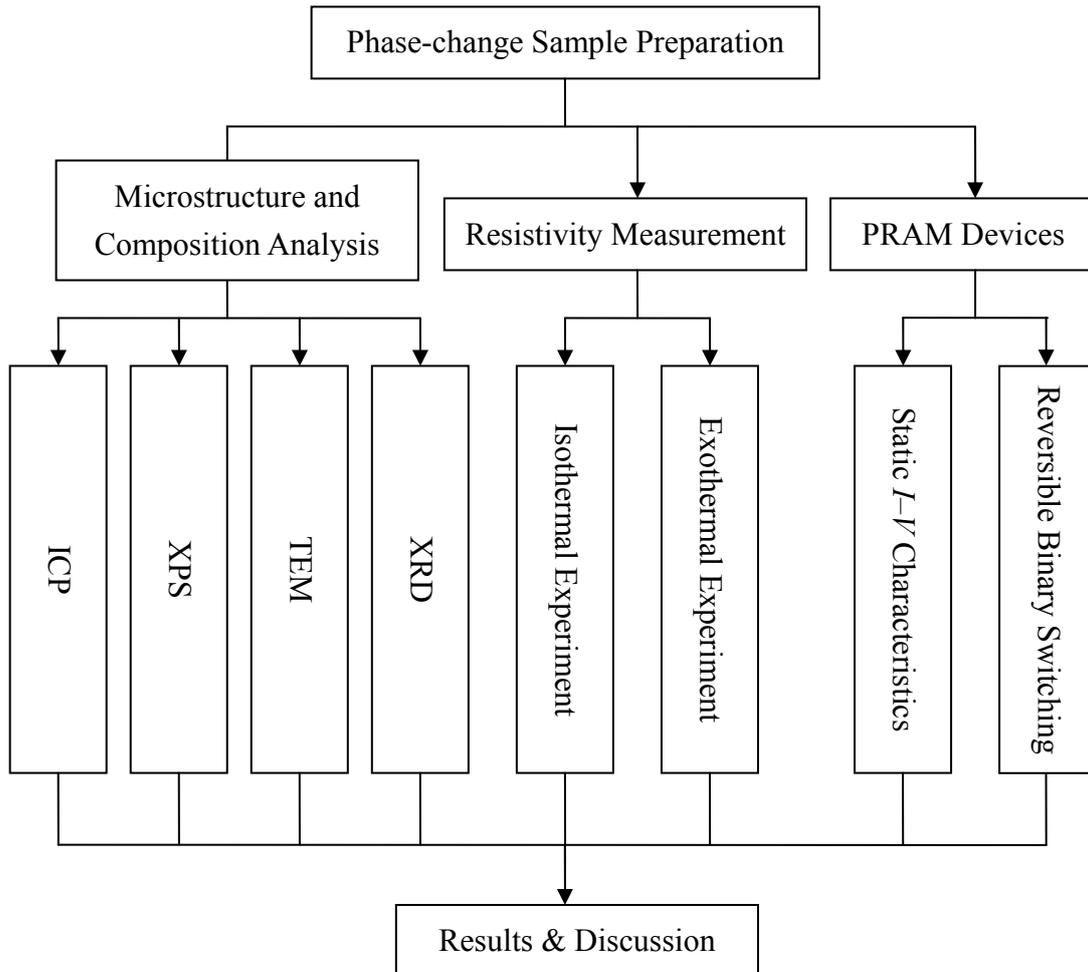
$$(\Delta T_c = T_{c-doped} - T_{c-pure} ; \Delta E_a = E_{a-doped} - E_{a-pure})$$

第四章

實驗方法及步驟

4-1、實驗流程

實驗方法及步驟如圖十五所示。



圖十五、實驗流程圖。

4-2、試片製備

n-型、(100) 矽晶圓先以溼式氧化法 (Wet Oxidation) 長成一層約 500 nm 厚的矽氧化物層。薄膜濺鍍係以自組的六靶濺鍍機進行，系統之背景壓力小於 2.0×10^{-6} torr，工作壓力為 3.0 mtorr；濺鍍時使用射頻磁控濺鍍 (RF Magnetron Sputtering)，濺鍍功率為 50 W，薄膜厚度控制在 150 nm。工作氣體為 Ar，流量為 10 sccm。表三為濺鍍之實驗參數及試片之實驗編號。

表三、試片之實驗參數與編號表

| Sample Designation | Dopants | Target type | Working pressure (mtorr) | RF power (W) |
|--------------------|---------|---|--------------------------|--------------|
| GST | --- | GST | 3 | 50 |
| GSTM | Mo | GST + 1 area% Mo | | |
| GSTN | N | GST + 3 % N ₂ /Ar gas flow | | |
| GST7C | Ce | GST + 7 area% Ce | | |
| AIST | --- | Ag ₂ In ₇ Sb ₆₄ Te ₂₇ | | |
| 85A15S | --- | 85 wt.% AIST + 15 wt.%SiO ₂ | | |

4-3、元素摻雜

摻雜是利用貼靶濺鍍法[28]進行，Mo 和 Ce 薄片先切成 0.6 cm×0.6 cm 之大小，一個金屬片面積約為 1%靶材面積，本實驗利用不同的貼靶數目完成不同濃度之摻雜。

4-4、XRD 分析

利用國家同步輻射研究中心 (National Synchrotron Radiation Research Center, NSRRC) 的 X 光繞射儀 (X-ray Diffractometer, M18XHF, Material Analysis and Characterization SRA) 做低掠角入射繞射 (Grazing-angle Incidence Diffraction) 分析，X 光來自 Cu-K_α 輻射 ($\lambda = 0.1504$ nm)，工作電流與電壓分別為 200 mA 及 50 kV，入射角度為 0.5°，掃描速度為 2°/min。

即時 XRD 量測則是在同步輻射 BL01C2 線上以 0.1033 nm 之 X-ray 波長進行之。同時試片被置入在具有 Ar 氣氣的載台中，同時固定 Mar 345 在 27 cm 高、入射角度為 1°的位置負責影像之收集。

4-5、TEM 分析

將 GST 薄膜鍍製在 KBr 錠上，利用 KBr 易溶於水之特性，將 KBr 溶解於去離子水中並用 500 mesh 銅網將之撈起 GST 薄膜即成為 TEM 試片。利用 Jeol 2100 及 Philips Tecnai F-20 TEM 進行微觀結構觀察。

4-6、ICP-MS 成分分析

將沉積在玻璃基板上之 GST 薄膜，利用感應耦合電漿質譜分析儀 (Inductively Coupled Plasma Mass Spectrometer, ICP-MS, Perkin Elmer, SCIEX ELAN 5000) 進行成分分析，以獲得貼靶數目所對應之 Ce 摻雜濃度關係。

4-7、XPS 分析

利用 X 光光電子儀 (X-ray Photoelectron Spectroscopy, XPS, Microlab350, VG Scientific) 來分析摻雜 N 和 Mo 原子所產生之鍵結狀態。圖譜之曲線配湊

(Curve Fitting) 係利用 XPSPEAK41 軟體進行之。

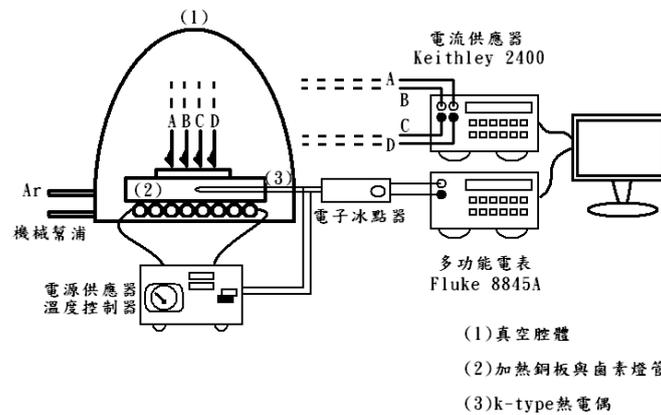
4-8、即時電性量測

GST 薄膜試片鍍製完成後，即置入自組之即時電性量測系統做升溫或恆溫實驗，即時電性量測系統之架構如圖十六所示。

片電組之量測是由並排且等距的四根探針所量測，最外側的 A 和 D 探針由 Keithley 2400 電源供應器供應固定的電流，而 B 和 C 探針量測此兩點間的電位差。利用電阻率 (Resistivity, ρ) 與電流 (I)、電位差 (V)、的關係式：

$$\rho = \frac{Vd\pi}{In2} \quad (3-1)$$

計算出電阻率並記錄電阻率又時間的關係，(3-1) 式中 d 為膜厚， π 為圓周率[73]。



圖十六、即時電性量測系統之架構示意圖。

4-9、Kissinger 分析

將已鍍製完之試片以六個不同的升溫速率 (1、2.5、5、10 及 16°C/min) 加熱，記錄時間對溫度、時間對電阻的關係，並將此兩組記錄轉換成溫度對電阻的關係。取得 $\rho-T$ 曲線後，利用微分的方式求得 $\frac{d\rho}{dT}-T$ 曲線，得到電阻率最大的溫度，也就是 Kissinger 方程式中的 T_{\max} ，將此溫度定義為 T_c ，再利用 Kissinger 方程式求得活化能 E_a 。

4-10、JMA 分析

結晶分率的計算方法是將試片以恆溫退火，記錄電阻率隨時間的變化，再將之轉換為結晶分率。恆溫溫度是以 5°C/min 時的結晶溫度往下降 10°C 作為恆溫退火之溫度。將試片以 5°C/min 的速度升溫到所設定的溫度，記錄電阻率對時間

的變化。利用 $x(t) = \frac{R(t) - R_a}{R_c - R_a}$ ，將電阻率轉換成結晶分率，代入 JMA 理論計算 Avrami 指數 (n)

4-11、Retention Time 分析[32]

Retention Time 之量測與恆溫實驗相似，其係將試片置於即時電性量測系統中，在一固定之加熱溫度下量測電阻率隨時間的變化，記錄其電阻率降至初始值的一半時所需要的時間 ($t_{1/2}$ = Time of Failure)，之後改變試片加熱溫度，重複

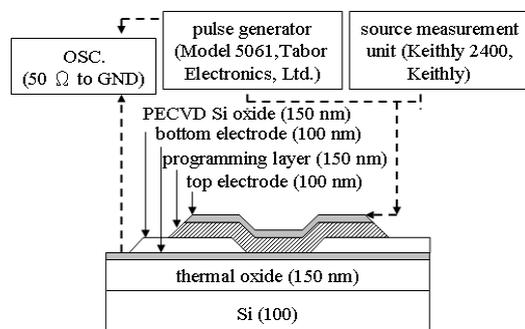
上述實驗並記錄對應之 $t_{1/2}$ ，假設 $t_{1/2}$ 隨溫度之變化關係符合 Arrhenius 方程式，

$t_{1/2} = t_0 \times \exp\left(\frac{E_a^f}{k_B T}\right)$ ，則由 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖之斜率即可求得 E_a^f 。測試溫度是選擇

T_c 以下 30°C 範圍內的四個溫度進行之。

4-12、Ovonic Switch 性質分析

$I-V$ 特性量測係利用自行組裝是靜態量測系統量測 5 μm 圓型孔洞 GST 相變化區域所需之電壓及電流大小，圖十七為系統及元件之示意圖。



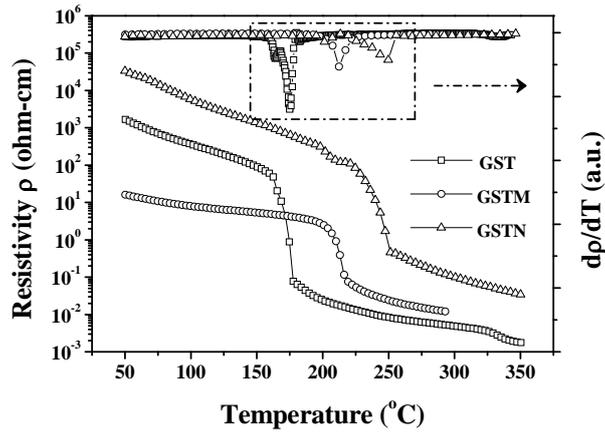
圖十七、靜態量測系統與元件結構之示意圖。

第五章

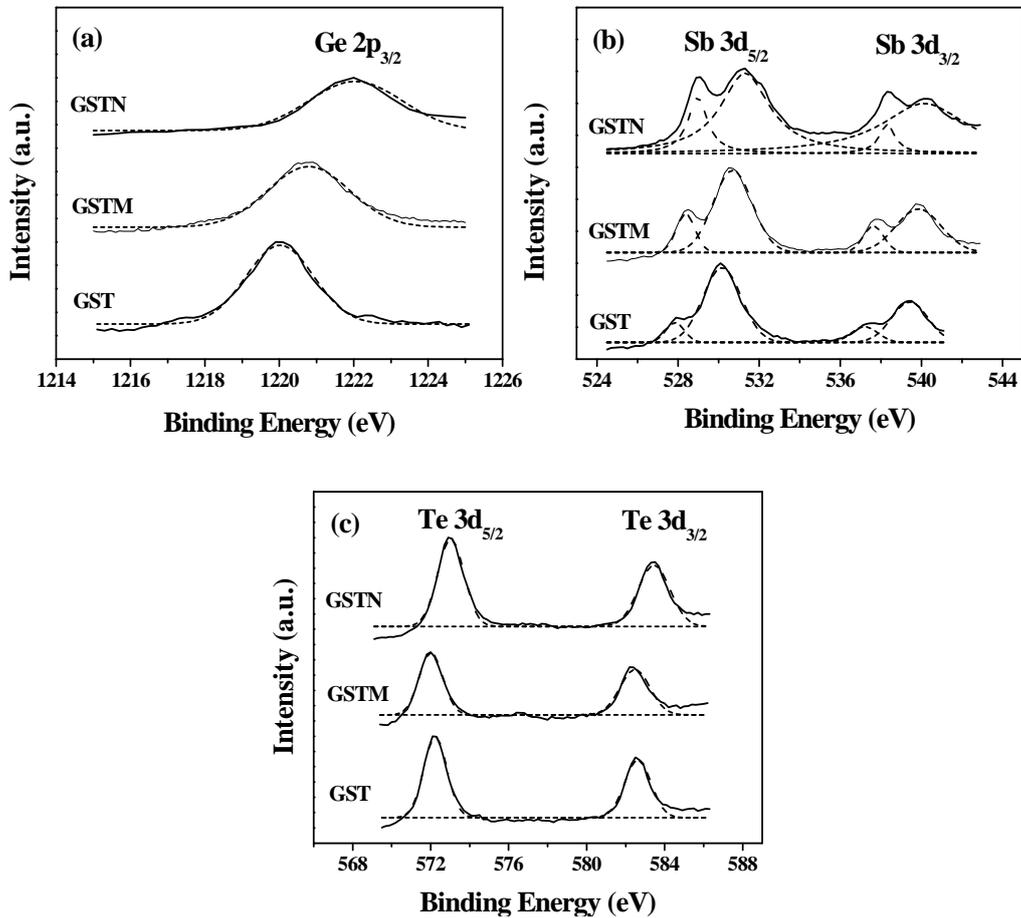
結果與討論

5-1、Mo 和 N 摻雜 GST

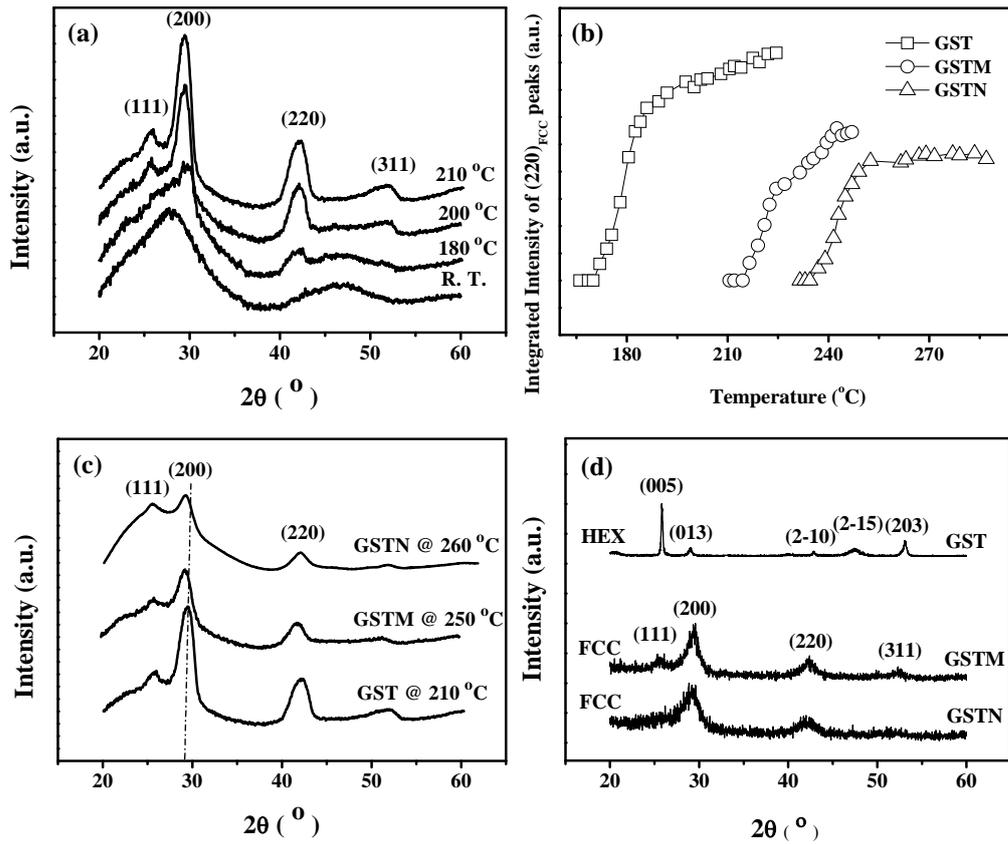
本計劃以即時電氣量測系統觀察 GST 和 GST 摻雜鉬 (GSTM) 和氮 (GSTN) 相變化行為。圖十八所示為 GST, GSTM 和 GSTN 薄膜之電阻率及其微分曲線對溫度之變化。即時電氣量測結果顯示以金屬元素-鉬摻雜會造成 GST 薄膜整體電阻率的降低，而以氮摻雜則提高 GST 薄膜非晶態和晶態的電阻率，但卻仍保持和 GST 薄膜相當的非晶態與晶態的電阻率差距。此外從圖十八中觀察到添加鉬與氮使得 T_m 隨之提昇。由圖十九 XPS 分析結果可知，具高電負度的氮摻雜與週遭之原子產生較大的電負度差，而使得 GSTN 薄膜具有更強的原子鍵結組態。圖二十之 XRD 和圖二十一 TEM 兩項分析結果具體證實了鉬和氮元素的摻雜均具有穩定非晶態的效果，同時導致在再結晶過程中晶粒細化的現象。圖二十 (d) XRD 的分析結果中顯示鉬和氮的摻雜抑制了六方最密堆積 (HCP) 結構的生成，使成為從非晶態轉換到面心最密堆積 (FCC) 結構的一階段相變化過程而非原先 GST 薄膜之兩階段相變化行為 (Amorphous-FCC-HCP)。表四所示之 Kissinger 分析結果亦顯示經摻雜鉬與氮後的 GST 薄膜在相轉化過程中之 T_c 和 E_a 亦隨之增加，此結論和 XRD 和 TEM 分析結果相符合。本研究亦利用 Percolation Model 來推論其成長方向，其中以 Wiener upper bound model 最接近實驗數值所計算出來的結果 (如圖五所示)。進一步由 JMA 理論計算所得之數值 (如表五所示) 來看，當添加鉬和氮後 n 值呈現下降的趨勢，即呈現成長維度下降的結果，此結果提供異質成核存在的證據。若總合上述之結果，則可歸納出摻雜物質添加，增加了異質成核的機會，同時外界與試片的界面為預先成核之位置，且接著隨著垂直試片表面方向往內部一層一層的成長。



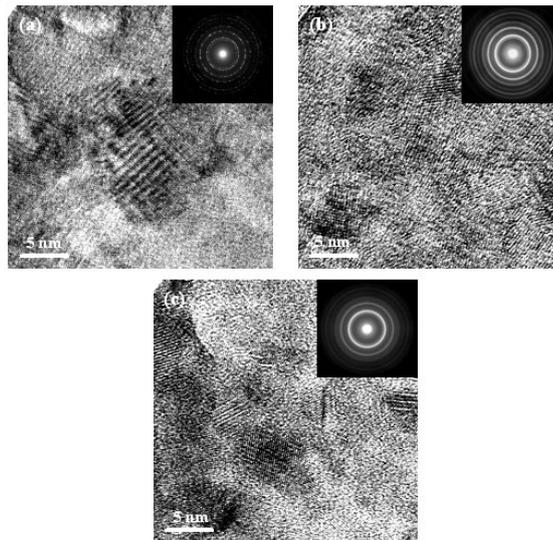
圖十八、GST、GSTM 和 GSTN 薄膜之電阻率及其微分曲線對溫度之變化。(升溫速度 = 5°C/min)



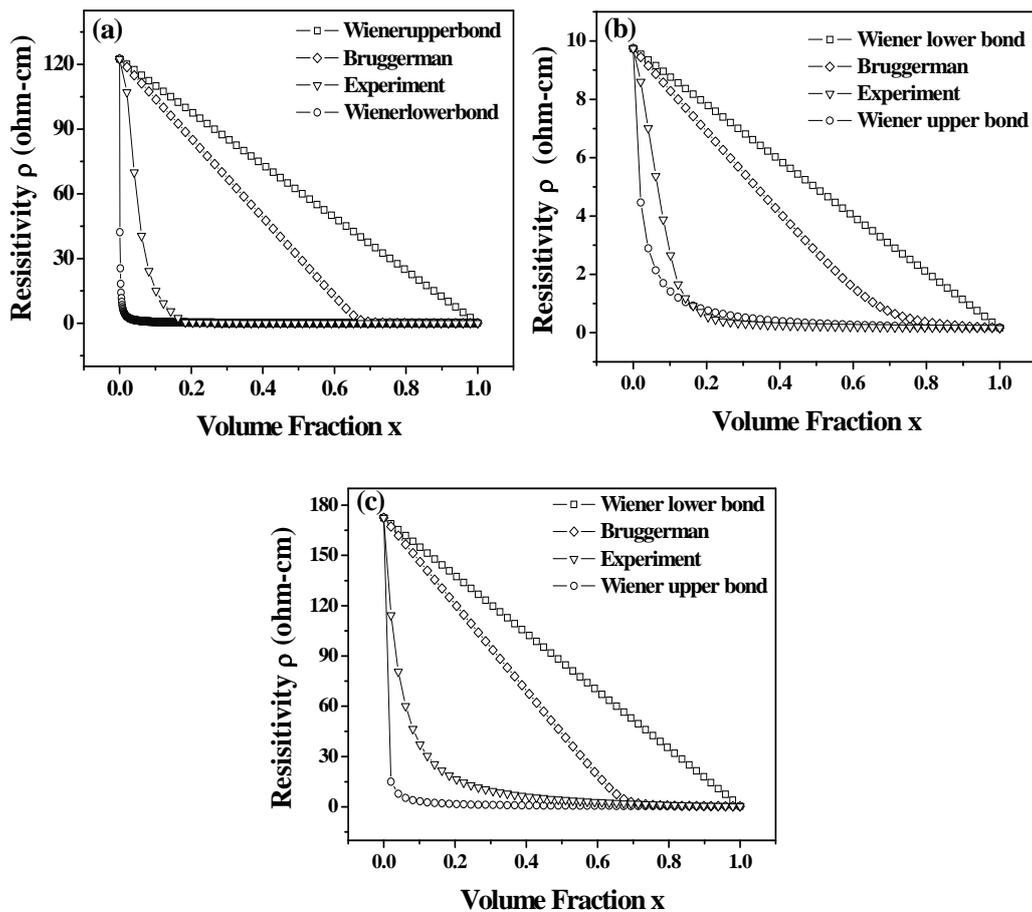
圖十九、為 GST 在 170°C、GSTM 和 GSTN 在 230°C 退火一小時後所得 (a) Ge 2p (b) Sb 3d (c) Te 3d XPS 圖譜。



圖二十、(a)GST 之即時 XRD 圖譜。(b)將即時 XRD 分析所得，針對 $(220)_{FCC}$ 峰所做積分值對溫度之關係圖。(c) GST, GSTM 和 GSTN 試片結晶相之 XRD 圖譜。(d) GST, GSTM 和 GSTN 試片在 350°C 退火一小時之 XRD 圖譜。



圖二十一、為(a)GST 在 170°C 、(b)GSTM 在 230°C 和 (c)GSTN 在 230°C 退火一小時後所得之微觀結構。



圖二十二、為(a)GST、(b)GSTM和(c)GSTN 實驗值與其它三種 Percolation 模式之數值計算之比較圖。

表四、由 Kissinger 理論所求得 GST，GSTM 和 GSTN 之 E_a 值。

| Sample | GST | GSTM | GSTN |
|------------|------|------|------|
| E_a (eV) | 2.55 | 4.28 | 3.77 |

表五、由 JMA 理論所求得 GST，GSTM 和 GSTN 之 n 和 ΔH 值。

| Sample | GST | GSTM | GSTN |
|-----------------|------|------|------|
| n | 2.48 | 1.64 | 1.65 |
| ΔH (eV) | 2.99 | 4.92 | 4.55 |

5-2、Ce 摻雜 GST

圖二十三顯示經 300°C 以上之退火後，純 GST 薄膜轉為 FCC 相，升溫至 350°C 後，則轉變為六方晶相 (JCPDS 89-2233)。至於摻雜 Ce 之 GST 薄膜，由 XRD 繞射峰之高度變化可知，Ce 摻雜濃度愈高，結晶相愈不容易出現，要使 GST 結晶即須提高退火溫度，結果顯示 Ce 之摻雜可以穩定非晶態之 GST。Ce 摻雜之 GST 薄膜經 350°C 退火後亦不會轉變為六方晶相，顯然 Ce 之摻雜能抑制六方晶相。XRD 圖譜亦顯示，當 Ce 摻雜濃度越高時，繞射峰之半高寬愈寬，得知 Ce 摻雜具有細化晶粒之效果，此結果亦由圖二十四之 TEM 分析證明之。

圖二十五所示為 GST 和 GST7C 薄膜之電阻率及其微分曲線對溫度之變化。從圖一中觀察到添加鉬與氮使得 T_c 隨之提昇。當 Ce 摻雜濃度越高時，所對應之 T_c 也越高，推測其原因為，Ce 以固溶狀態摻雜於 GST 晶格中，由固溶強化 (Solid Solution Strengthening) 的原理[67]，原子尺寸的差異所引發的應力場阻礙了原子的重新排列而提高了 T_c ；另一個可能原因為 Ce 是負電度 (Electronegativity) 較低的元素 ($\chi_{Ce} = 1.12$)，與負電度較高的 Ge ($\chi_{Ge} = 2.01$)、Sb ($\chi_{Sb} = 2.05$)、Te ($\chi_{Te} = 2.10$) 等可產生鍵結能較強的離子鍵結，此擾亂了 GST 中原來之分子鍵結，異種鍵結的導入成為再結晶過程中鍵結重整的阻礙因而提高了 T_c 。圖二十五顯示 Ce 的摻雜除能提高 T_c 之外，最重要的特徵是，無論 Ce 之摻雜濃度為何，退火前之電阻率 (即 GST 仍為非晶態時) 並無明顯降低，其室溫電阻率依舊是維持在約 $10^3 \Omega\text{-cm}$ ，因退火後之電阻率 (即 GST 仍為結晶態時) 亦無所改變，故所有摻雜試片之 R -ratio 均能維持在 10^5 左右，並不如既往文獻報導之元素摻雜會提高非晶態 GST 導電率而使 R -ratio 下降[16-20]。此一與既往研究迥異之現象顯示 Ce 之摻雜不僅可提升 T_c ，亦可維持記錄訊號之對比清晰度，此一發現對 PRAM 材料與高儲存密度元件之開發預期將有重大意義。

表六所示之 Kissinger 分析結果亦顯示經摻雜 Ce 後薄膜在相轉化過程中之 T_c 和 E_a 亦隨之增加，此結論和 XRD 和 TEM 分析結果相符合。GST 元素摻雜濃度越高， n 值下降的趨勢在摻雜 O_2 與 N_2 的 GST 研究中亦被觀察到[29、77]，此一結果我們歸因於異質成核效應。在 JMAK 理論推導假設相變化以均質成核 (Homogeneous Nucleation) 的過程進行，但摻雜提供了異質成核優先位置，而促成相變化循異質成核之途徑進行，此一效應因新相會在晶界或缺陷位置優先成核，一般會降低成核活化能 (E_n)，也會改變成長活化能 (E_g) 或新相成長時之維度，故 n 值會因摻雜而改變。本實驗室在先前摻雜 Mo[28] 元素的 GST 研究亦發現相似的現象，隨著 Mo 摻雜的濃度升高， n 值有下降的趨勢。

如表七所列， ΔH 值為 E_n 跟 E_g 之總和，若 GST 之再結晶係循異質成核過程進行，相變理論顯示 E_n 值會降低，且 n 值之下降亦有利於 ΔH 值之下降，但表七卻顯示 Ce 的摻雜提高了 ΔH 值，由此可推論得 Ce 的摻雜大幅提升了 E_g 值；XRD 分析結果顯示著 Ce 的添加可穩定非晶態 GST，Kissinger 分析也顯示了 T_c 與 E_a 值之升高，摻雜於 GST 中的固溶 Ce 原子導致了離子鍵結，此闡釋 Ce 的摻雜形成了再結晶過程的阻礙，也印證了其所導致的固溶強化效應。

由圖二十六可看出 Ce 摻雜濃度越高時，在相同失效時間下(假設為 10 年)，GST 所能容忍的溫度也就越高；例如，使用未摻雜之 GST 只能在 76°C 以下的環境溫度下保存記錄資料 10 年，但使用 Ce 摻雜濃度為 7% 貼靶濺鍍面積比之 GST 在 170°C 以下的環境溫度下保存記錄資料 10 年，此一結果顯示 Ce 摻雜可以有效地提升資料保存能力與保存時間，應用於 PRAM 中時可提升元件所能承受之溫度。表八為不同 Ce 摻雜濃度之 GST 的資料保存 10 年所能承受的最高溫度與

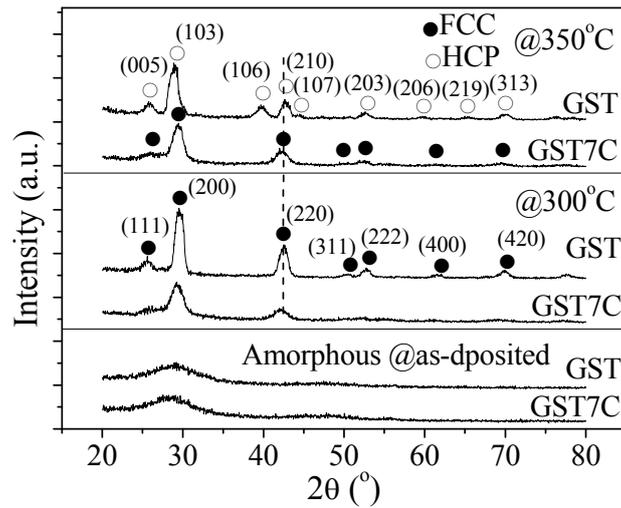
活化能 E_a^f 值之表列。Arrhenius 方程式， $t_{1/2} = t_0 \times \exp\left(\frac{E_a^f}{k_B T}\right)$ ，所算出來之活化

能 E_a^f 代表結晶時所需克服之活化能障的大小， E_a^f 越大，結晶所需克服之活化能

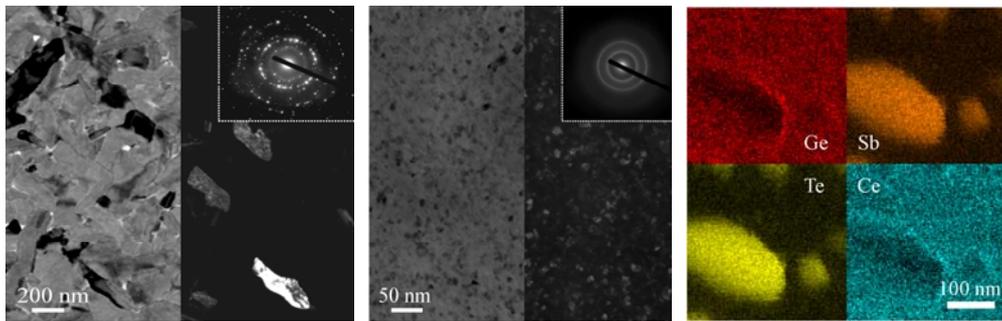
也就越大，記錄保存效果也就越好，越不易失效。反之， E_a^f 越小，記錄保存效

果愈差，在高溫環境下原子之熱擾動能克服較低的 E_a^f 而使記錄保存失效。

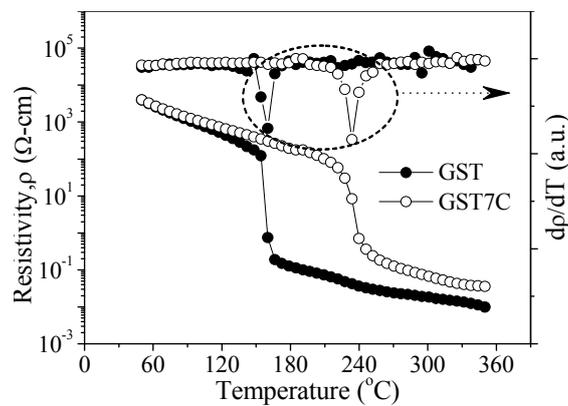
電性量測的目的係將模擬 PRAM 元件之操作，改用通電的方式加熱使 GST 薄膜材料發生相變化。如圖二十七(a)和(b)所示，當 Ce 摻雜濃度越高時， V_{th} 值也越高 ($V_{th} = 1.90$ V for GST ; $V_{th} = 3.30$ V for GST7C)，即 GST7C 之熱穩定性增加；此與 Kissinger 分析之結果，即 Ce 摻雜濃度越高， T_c 與 E_a 均升高之趨勢相同。高 V_{th} 值不利 PRAM 之操作，此因本實驗所量測的區域大小為 5 μm ，遠大於一般元件量測區域之尺寸，故所量得之 V_{th} 值較一般文獻報導為高，未來可將元件中 GST 材料部分縮小，以達到降低耗能之需求； V_{th} 值之存在亦代表 Ce 摻雜並未使 GST 失去相變化反應的能力，事實上前述之實驗成果顯示 Ce 摻雜對 GST 之性質有許多改善提升之處，預期 Ce 摻雜之 GST 是在 PRAM 之製備將是極具應用潛力之材料。從圖二十七(c)中可整理出 V_{th} 對溫度的關係圖。由圖中可知，雖然 V_{th} 會隨著溫度降底，但圖中迴歸線的斜率比較可知，溫度對 GST7C 的影響比較輕微的，再次印證在 GST 經過 Ce 摻雜後熱穩定性增加的解釋。圖二十八之動態測試亦證明了 AIST 和 85A15S 具備 Set/Reset 轉換的能力，此亦證明其具有成為 PCM 記錄層的可行性。



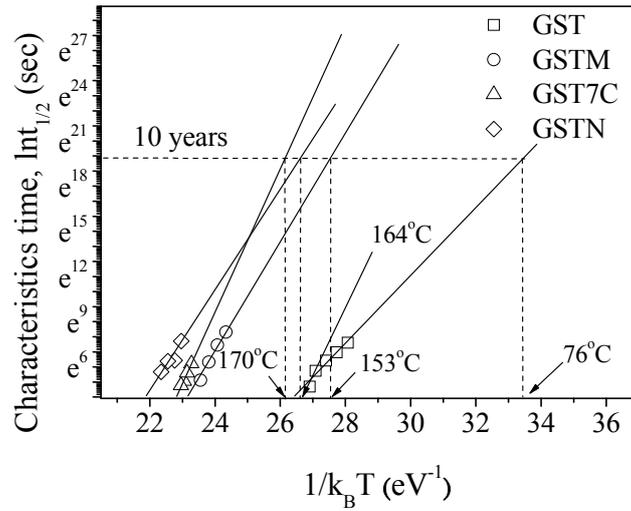
圖二十三、GST 和 GST7C 試片非晶相與其在 300 和 350°C 退火一小時之 XRD 圖譜。



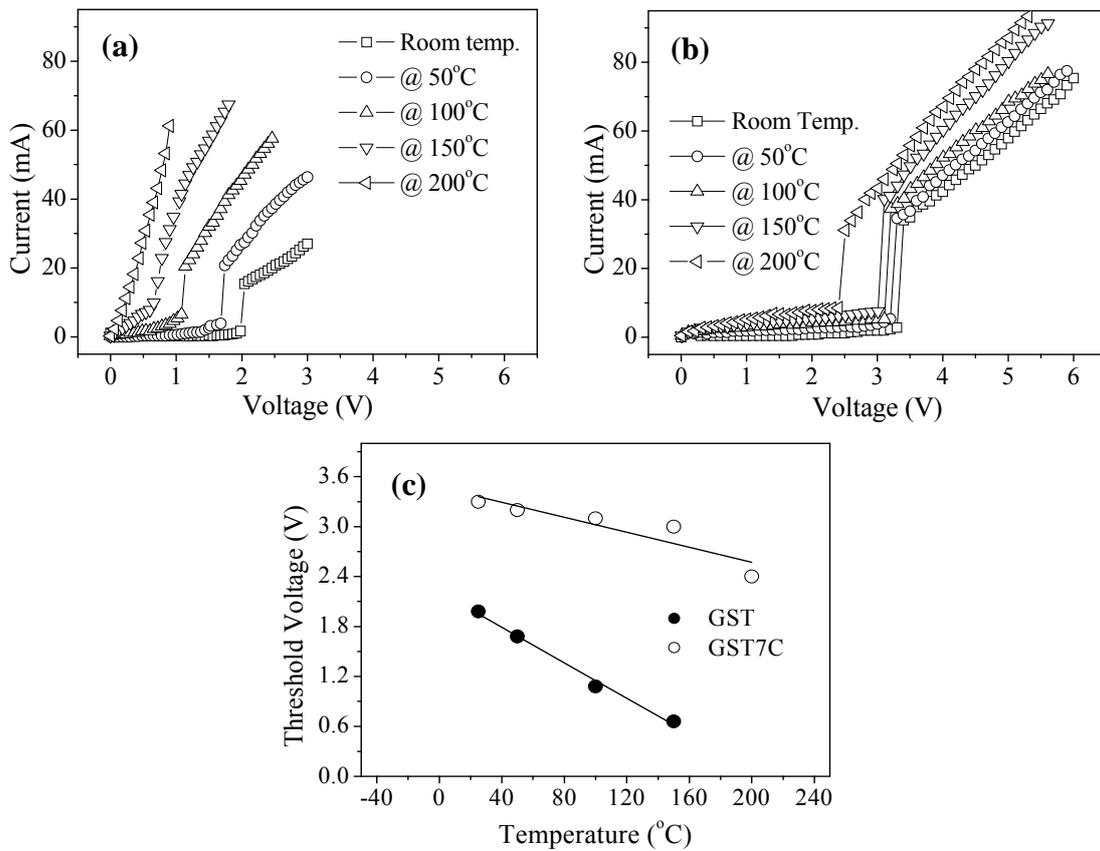
圖二十四、(a) GST 和 (b) GST7C 試片在 300°C 退火一小時之 PTEM 圖。左半部是亮場影像，而右半部是暗場影像。(c) 圖 (b) GST7C 之 Ge、Sb、Te 及 Ce 元素之 Mapping 圖。



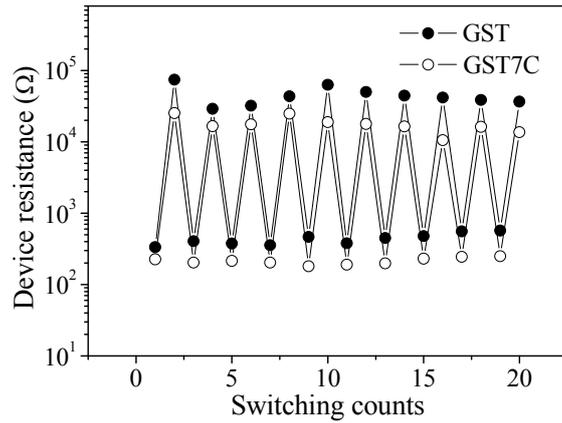
圖二十五、GST 和 GST7C 薄膜之電阻率和其微分曲線對溫度之變化。(升溫速度 = 5°C/min)



圖二十六、GST、GSTM、GSTN 和 GST7C 的 $\text{Int}_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。



圖二十七、(a) GST 與 (b) GST7C 為記錄層之 PRAM 元件在不同退火溫度下之靜態測試之電壓-電流曲線圖與 (c) V_{th} 對不同退火溫度之關係圖。



圖二十八、以 AIST 與 85A15S 為記錄層之 PCM 元件之 (a) 靜態測試之電壓-電流曲線圖與 (b) Set/Reset 動態切換行為圖。

表六、Kissinger理論所求得GST、GSTM、GSTN和GST7C試片之 T_c 與 E_a 值。

| Sample | GST | GSTM | GSTN | GST7C |
|------------|------|------|------|-------|
| E_a (eV) | 2.55 | 4.28 | 3.77 | 4.53 |

表七、由JMA理論所求得GST和GST7C在不同膜厚所得之 n 和 ΔH 值。

| Sample thickness (nm) | GST | | GST7C | |
|--------------------------|-------|-----------------|-------|-----------------|
| | n^* | ΔH (eV) | n^* | ΔH (eV) |
| 150 | 3.42 | 8.9 | 2.07 | 11.6 |

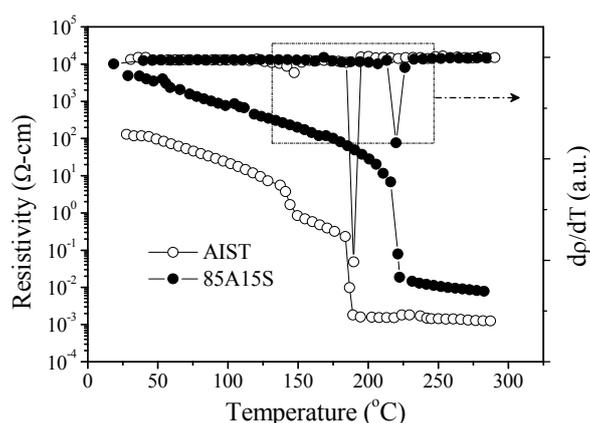
* n 值已依 J.W. Christian 之討論[33]：薄膜試片所得之 Avrami 指數值須加 1 以弭補維度效應。

表八、不同 Ce 摻雜濃度之 GST 的資料保存 10 年所能承受的最高溫度與活化能 E_a^f 值。

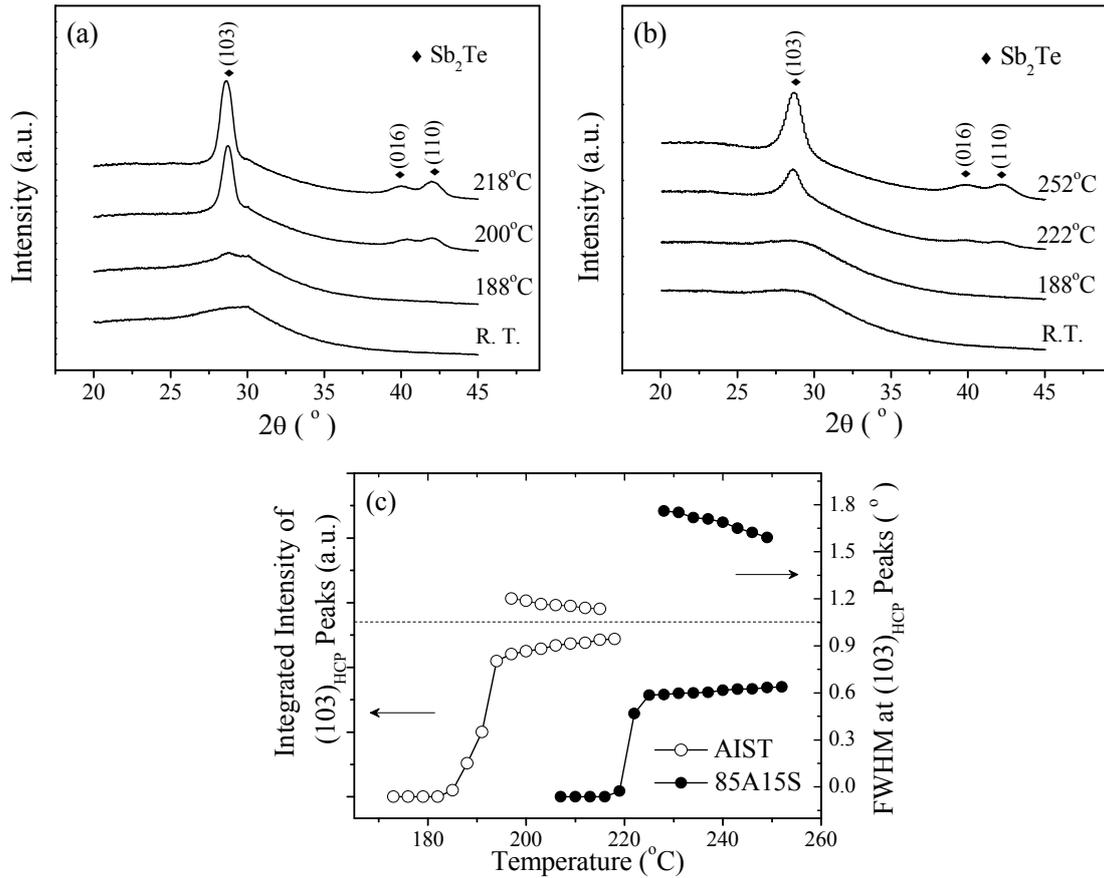
| Samples | E_a^f (eV) | Temperatures for 10-years retention ($^{\circ}\text{C}$) |
|---------|--------------|--|
| GST | 2.3 | 76 |
| GSTM | 4.3 | 153 |
| GSTN | 4.05 | 164 |
| GST7C | 4.63 | 170 |

5-3、AIST 及 AIST-SiO₂ 奈米複合薄膜

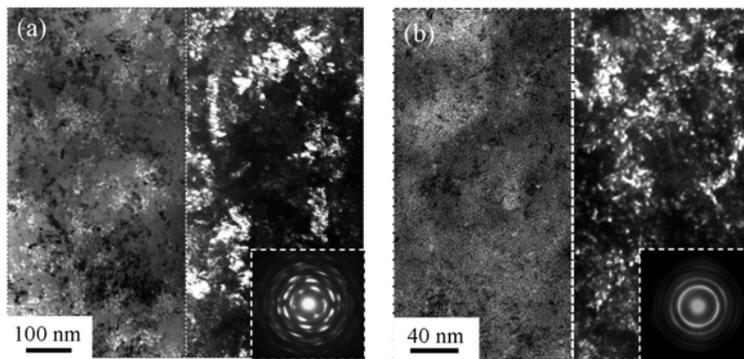
圖二十九所示為 AIST 和 85A15S 薄膜之電阻率及其微分曲線對溫度之變化。即時電氣量測結果顯示添加 SiO₂ 提高 AIST 薄膜非晶態和晶態的電阻率，但卻仍保持和 AIST 薄膜相當的非晶態與晶態的四個數量級電阻率的差距。此外從圖二十九中觀察到添加 SiO₂ 使得 T_c 隨之提昇。AIST 具有兩階段變化，但在添加 SiO₂ 後呈一階段陡降之曲線。圖三十之 XRD 和圖三十一 TEM 兩項分析結果具體證實了添加 SiO₂ 進入 AIST 導致在再結晶過程中晶粒細化的現象。圖三十二 XRD 的分析結果中顯示 AIST 並沒第二種相的存在，AIST 和 85A15S 均為 Sb₂Te 之六方最密堆積 (HCP) 結構，而 SiO₂ 的添加僅抑制第一段曲線的變化。表九所示之 Kissinger 分析結果亦顯示 AIST 薄膜在相轉化過程中之 T_c 和 E_a 亦隨 SiO₂ 之添加及膜厚減少而隨之增加，此結論亦證實了試片維度影響相變化之過程。在相同膜厚時，奈米複合薄膜具有較高的 E_a 值。此結果亦指出 SiO₂ 的添加確實限制了 AIST 晶粒的成長。此結論和 XRD 和 TEM 分析結果相符合。進一步由 JMA 理論計算所得之數值 (如表十所示) 來看，當添加 SiO₂ 後 n 值呈現下降的趨勢，即呈現成長維度下降的結果，結果證實異質成核存在的證據。此外，在不同膜厚的比較上可發現， n 值隨膜厚減小而減小。換句話說，膜厚的減少亦減少晶粒成長空間迫使成長行為從膜厚較厚的三維成長轉變成膜厚較薄的二維成長模式。圖三十二靜態電壓-電流測試結果顯示 AIST 和 85A15S 均具有 PCM 元件特有的 Ovonic 曲線反轉特性，且添加 SiO₂ 後提昇了反轉電壓，同時也降低了反轉電流值。而電壓的提昇亦印證了上述薄膜特性中添加 SiO₂ 穩定了非晶態 AIST 的論述。圖六之動態測試亦證明了 AIST 和 85A15S 具備 Set/Reset 轉換的能力，此亦證明其具有成為 PCM 記錄層的可行性。



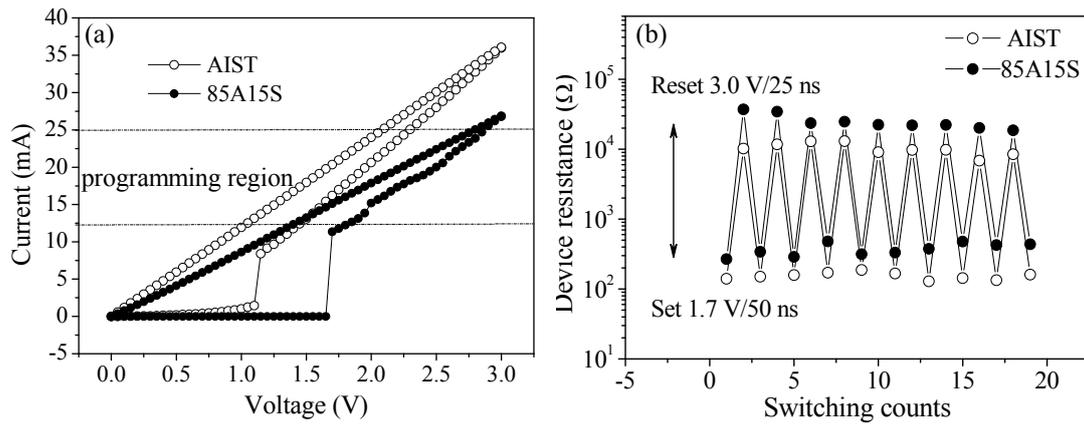
圖二十九、在膜厚 150nm 下 AIST 和 85A15S 薄膜之電阻率及其微分曲線對溫度之變化。(升溫速度=1°C/min)



圖三十、(a) AIST與 (b) 85A15S之即時變溫XRD分析圖。(c) 將即時XRD分析所得，針對(103)_{HCP} 繞射峰所做積分值與半高寬(FWHM)對溫度關係圖。



圖三十一、經 250°C/1 小時退火之之 (a) AIST 和 (b) 85A15S 薄膜試片之 TEM 形貌；左邊圖為明視野影像，右邊圖為暗視野影像，右下角圖為繞射圖。



圖三十二、以 AIST 與 85A15S 為記錄層之 PCM 元件之 (a) 靜態測試之電壓-電流曲線圖與 (b) Set/Reset 動態切換行為圖。

表九、Kissinger 理論所求得不同厚度 AIST 與 85A15S 試片之 T_c 與 E_a 值。

| Sample thickness (nm) | AIST | | 85A15S | |
|--------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| | T_c (°C) ^a | E_a (eV) ^b | T_c (°C) ^a | E_a (eV) ^b |
| 30 | 199 | 2.5 | 253 | 3.2 |
| 50 | 195 | 2.2 | 237 | 2.5 |
| 100 | 195 | 2.1 | 234 | 2.3 |
| 150 | 193 | 2.1 | 226 | 2.3 |

^a表中 T_x 為在昇溫速率=5°C/min 所量得

^bKissinger's analysis 中的 E_a 是藉由昇溫速率=1, 2.5, 5, 7.5, 10 及 12.5°C/min所計算出。

表十、由JMA理論所求得AIST和85A15S在不同膜厚所得之 n 和 ΔH 值。

| Sample thickness (nm) | AIST | | 85A15S | |
|--------------------------|-------|-----------------|--------|-----------------|
| | n^* | ΔH (eV) | n^* | ΔH (eV) |
| 30 | 2.9 | 3.7 | 2.5 | 3.9 |
| 50 | 2.9 | 4.4 | 2.6 | 4.8 |
| 100 | 3.2 | 4.5 | 2.8 | 5.2 |
| 150 | 3.3 | 4.9 | 2.9 | 5.3 |

* n 值已依 J.W. Christian 之討論[33]：薄膜試片所得之 Avrami 指數值須加 1 以彌補維度效應。

第六章

結 論

本計畫研究 GST、摻雜之 GST、AIST 和 AIST-SiO₂ 奈米複合薄膜應用於 PRAM 元件之可行性，重要成果如下：

(1) 摻雜之 GST 薄膜特性：

本計劃利用即時電性量測發現 Mo 摻雜降低了 GST 的電阻率，特別是非晶態 GST 的電阻率；N 摻雜則是提昇了 GST 非晶態和晶態的電阻率同時仍保持和純 GST 相當之 R-ratio 值。這是由於 N 原子具有較有較大的電負度，其與 GST 元素之間產生了較強的原子鍵結。XRD 和 TEM 之特性觀察皆顯示出元素之摻雜皆穩定了 GST 非晶態，而且導致了晶界細化。XRD 顯示摻雜能抑制六方晶(HCP) 相的出現。Kissinger 理論分析等升溫速率實驗之結果顯示 Mo 和 N 之摻雜提昇了 T_c 與 E_a ，此亦印證了 XRD 和 TEM 分析所得之結論。將所得之結果代入各種 Percolation Models 和 JMA 理論，其結果顯示相變化過程中受到 GST 層中異質成核效應的影響將會在空氣和試片界面開始發生成核，同時以層狀方式沿著垂直試片方向往內部結晶。

Ce 摻雜物研究發現在不影響 GST 的電性的前提下，能有效的提升 GST 薄膜的熱穩定性。Ce 摻雜能加強 GST 的 p 型半導體特性，故摻雜元素的電子組態對 GST 的傳導性質扮演著重要角色。Ce 摻雜最重要之特徵為其不會使 GST 薄膜之電阻比值 (R-ratio) 下降，有助於訊號對比清晰度之保持。晶粒細化之現象亦發生在 Ce 摻雜之 GST，且能將 T_c 由 156°C 提昇至 236°C。Ce 摻雜能有效的提昇資料保存時間，未摻雜之 GST 只能在 76°C 以下的溫度才能保存至十年。而 Ce 摻雜濃度 7 % 貼靶濺鍍面積比之 GST 可在 170°C 的溫度範圍內保存資料十年，大幅的提昇資料保存時間及材料的熱穩定性。 $I-V$ 電性量測顯示 V_{th} 隨 Ce 摻雜濃度升高而升高； V_{th} 值之存在代表 Ce 摻雜並未使 GST 失去相變化反應能力，且由前述 Ce 摻雜對 GST 性質之改善效果可預期其將是極具應用潛力之 PRAM 材料。

(2) AIST 及其 AIST-SiO₂ 奈米複合薄膜之特性：

電性量測顯示 AIST 之薄膜之電阻呈現兩階段的變化，XRD 分析顯示第一階段之變化應是再結晶之初期原子重組與晶體缺陷之消弭造成電阻值降低，並非新相之產生；奈米複合薄膜則呈現一階段電阻變化之行為，推測其原因應為 SiO₂ 的摻雜提供試片內部許多異相成核之位置，成長之距離亦縮短，此縮短了再結晶初期原子重組與晶體缺陷消弭等效應發生的時間，有助再結晶之提前發生，故奈米複合薄膜僅呈現一階段電阻變化之行為。

Kissinger 分析顯示，隨著膜厚減少及 SiO₂ 摻雜量的增加，AIST 之 E_a 也隨之增加，其原因為膜厚對 AIST 成長維度侷限效應及 SiO₂ 之摻雜形成 AIST 再結

晶之障礙所致。JMAK 分析顯示， SiO_2 顆粒在薄膜內部提供了許多異質成核位置，且受到分佈均勻的 SiO_2 之影響，故相變化過程趨向於三維模式；活化能 ΔH 隨著膜厚及 SiO_2 的增加而增加，且會隨 Avrami 指數之增加而增加；Avrami 指數之增加代表成長之維度數目越高，系統必須給予更多之能量以提供晶粒成長往更多維度方向成長，故 ΔH 值亦隨之增加；反之，當膜厚減小時，試片之維度效應受到限制，故 ΔH 會隨 Avrami 指數減小而降低。

PRAM 元件的靜態 $I-V$ 電性量測顯示 AIST 及其奈米複合薄膜應用於相變化記憶體之可行性，同時 V_{th} 由 AIST 元件的 1.10 V 提昇到 85A15S 元件的 1.65 V。 SiO_2 的添加雖然提昇了動態電阻阻值，但也降底其記錄所需之電流，此亦意謂著減少元件操作功率的可能。

参考文献

- [1] Sung Soon Kim, Seong Min Jeong, Keun Ho Lee, Young Kwan Park, Young Tae Kim, Jeong Taek Kong and Hong Lim Lee, “Simulation for Reset Operation of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Phase-Change Random Access Memory”, *Jpn. J. Appl. Phys.*, **44**(2005), p.5943-5948.
- [2] M. Guth, G. Schmerber and A. Dinia, “Magnetic Tunnel Junctions for Magnetic Random Access Memory Applications”, *Mat. Sci. Eng.*, **C19**(2002), p.129-133.
- [3] Ricardo C. Sousa and I. Lucian Prejbeanu, “Non-volatile magnetic random access memories (MRAM)”, *C. R. Physique* **6**(2005), p1013–1021.
- [4] R.E. Jones, Jr., P.D. Maniar, R. Moazzami, P. Zurcher, J.Z. Witowski, Y.T. Lii, P. Chu and S.J. Gillespie, “Ferroelectric Non-volatile Memories for Low-voltage, Low-power Applications”, *Thin Solid Films*, **270**(1995), p.584-588.
- [5] Hari Singh Nalwa, *Handbook of Thin Film Materials—Ferroelectric and Dielectric Thin Film*, Academic Press, San Diego (2002), p.5.
- [6] Jakob Mustafaa, Andreas Rudigera and Rainer Waserb, “Comparison of Three Different Architectures for Active Resistive Memories”, *Int. J. Electron. Commun. (AEU)*, **61**(2007), p.345-352.
- [7] Herbert Schroeder and Doo Seok Jeong, “Resistive Switching in a Pt/TiO₂/Pt Thin Film Stack: a Candidate for a Non-volatile ReRAM”, *Microelectronic Engineering*, **84**(2007), p.1982-1985.
- [8] Stefan Lai and Tyler Lowery, “OUM—A 180 nm Nonvolatile Memory Cell Element Technology for Stand Alone and Embedded Applications”, *IEDM'01 Tech. Dig.*, (2001), p.803.
- [9] S.R. Ovshinsky, “Reversible Electrical Switching Phenomena in Disordered Structures”, *Phys. Rev. Lett.*, **21**(1968), p.1450.
- [10] Matthias Wutting and Noboru Yamada, “Phase-change Materials for Rewriteable Data Storage”, *Nature Materials*, **6**(2007), p.824-832.
- [11] Wojciech Wehnic, and Matthias Wuttig, “Reversible Switching in Phase-change Materials”, *Materials Today*, **11**(2008), p.20.
- [12] E. Morales-Sánchez, E.F. Prokhorov, J.Gonzalez-Hernandez and A. Mendoza-Galvan, “Structural, Electric and Kinetic Parameters of Ternary Alloys of GeSbTe ”, *Thin Solid Films*, **471**(2005), p.243.
- [13] Noboru Yamada, Eiji Ohno, Kenichi Nishiuchi and Nobuo. Akahira, “Rapid-phase Transitions of $\text{GeTe-Sb}_2\text{Te}_3$ Pseudobinary Amorphous Thin Films for an Optical Disk Memory”, *J. Appy. Phys.*, **69**(1991), p.2849.
- [14] I. Friedrich, V. Weidenhof, W. Njoroge, P. Franz, and M. Wuttig, “Structural

- Transformations of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films Studied by Electrical Resistance Measurements”, *J. Appl. Phys.*, **87**(2000), p.4130.
- [15] A. Madan and M.P. Shaw, *The Physics and Application of Amorphous Semiconductors*, Academic Press, San Diego, (1988), p.318.
- [16] S. Privitera, E. Rimini, C. Bongiorno, A. Pirovano, R. Bez, “Effect of Dopants on the Amorphous-to-fcc Transition in $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Film”, *Nuclear Instruments and Methods in Physics Research*, **B257**(2007), p352.
- [17] Dimitre Z. Dimitrov, Yung-Hsin Lu, Mei-Rurng Tseng, Wei-Chih Hsu and Han-Ping D. Shieh, “Oxygen and Nitrogen Co-Doped GeSbTe Thin Films for Phase-Change Optical Recording”, *Jpn. J. Appl. Phys.* **41**(2002), p.1656.
- [18] K. Wang, D. Wamwangi, S. Ziegler, C. Steimer and M. Wuttig, “Influence of Bi doping upon the phase change characteristics of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ”, *J. Appy. Phys.*, **96**(2004), p.5557.
- [19] Rie Kojima and Noboru Yamada, “Acceleration of Crystallization Speed by Sn Addition to Ge-Sb-Te Phase-change Recording Material”, *Jpn. J. Appl. Phys.*, **40**(2001), p.5930.
- [20] Tae Jin Park, Hyun Kim, Sung Min Yoon, Kyu Jeong Choi, Nam Yeal Lee, Byoung Gon Yu, and Se Young Choi, “Phase Transition Characteristics and Device Performance of Sn-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ in Phase Change Random Access Memory”, *Jpn. J. Appl. Phys.*, **45**(2006), p.L1273.
- [21] K. Wang, C. Steamer, D. Wamwangi, S. Ziegler and M. Wuttig, “Effect of Indium Doping on $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Films for Phase-change Optical Storage”, *Appl. Phys.* **A80**(2005), p.1611.
- [22] S. Privitera, E. Rimini and R. Zonca, “Amorphous-to-Crystal Transition of Nitrogen- and Oxygen-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films Studied by *in-situ* Resistance Measurements”, *Appl. Phys. Lett.*, **85**(2004), p.3044.
- [23] Aya Takase, Go Fujinawa, Atsushi Ebina, Masao HirasakAa and Ikuto Sugiyama, “Crystal Structure of Oxygen/Nitrogen-Doped GeSbTe Phase-Change Media: Investigation Using Grazing Incidence X-ray Diffraction”, *Jpn. J. Appl. Phys.*, **41**(2002), p.2189.
- [24] Yun Ling, Yinyin Lin, Baowei Qiao, Yunfeng Lai, Jie Feng, Tingao Tang, Bingchu Cai and Bomy Chen, “Effect of Si Doping on Phase Transition of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films by *in situ* Resistance Measurement”, *Jpn. J. Appl. Phys.*, **45**(2006), p.L349.
- [25] Seung Wook Ryu, Jin Ho Oh, Jong Ho Lee, Byung Joon Choi, Won Kim, Suk Kyoung Hong, Cheol Seong Hwang and Hyeong Joon Kim, “Phase Transformation Behaviors of SiO_2 Doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films for Application in Phase Change Random Access Memory”, *Appl. Phys. Lett.*, **92**(2008), p.142110.
- [26] Bo Liu, Zhitang Songa, Songlin Feng and Bomy Chen, “Structure and Sheet Resistance of Boron-implanted $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Phase Change Film”, *Mat. Sci. Eng.*, **B119**(2005), p.125.

- [27] C.W. Jeong, S.J. Ahn, Y.N. Hwang, Y.J. Song, J.H. Oh, S.Y. Lee, S.H. Lee, K.C. Ryoo, J.H. Park, J.H. Park, J.M. Shin, F. Yeung, W.C. Jeong, J.I. Kim, G.H. Koh, G.T. Jeong, H.S. Jeong and K. Kim, “Highly Reliable Ring-Type Contact for High-Density Phase Change Memory”, *Jpn. J. Appl. Phys.*, **45**(2006), p.3233.
- [28] 陳沿洲, “鍺銻碲相變化薄膜的電氣性值與相變化行為之研究”, 國立交通大學材料科學與工程學系碩士論文, (2007)。
- [29] Tae Jin Park, Se Young Choi and Myung Jin Kang, “Phase Transition Characteristics of Bi/Sn Doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Film for PRAM Application”, *Thin Solid Films*, **515**(2007), p.5049.
- [30] Hun Seo, Tae-Hee Jeong, Jeong-Woo Park, Cheong Yeon, Sang-Jun Kim and Sang-Youl Kim, “Investigation of Crystallization Behavior of Sputter-Deposited Nitrogen-Doped Amorphous $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Films”, *Jpn. J. Appl. Phys.*, **39**(2000), p.745.
- [31] E. Garsia-Garsia, M. Yanez-Limon, Y. Vorobiev, F. Espinoza-Beltran and J. Gonzalez-Hernandez, “Crystallization Kinetics of $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ Doped with Se and Ni”, *Semi. Phys., Quan. Elec. & Opto.*, **1**(1998), p.71.
- [32] Kin-Fu Kao, Chain-Ming Lee, Ming-Jung Chen, Ming-Jinn Tsai and Tsung-Shune Chin, “ $\text{Ga}_2\text{Te}_3\text{Sb}_5$ -A Candidate for Fast and Ultralong Retention Phase-Change Memory”, *Adv. Mater.*, **21**(2009), p.1-5.
- [33] J.W. Christian, *The Theory of Transformations in Metals and Alloys*, PART I, *Equilibrium and General Kinetic Theory*, 2nd ed., Pergamon Press, Oxford, (1975).