

# 行政院國家科學委員會專題研究計畫 成果報告

## 奈米 CMOS 元件不均勻孳雜和氧化層缺陷導致臨限電壓變異 之研究(I) 研究成果報告(精簡版)

計畫類別：個別型  
計畫編號：NSC 99-2221-E-009-192-  
執行期間：99年08月01日至100年07月31日  
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：莊紹勳

計畫參與人員：碩士班研究生-兼任助理人員：程正穎  
碩士班研究生-兼任助理人員：林書民  
碩士班研究生-兼任助理人員：吳嘉偉  
博士班研究生-兼任助理人員：謝易叡

公開資訊：本計畫可公開查詢

中華民國 101 年 01 月 02 日

中文摘要： CMOS 元件通道長度的微小化，短通道效應或通道摻雜引起的臨限電壓變異性(Vth Variability)目前尚未能夠良好的控制，它源自於通道中的摻雜(dopant)，在面積很小的情況下，其密度的多寡與分佈的不均勻(nonuniform)會影響到 Vth，此效應稱之為 Random Dopant Fluctuation(RDF)。同時，元件在長時間工作下，產生的 Trap 會導致 Vth variation。本計畫針對 RDF 及 RTF 研究他對元件 Vth Variation 的影響。結果顯示：(1) 就 RDF 效應來說：nMOS 元件較 pMOS 元件的 variation 較大可歸因於 boron clustering 效應，(2) RTF 效應：nMOS 與 pMOS 在不同 stress 條件下，呈現不同的 Vth Variation，在 FN stress 下，trap 在通道均勻分布，因此，nMOS/pMOS 的 Vth variation 同時增加，(3) Hot carrier stress 條件下則不同，pMOS 元件呈現 Vth variation 變大，nMOS 元件呈現 Vth variation 變小，後者起因於 nMOS 中，產生的 trap 較集中。

中文關鍵詞： 金氧半元件，可靠性，矽應力，摻雜擾動，氧化層缺陷擾動

英文摘要： With the further scaling of CMOS devices, the short channel effect or dopant induced threshold voltage (Vth) variations can not be well controlled. It comes from the channel doping with its non-uniform distribution in a small area, which is called RDF(random dopant fluctuation). Another similar effect, called RTF (Random Trap Fluctuation) will induce the variation as well for devices after long term operation. This project was focused on the study of RDF and RTF induced Vth variations. Results demonstrated that: (1) For RDF effect, nMOS exhibits much larger Vth variation comparing to the pMOS ones. This is believed to be attributed to the boron clustering effect in nMOSFETs, (2) For RTF effect, nMOS and pMOS presents different variation behaviors after different stress conditions, and (3) under the hot carrier stress conditions, pMOS will increase the Vth variation while nMOS will inhibit the variation. The later is caused by the localization of generated traps.

英文關鍵詞： CMOS device, Reliability, Strained-silicon, Random Dopant Fluctuation, Random trap fluctuation

# 奈米 CMOS 元件不均勻摻雜和氧化層缺陷 導致臨限電壓變異之研究(I)

## Random Dopant and Trap Fluctuation Effects Induced Threshold Voltage Variation in Nanoscale CMOS Devices

計畫編號：NSC99-2221-E-009-192

執行期限：99年8月1日至100年7月31日

主持人：莊紹勳 教授 國立交通大學電子工程學系

### 一、中文摘要

CMOS 元件通道長度的微小化，短通道效應或通道摻雜引起的臨限電壓變異性(Vth Variability)目前尚未能夠良好的控制，它源自於通道中的摻雜(dopant)，在面積很小的情況下，其密度的多寡與分佈的不均勻(nonuniform)會影響到Vth，此效應稱之為 Random Dopant Fluctuation(RDF)。同時，元件在長時間工作下，產生的Trap會導致Vth variation。

本計畫針對RDF及RTF研究他對元件Vth Variation的影響。結果顯示：(1)就RDF效應來說：nMOS元件較pMOS元件的variation較大可歸因於boron clustering效應，(2)RTF效應：nMOS與pMOS在不同stress條件下，呈現不同的Vth Variation，在FN stress下，trap在通道均勻分布，因此，nMOS/pMOS的Vth variation同時增加，(3) Hot carrier stress條件下則不同，pMOS元件呈現Vth variation變大，nMOS元件呈現Vth variation變小，後者起因於nMOS中，產生的trap較集中。

**關鍵詞：**金氧半元件，可靠性，矽應力，摻雜擾動，氧化層缺陷擾動

### Abstract

With the further scaling of CMOS devices,

the short channel effect or dopant induced threshold voltage ( $V_{th}$ ) variations can not be well controlled. It comes from the channel doping with its non-uniform distribution in a small area, which is called RDF(random dopant fluctuation). Another similar effect, called RTF (Random Trap Fluctuation) will induce the variation as well for devices after long term operation.

This project was focused on the study of RDF and RTF induced  $V_{th}$  variations. Results demonstrated that: (1) For RDF effect, nMOS exhibits much larger  $V_{th}$  variation comparing to the pMOS ones. This is believed to be attributed to the boron clustering effect in nMOSFETs, (2) For RTF effect, nMOS and pMOS presents different variation behaviors after different stress conditions, and (3) under the hot carrier stress conditions, pMOS will increase the  $V_{th}$  variation while nMOS will inhibit the variation. The later is caused by the localization of generated traps.

**Keywords:** CMOS device, Reliability, Strained-silicon, Random Dopant Fluctuation, Random trap fluctuation

### 二、計劃緣由與目的

CMOS 元件快速微縮的情況下，有相當

多的挑戰必須克服，諸如短通道、效能的提升、閘極氧化層漏電流，以引進Strained Si 技術、high-k 加上metal gate來克服。截至目前，大部份挑戰皆是可以被克服的，諸如：使用極淺接面(ultra shallow junction)來克服短通道效應、EUV 或多重電子束來克服曝光尺度問題、strained Si 來提昇元件性能、以及high-k 來克服閘極漏電問題。但這其中唯獨Vth Variation 至目前尚未能夠良好的解決。因此，詳細深入的探討Vth Variation 對元件造成的影響，至為重要。截至目前，Vth Variation 的相關研究正受到廣泛的注目[1-14]。研究指出：造成Vth Variation 的主要原因為：channel 中的doping impurity 在面積很小的情況下，其密度的多寡與分佈會嚴重地影響到Vth，此效應稱之為Random Dopant Fluctuation(RDF) [3-5]。RDF 對Vth Variation 的影響會隨著製程條件與元件結構的不同而有所改變，例如：曝線誤差造成元件面積不一致性、通道impurity 的種類和分佈、Source/drain impurity 的種類和分佈、Gate Structure 和 Gate Electrode 的種類等。在電路設計應用方面，Vth Variation 將大大地增加SRAM 設計的難度，因為Vth Variation 會造成SRAM 的操作窗口變窄，雜訊邊限(Noise Margin)變差，這將使得數位電路系統的訊號出錯機率大增[6]。因此，Vth Variation 的影響是多方面的，如何克服此一議題將是未來元件設計者重要的任務。有關各種製程條件和元件結構之間的Vth Variation 的改善與否，可用Takeuchi plot 來驗證：[7-8]。運用公式(4)可畫出Takeuchi Plot [7] 或Pelgrom plot[8]來表示Vth Variation，而係數AVT、BVT(Slope)可以用來判斷Vth Variation 大小的指標。其中， $\sigma(V_{th})$ 、 $T_{INV}$ 、L 和 W 分別為Vth 的標準差、閘極氧化層的厚度、通道長度和寬度。若造成Vth Variation 的原因是Ideal Dopant Fluctuation，那麼無論公式裡的Vth、 $T_{INV}$ 、L

$$\sigma(V_{th}) = \frac{q}{C_{ox}} \sqrt{\frac{N_{sub} W_{dep}}{3LW}} \quad (1)$$

$$V_{th} = V_{FB} + \Phi_s + \frac{qN_{sub} W_{dep}}{C_{ox}} \quad (2)$$

$$\rightarrow \sigma(V_{th}) = \sqrt{\frac{q(V_{th} - V_{FB} - \Phi_s)}{3LWC_{ox}}} = \sqrt{\frac{q}{3\epsilon_{ox}}} \sqrt{\frac{T_{INV}(V_{th} - V_{FB} - \Phi_s)}{LW}} = \sqrt{\frac{q}{3\epsilon_{ox}}} \sqrt{\frac{T_{INV}(V_{th} + 0.1)}{LW}} \quad (3)$$

$$\rightarrow \sigma(V_{th}) = B_{VT} \sqrt{\frac{T_{INV}(V_{th} + 0.1)}{LW}} = A_{VT} \frac{1}{\sqrt{LW}} \quad (4)$$

where

$\sigma(V_{th})$ : standard deviation of Vth.

Vth: threshold voltage.

$T_{INV}$ : gate oxide thickness,  $N_{SUB}$ : substrate concentration

$W_{DEP}$ : depletion region width, L: channel length, W: channel width

Table 1 Model equations used to describe the Takeuchi plot.

和W為何值，BVT 都將是一個定值；但若BVT 有差異即代表有其他原因造成Vth Variation，例如：Random Dopant Fluctuation、Boron Channel nMOSFET 的Boron Transient Enhanced Diffusion(Boron TED)。而由已知的實驗結果亦證明了nMOSFET 的Vth Variation 會比pMOSFET 來的大，其原因一般認為是Boron TED 造成[9](Fig.4)。

前引述有關VTH Variation 的論文，都著重於Linear Region(Low VDS)的量測，然而當元件經過各種Hot Carrier Stress 後，其Vth Variation 會如何改變目前並不清楚，這其中的物理機制亟待釐清。因此本計劃著重於CMOS 元件在遭受Hot Carrier Stress、FN stress、NBTI stress 等不同stress 之後 Vth variation 的變化和及其成因之探討。

### 三、結果與討論

吾人和 UMC 合作利用 EOT 為 14 埃米的閘氧化層和最小曝光長度為 40 奈米製備了 nMOS 元件和 pMOS 元件，並且利用各種元件面積來量測 Vth 值並統計計算 Vth 的標準差。

Fig. 1 和 Fig. 2 為 nMOS 元件和 pOMS 元件在遭受 FN stress 前後的 Vth 積累機率折線圖。從中比較，我們可以發現在遭受 FN stress 後的 Vth 積累機率折線圖較未遭受 stress 的元件來的廣。因此，遭受 FN stress 之後的 Vth 的擾動程度是比未遭受 FN stress 來的大的。

Fig. 3 是 nMOS 元件和 pMOS 元件在未遭受 FN stress 時的 Takeuchi plot。其中 nMOS 元件的 Bvt 值比 pMOS 元件的 Bvt 值大。這是因為 nMOS 元件遭受較嚴重的 Boron cluster 效應。Fig. 4 和 Fig. 5 是 nMOS 元件和 pMOS 元件在遭受 FN stress 之後的 Takeuchi plot。我們發現到 nMOS 元件和 pMOS 元件的 Bvt 值在遭受 stress 之後都上升了，而 pMOS 元件的 Bvt 值更是很明顯的上升。這是因為遭受 stress 之後在元件的絕緣層的 interface 產生了不規律分布的 traps，而這些 traps 干擾了在通道傳輸的載子的遷移，這些載子會被 traps 捕捉或釋放從而干擾了 Vth 的值，造成 Vth 標準差變大，使得 Bvt 上升，如 Fig. 6 所示。緊接著我們利用 charge pumping technique 萃取元件的 interface traps 來探討 Bvt 和 interface traps 的關連性。Fig. 7 展示了 Bvt 值和 interface traps 具有線性的關連性。這個觀察充分證明了元件在遭受 stress 之後 Vth 產生的擾動確實是來自於 interface traps 的增加。在探討元件遭受 FN stress 之後對於 Vth 擾動的影響後。接下來，我們將焦點鎖定在元件遭受 HC stress 之後對 Vth 擾動的影響。Fig. 8 和 Fig. 9 展示了 nMOS 元件和 pMOS 元件在遭受 HC stress 之後的 Takeuchi plot 之實驗結果。結果表明對於 pMOS 元件而言，在遭受 HC stress 之後 Bvt 顯著的增加，但相反的，對於 nMOS 元件而言，其 Bvt 卻降低了。針對這項有趣的實驗結果，我們認為這是因為對於 nMOS 元件而言，HC stress 之後產生的 interface traps 效率是很高的，而大量的 interface traps 累積在通道靠近 drain 的區域造成了等效上一個 trap barrier，這個 trap barrier 阻擋了在通道傳輸的載子。因為 nMOS 元件在遭受 HC stress 產生的 trap barrier 具有局部性和地域性的特性跟遭受 FN stress 產生的 traps 具有隨機且不均勻分布的特性截然相反。從而造成了 Bvt 值的下降。為了證實我們的想法，Gated-diode

measurement 被使用來觀測 nMOS 元件在遭受 HC stress 之後的 trap barrier 分布的行為。如 Fig. 10 和 Fig. 11 所示，我們很清楚的發現 trap 確實是累積在通道靠近 drain 的區域。Fig. 12 則提出 trap 在 nMOS 與 pMOS 具有不同 trap 分佈的特性，trap 在 nMOS 元件長時間工作下，hot carrier 產生的 Trap 會是較集中 (localized) 的分佈。

#### 四、計劃成果自評

本計畫詳細探討了 CMOS 元件在遭受 HC stress 前後的 Vth 擾動行為的特性和成因，本實驗最重要的發現是：對於一般的 FN stress 而言，元件的 Vth 之擾動會因為不均勻且隨機產生的 traps 而增加。但對於 HC stress 而言，nMOS 元件的 Vth 之擾動卻獲得改善，這是因為 HC stress 產生的 trap 是局部性的且定域性的集中在通道靠近 drain 的區域造成了等效上的 trap barrier，因而阻擋了載子的傳輸，使得 Vth 的擾動降低。

目前相關的論文陸續發表中，也有部份可以提出專利申請。此部分之研究的成果已發表或正投稿到著名國際會議及期刊上 [10-13]。其中 [11] 之研究成果，更是發表在頂尖國際會議 2011VLSI 也是台灣各大學上榜二篇其中的一篇。

#### 五、參考文獻

- [1] Intel Cooperation, [www.intel.com](http://www.intel.com)
- [2] T. Tsunomura et al., *Symposium on VLSI Tech.*, p. 156, 2008.
- [3] F. Yang et al., *Symposium on VLSI Tech.*, p. 208, 2007.
- [4] K. Takeuchi et al., *Tech. Dig. IEDM*, p. 841, 1997.
- [5] K. J. Kuhn, Intel Cooperation, [www.intel.com](http://www.intel.com)
- [6] T. Matsukawa et al., *Symposium on VLSI Tech.*, p.

118, 2009.

[7] K. Takeuchi et al., *Tech. Dig. IEDM*, p. 467, 2007.

[8] M. J. M. Pelgrom et al., *Tech. Dig. IEDM*, p. 915, 1998.

[9] T. Tsunomura et al., *Symposium on VLSI Tech.*, p. 110, 2009

[10] E R. Hsieh and S. S. Chung et al., *International*

*Symposium on Reliability Physics (IRPS)*, XT.9.1 – XT. 9.2, 2010.

[11] E R. Hsieh and S. S. Chung et al., *Symposium on VLSI Tech.*, p. 194, 2011

[12] E R. Hsieh and S. S. Chung et al., *International Conference on SSDM, session D-5-2, 2011.*

[13] S. S. Chung et al., submitted to APL, 2011.

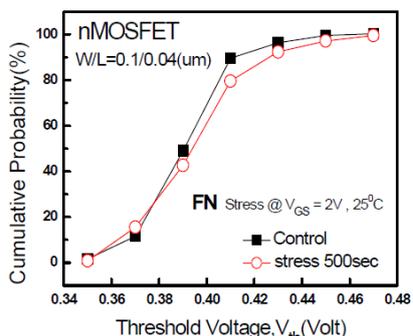


Fig. 1 Cumulative probability of V<sub>th</sub> for nMOS devices before and after the FN stress.

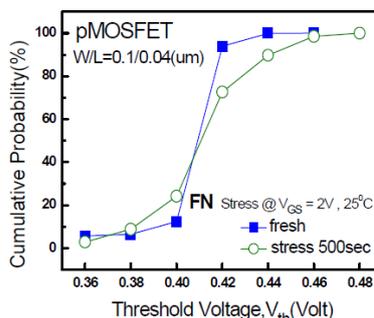


Fig. 2 Cumulative probability of V<sub>th</sub> for pMOS devices before and after FN stresses.

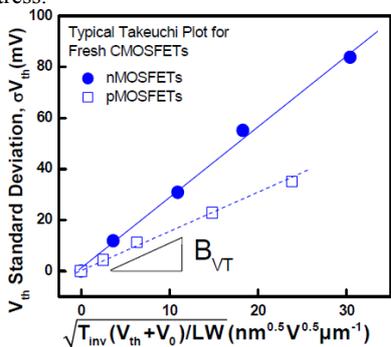


Fig. 3 Comparison of B<sub>VT</sub> values for fresh nMOSFETs and pMOSFETs.

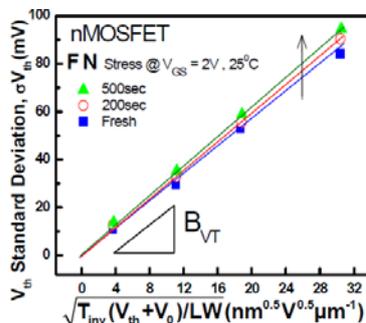


Fig. 4 Comparison of B<sub>VT</sub> values for nMOSFETs after the FN stress.

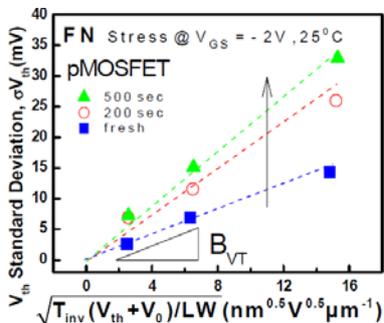


Fig. 5 Comparison of B<sub>VT</sub> values for control pMOSFETs after the FN stress.

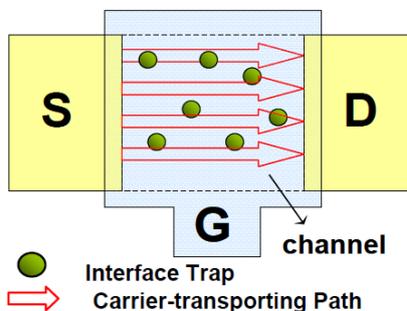


Fig. 6 The schematic of RTF induced V<sub>th</sub> variation after FN stress, where traps are uniformly distributed in the channel.

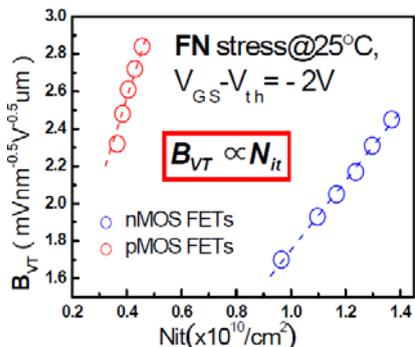


Fig. 7 The correlation between  $B_{VT}$  and  $N_{it}$  for nMOS and pMOS devices under FN stresses. Note that  $B_{VT}$  is proportional to the interface trap,  $N_{it}$ .

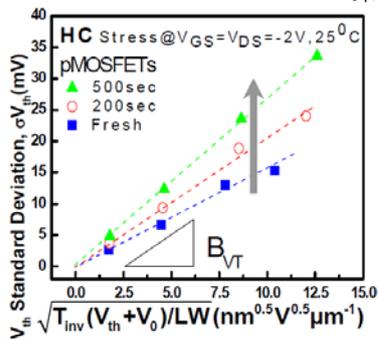


Fig. 8 Comparison of  $B_{VT}$  values for pMOSFETs after the HC stress.

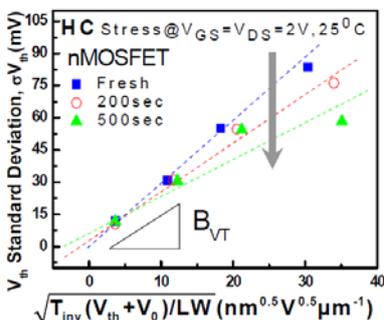


Fig. 9 Comparison of  $B_{VT}$  values for nMOSFETs after the HC stress.

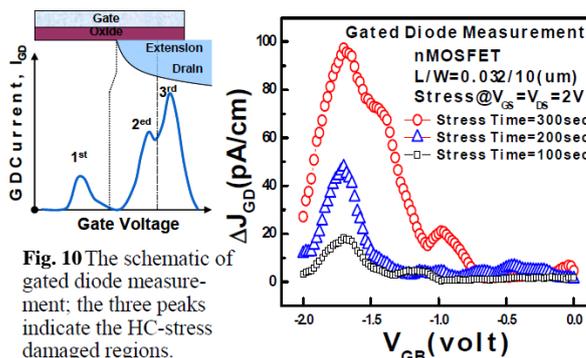


Fig. 10 The schematic of gated diode measurement; the three peaks indicate the HC-stress damaged regions.

Fig. 11 Density of interface traps dominates the  $V_{th}$  variation, which is highly localized in nMOSFETs.

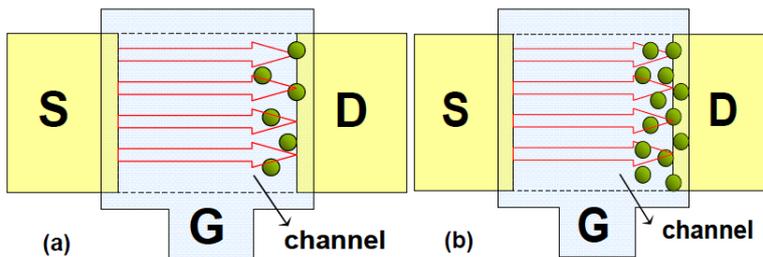


Fig. 12 Schematic of the mechanisms for  $V_{th}$  Variation after different stress schemes: (a) HC stress for pMOSFET, and (b) HC stress for nMOSFETs. Note that the generated traps in pMOS are sparsely distributed, while it is highly localized near the drain in nMOSFET.

# 國科會補助計畫衍生研發成果推廣資料表

日期:2012/01/02

國科會補助計畫	計畫名稱: 奈米CMOS元件不均勻 雜和氧化層缺陷導致臨限電壓變異之研究(I)
	計畫主持人: 莊紹勳
	計畫編號: 99-2221-E-009-192- 學門領域: 固態電子
無研發成果推廣資料	

99 年度專題研究計畫研究成果彙整表

計畫主持人：莊紹勳		計畫編號：99-2221-E-009-192-					
計畫名稱：奈米 CMOS 元件不均勻筞雜和氧化層缺陷導致臨限電壓變異之研究(I)							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (本國籍)	碩士生	4	4	100%	人次	
		博士生	1	1	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	1	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	3	3	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (外國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>研究成果具國際影響力： 約 2000 年，進入 90nm CMOS 技術，晶園廠(如 Intel、IBM、AMD、台積及聯電)等的關鍵技術，引入 strain silicon 的量產技術，經歷 65nm/40nm/28nm 以至今日的 20nm，CMOS 元件如何達到國際 ITRS 的技術藍圖，除了元件的微縮，Random Dopant Fluctuation(RDF, 雜質分佈擾動)造成所謂的 Vth Variability。本文係世界上首次於頂尖國際會議(2011 VLSI)以實驗的量測法來偵測雜質分佈(random dopant distribution)，該研究過去都以模擬的方法將雜質放置於元件的通道，來解釋此一雜質分佈效應，但都未能以實驗相互印證。本量測法的突破，可以應用於目前廣泛運用的 strained silicon CMOS 技術，研究結果可用於觀察 Ge outdiffusion, carbon outdiffusion, dopant 分佈等。對於觀察 strain 元件中，導致 RDF 效應的成因，可加以了解。</p> <p>[1] E. R. Hsieh, S. S. Chung, C. H. Tsai, R. M. Huang, C. T. Tsai, and C. W. Liang, ' A Novel and Direct Experimental Observation of the Discrete Dopant Effect in Ultra-Scaled CMOS Devices,' in Symposium on VLSI Technology, pp. 152-153, June 13-15, 2011.</p> <p>[1]之研究成果，更是發表在頂尖國際會議 2011VLSI 也是台灣各大學上榜二篇其中的一篇。</p>
--	---

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

## 1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

## 2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

目前相關的論文陸續發表中，研究的成果已發表或正投稿到著名國際會議及期刊上 [10-13]。其中 [11] 之研究成果，更是發表在頂尖國際會議 2011VLSI 也是台灣各大學上榜二篇其中的一篇。

[10] E R. Hsieh and S. S. Chung et al., IRPS, XT. 9.1 - XT. 9.2, 2010.

[11] E R. Hsieh and S. S. Chung et al., Symposium on VLSI Tech., p. 194, 2011

[12] E R. Hsieh and S. S. Chung et al., Internatinoal Conference on SSDM, session D-5-2, 2011.

[13] S. S. Chung et al., submitted to APL, 2011.

## 3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

RDF 的研究對於目前及下一世代 CMOS 採用 strain 技術，係重要的項目之一，本計畫係世界上首次於頂尖國際會議(2011 VLSI)以實驗的量測法來偵測雜質分佈(random dopant distribution)，該研究過去都以模擬的方法將雜質放置於元件的通道，來解釋此一雜質分佈效應，但都未能以實驗相互印證。本量測法的突破，可以應用於目前廣泛運用的 strained silicon CMOS 技術。

另一方面，RTF 的研究也是我們首創的研究，相關的可靠性研究，相信有很多人會跟著研究且可作為業界極佳的參考論文。