



035720613

ao Tung



T = 陳麗芬

035720613 (035720613) 2372724

抄本

計畫業務組

國立交通大學 函

受文者：行政院國家科學委員會

速別：

密等及解密條件：中華民國八十九年拾月拾日

發文日期：三

發文字號：(89)交大電子字第 4376 號

附件：

主旨：檢送本校已結束專題研究計畫成果報告一件三份，請 查收。  
說明：主持人姓名、計畫名稱、編號：雷添福教授、NSC89-2215-E009-036、應用於深次微米 CMOS 元件之間極氧化層與複晶矽介電層之技術開發。

正本：行政院國家科學委員會

副本：

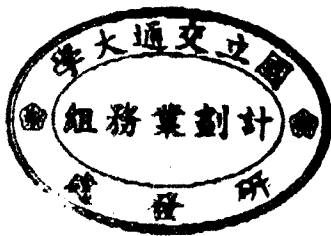
機關地址：新竹市大學路一〇〇一號

傳真：(03)5721411

未單獨發表國際會議論文  
共同發表之國際會議論文  
由其他共同作者出席

雷添福 89.10.30

未支用  
項費用



# 行政院國家科學委員會專題研究計畫成果報告

應用於深次微米 CMOS 元件之閘極氧化層與複晶矽介電層之技術開發

## Technology Development on Gate Oxides and Polysilicon Dielectric Layers for Deep Submicron CMOS Devices

計畫編號：NSC-89-2215-E-009-036

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：雷添福 交通大學電子研究所教授

E-mail address: tlei@cc.nctu.edu.tw

### 一、中文摘要

本計劃分為四個部份：

(一)為改進複晶矽薄膜之表面粗糙度，使用化學機械研磨拋光的方式(CMP)增進複晶矽薄膜表面之平坦度，複晶矽氧化層是採用 LPCVD 方法成長不同厚度的 TEOS 在複晶矽薄膜經過 CMP 拋光，再經過以不同 RTA 溫度及氣體( $N_2$  或  $N_2O$ )處理得到良好 J-E 曲線，高崩潰電荷及低電子捕獲電荷。

(二)現今的半導體工業日新月異，如何成長一層超薄氧化層更成為其中最困難也是最關鍵的技術。使用氮和氟的離子怖植來增加二氧化矽的強度也被廣範應用，而今我們使用一特殊氣體三氟化氮對複晶矽閘極退火處理以期達到同樣的效果。對元件日異縮小而言，各電極的接觸電阻也是一個大問題。現在我們趨向使用鈷矽化物用來取代傳統的鈦矽化物，但鈷矽化物有著高漏電的問題，所以我們也希望使用三氟化氮對複晶矽閘極退火處理可以防止鈷擴散至閘極氧化層中。

(三)研發神奇一個步驟清洗溶液對成長閘極層之前清洗來取代傳統 RCA 的兩個步驟，把 TMAH 與 EDTA 加入 RCA 的 SC-1 可以增強清洗能力。從實驗結果，微小粒子及金屬離子污染在矽晶片表面可以有效地被移去與改進電性使用神奇一個步驟清洗溶。然而，這個的神奇一個步驟清洗溶非常適合大尺寸矽晶片清洗由於它可以節省時間、降低化學成本及高效能。

(四)我們研究一系列的鎳矽化物在不同的矽基材形成之物理特性，我們發現厚度與下層的複晶矽之微結構會影響矽化物之熱的穩定性。此外，發現堆疊結構之複晶矽薄膜有好的熱穩定性，因為堆疊結構之複晶矽薄膜可以抑制  $NiSi_2$  凝聚。

關鍵詞：化學機械研磨、複晶矽氧化層、三氟化氮、閘極氧化層、鈦矽化物、TMAH、EDTA、堆疊結構、鎳矽化物

### Abstract

This project was divided into four segments:

(1) In order to improve surface roughness of polysilicon film, the surface morphology of polysilicon is flatted after a CMP process. The polyoxides deposited by LPCVD TEOS with combination of CMP process and RTA  $N_2/N_2O$  annealing exhibit improved J-E curve, higher charge to breakdown, and lower electron trapping rate.

(2) To get high quality ultra-thin oxide is very important and difficult for IC industry now. Using  $NF_3$  annealed poly-Si gate to improve gate oxide integrity is described. However,

reducing gate, source and drain parasitic resistance with scaled gate lengths is another key point. Co-salicide process is a terative to replace conventional Ti-silicide process. However, Co-salicide process has a leakage problem. Using  $\text{NF}_3$  annealing to prevent Co diffusing into gate oxide is described. Results show that the optimal  $\text{NF}_3$  annealing significantly improves electrical characteristics of ultra-thin oxide and Co-salicide process in terms of leakage current and breakdown field, as compared to the samples without  $\text{NF}_3$  annealing.

(3) A novel one-step cleaning solution had been developed for pre-gate oxide cleaning to replace the conventional RCA two-step cleaning recipe. TMAH and EDTA were added into the RCA SC-1 cleaning solution to enhance cleaning efficiency. From the experimental results, the particle removal and metallic contamination on the bare-Si wafer surface could be removed significantly and improved electrical properties by applying the novel one-step cleaning solutions. Hence, this novel one-step cleaning process is very promising for future large-sized silicon wafer cleaning due to the advantages of time-saving, cost down and high performance.

(4) We have studied a systematic of the physics characteristics of Ni-silicide formed on different Si substrates. We have found that the thermal stability of the silicide is affected by thickness and microstructure of the underlying poly-Si film. Additionally, the stacked poly-Si film structures are found to have better thermal stability. Thus, the stacked poly-Si sample can suppress the  $\text{NiSi}_2$

agglomeration.

**Keywords:** CMP, polyoxide,  $\text{NF}_3$ , thin gate oxide, TiSi, TMAH, EDTA, stack structure, NiSi.

## 二、緣由與目的

在非揮發性記憶體的製程上,不僅穿透氧化層要隨之便薄甚至複晶矽浮接閘上的複晶矽氧化層不但要隨之變薄,還要兼具低漏電流與高崩潰電場的特性,複晶矽氧化層厚度的不均勻與粗糙的表面將造成區域的電場增加,使其漏電流與崩潰電場的特性遠不及單晶基材的閘極氧化層。CMP的製程將可用來增進複晶矽的表面平坦度,良好控制的研磨製程將可降低漏電流並增加崩潰電場[1-3],在此,我們將進一步研究研磨後的複晶矽與不同方式的LPCVD TEOS 氧化層成長後,再經過RTA溫度及氣體( $\text{N}_2$  或  $\text{N}_2\text{O}$ )處理,並瞭解經這些過程處理對複晶矽氧化層特性的影響。

隨著半導體元件的縮小,閘極氧化層的可靠度也變的更為重要,如何獲得高可靠度的閘極氧化層變成當今最重要的問題。閘極漏電流是一個判斷閘極氧化層優劣的主要因素,尤其是在FN 穿透前低電場下的漏電流。所以說,如何得到一個低漏電流的閘極氧化層便成了當今主要的問題。我們發展一項結合氮、氟優點的技術用來改善閘極氧化層的可靠度,我們採用三氟化氮對複晶矽閘極退火處理的製程,並期望此種方法對閘極漏電流有顯著的改善。就另一方面來說,在深次微米的製程中,如何減低閘極的電阻也是一個重要的關鍵[4-5]。傳統的鈦矽化物可以有效的降低閘極電阻,但其在閘極線寬變窄後其電阻值也隨之變。鈷矽化物是一個取代的方法,因鈷矽化物的阻值不會因線寬的變窄而變大;但鈷矽化物有一個問題在於其漏電流太大。所以我們也期望上述用三氟化氮對多晶矽閘極退火處理的方法能有

效的減少因形成閘極銻矽化物而來的漏電流。

氧化層的可靠度非常依賴在它成長之前矽晶片清潔[7]，微小粒子殘留矽晶片會造成低的崩潰電壓及高的漏電流，而金屬離子污染在矽晶片表面會引起高的電子捕獲電荷及降低少數載子生命時間。傳統 RCA 清潔溶液包括 SC-1 是用來去除微小粒子及 SC-2 是用來移去金屬離子污染。我們研發一個步驟清洗溶液對成長閘極層之前清洗來取代傳統 RCA 的兩個步驟，也就是把 TMAH 與 EDTA 加入 RCA 的 SC-1 可以增強清洗能力。

複晶矽的矽化物廣泛被使用在低阻值的閘極當在電極與局佈導線，鎳矽化物有低溫形成矽化物與不會有凝聚現象及低的矽材質消耗的優點比銻矽化物與鈦矽化物[8]。然而，矽化物在熱處理會造成它的惡化，所以我們探討一系列的鎳矽化物經過熱處理在不同的矽基材形成之物理特性來維持它的優點而防止它的惡化。

### 三、結果與討論

在熱成長氧化層過程，複晶矽氧化層與複晶矽介面會變得較粗糙，造成電特性的衰減。化學機械研磨技術可使複晶矽表面變的光滑，即使長完氧化層，有經過化學機械研磨的複晶矽介面顯的較平整。另外一種改善複晶矽氧化層的方法是使用 LPCVD TEOS 與 RTA( $N_2O$  或  $N_2$ )氣體成長氧化層。在 SIMS(二次離子分析)的氮分佈可知，經過化學機械研磨技術處理與  $N_2O$  氧化的複晶矽氧化層有高濃度的氮原子聚集在氧化層與複晶矽的介面。結合化學機械研磨技術與  $N_2O$  氧化劑，將使得複晶矽氧化層有極佳的 J-E 特性曲線，高的崩潰電荷及減少電子捕捉數目。

我們首先探討利用三氟化氮不同退火時間的鋁電極電容的電壓電流關係。我們可以發現使用三氟化氮退火處理的試片有著較低的漏電流於低電場區，而且使用三氟化氮退火處理可以有效的增加元件的崩潰電場。這是因為使用三氟化氮退火處理

可以填補原本在氧化層與矽基板介面的缺陷(如氫化矽或氫氧化矽等弱鍵)，使用 SIMS 可發現有較多的氟和氮聚集在氧化層與矽基板介面，因為有了氟化矽與氮化矽的形成，使得元件特性有顯著的改善。我們可以明顯的發現利用三氟化氮退火處理可以有效的改善銻矽化物的漏電問題在三氟化氮不同退火時間的銻矽化物電極電容的電壓電流關係，其也可以增加銻矽化物元件的崩潰電場，我們也發現太長的退火時間也會造成電特性的退化，可能是由引起太多缺陷電荷，所以最佳的條件是十分鐘。

我們發現把 TMAH 與 EDTA 加入 RCA 的 SC-1(TE)的一個步驟清洗溶液有最高的微小粒子殘留去除率比傳統 RCA 的兩個步驟以及只有 TMAH 加入 SC-1(TM)與 EDTA 加入的 SC-1(ED)的清洗溶液，相對地，使用 TE 方法也是把金屬離子(Fe、Na、Ca、Mn 以及 Cu) 污染在矽晶片表面完全清除乾淨。在電性方面，使用 TE2(溫度為 80 度，時間為 3 分鐘)方式有較低漏電流及高電場。所以說使用神奇一個步驟清洗溶非常適合大尺寸矽晶片清洗由於它可以節省時間、降低化學成本及高效能。

在不同厚度之鎳矽化物在複晶矽經過熱處理與片電阻的圖形中，我們發現厚度越厚在低溫熱處理容易產生鎳矽化物的惡化，而堆疊複晶矽比複晶矽較好的熱的穩定性。鎳矽化物在使用  $SiH_4(S)$  與  $Si_2H_6(D)$  的氣體形成複晶矽上可以耐到 700 度都不會惡化，而鎳矽化物在非結晶矽結構經過 600 度 30 秒處理很不穩定，因為複晶矽有較大的顆粒比非結晶矽。從穿透電子顯微鏡圖形，可以知道鎳矽化物在複晶矽上經過熱處理與複晶矽介面有良好平坦結構。

### 四、成果自評

本次計畫之執行，皆達到預期之成果並已在相關之學術期刊上發表論述，茲列於下：

[1] "Characteristics of TEOS Polysilicon Oxides: The Improvement by CMP

N<sub>2</sub>/N<sub>2</sub>O Annealing," accepted to be published in *J. Electrochem. Soc.*, Nov, 2000.

- [2] "Improvement of Ultra-Thin 3.3 nm Thick Oxide for Co-Salicide Process Using NF<sub>3</sub> Annealing Poly-Gate," *Jpn., J. Appl. Phys.*, Vol. 38, p. 2243-2246, 1998.
- [3] "A Novel One-Step Cleaning Solution to Replace the Conventional RCA Two-Step Cleaning Recipe for Pre-Gate Oxide Cleaning," revised in *J. Electrochem. Soc.*

五、参考文献

- [1] C. Cobianu, et al, *IEEE Electron Devices Lett.*, vol.14,p213,1993.
- [2] C. S. Lai,et.al, *IEEE Trans. on Electron Devices*, vol.43, No.2, p1-6,1996.
- [3] C. Y. Chang, et al, *IEEE Electron Devices Lett.*, vol.17, p100, 1996.
- [4] T. Yamazaki et al., *IEDM Tech. Dig.*, p.906-909, 1993.
- [5] K. Goto et al., *Symp. VLSI Tech.*, p.119-120, 1994.
- [6] H. Hwng , et. al , in *IEDM Tech. Dig.*, p. 421, 1990.
- [7] T. Ohmi, *Electrochem. Soc.*, 184<sup>th</sup> Meeting, New Orleans, p. 495, 1993.
- [8] J. B. Lasky et al., *IEEE Trans. Electron Devices*, vol.38, p. 262, 1991.

六、圖表

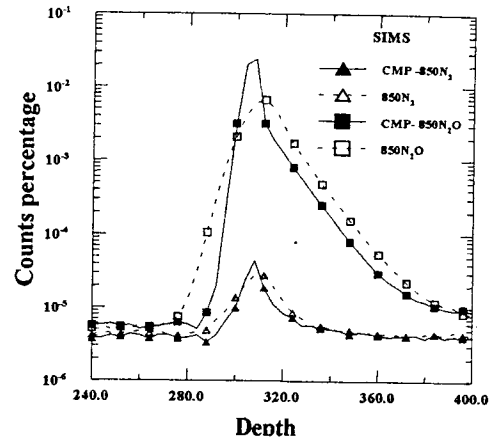


Fig. 1 SIMS depth profiles of nitrogen in Non-CMP and CMP samples after 850°C N<sub>2</sub>/N<sub>2</sub>O RTA annealing.

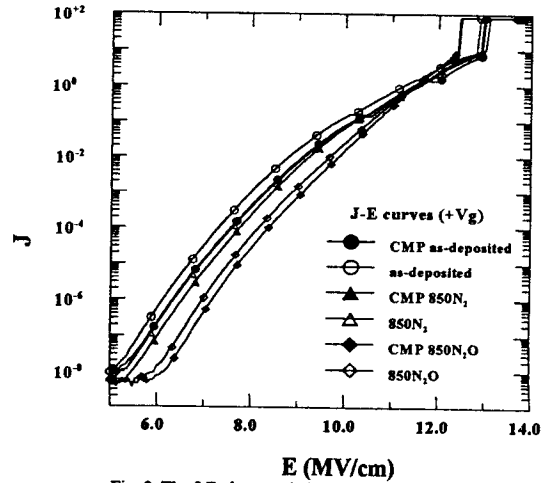


Fig. 2 The J-E characteristics of TEOS polyoxides under positive V<sub>g</sub> injection.

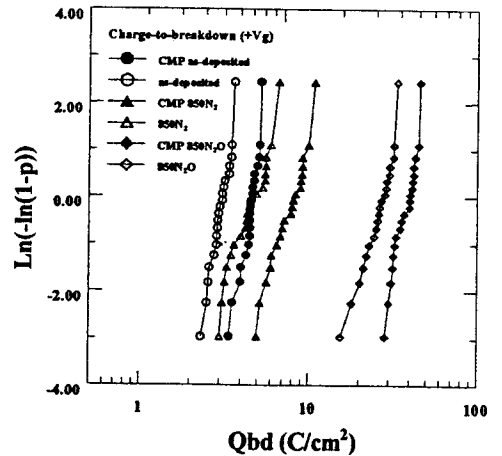
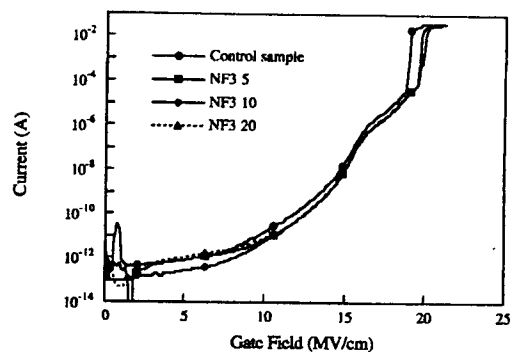


Fig. 3 The charge-to-breakdown (Q<sub>bd</sub>) characteristics of TEOS polyoxides under +10 mA/cm<sup>2</sup>.



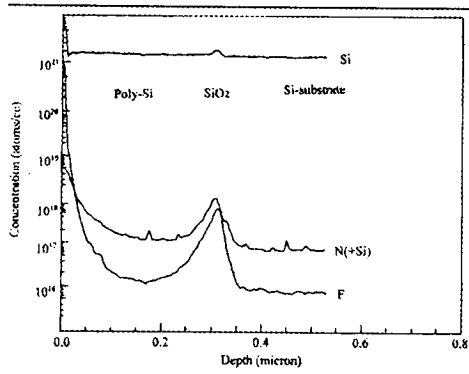


Fig. 5 The SIMS profiles of sample annealed by  $NF_3$ . It is found that F and N pile-up at the  $SiO_2/Si$  interface.

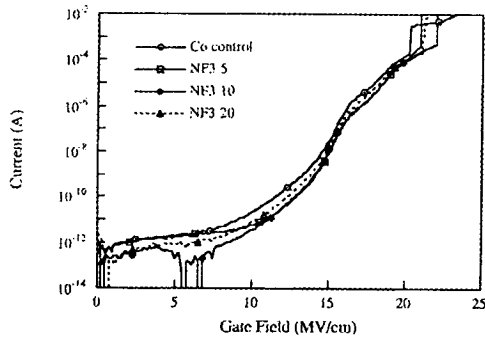


Fig. 6. The current vs. electrical field of Co-silicide samples with various  $NF_3$ -annealed times.

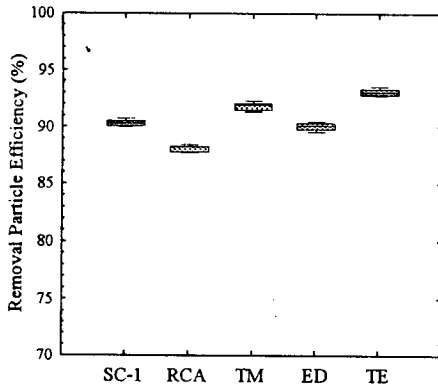


Fig. 7 The particles removal efficiency on the surface for different cleaning methods.

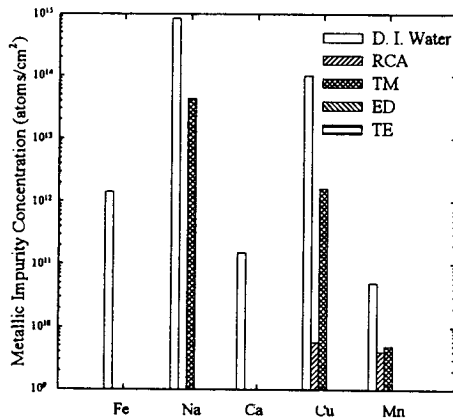


Fig. 8 The metallic impurities contamination on the surface for different cleaning methods

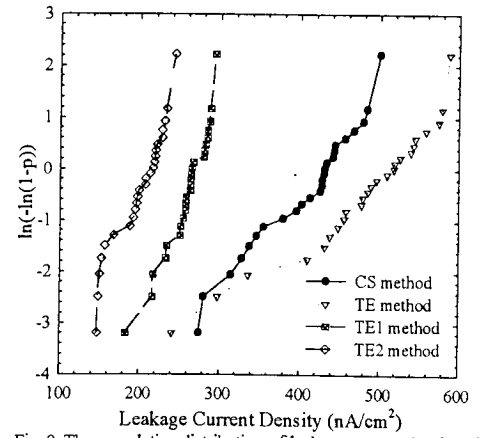


Fig. 9 The cumulative distribution of leakage current density of MOS capacitors after cleaning with different cleaning methods.

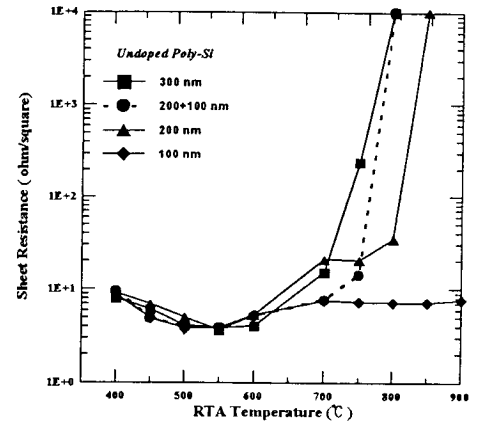


Fig. 10  $R_s$  of Ni-silicide formed on the poly-Si films with different thickness as a function of RTA temperature

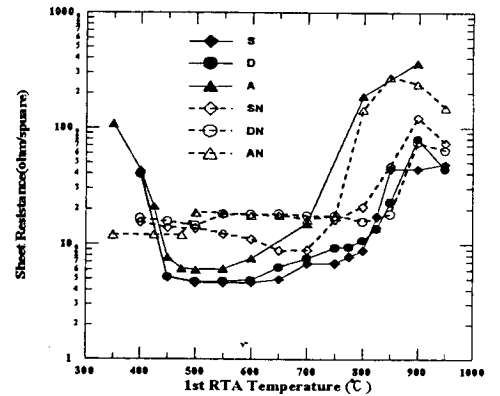


Fig. 11  $R_s$  of Ni-silicide formed on the different microstructures of  $p^+$  Si substrate with and without activation as a function of RTA temperature.



Fig. 12 The TEM micrograph of the cross-sectional view of the DS with  $BF_2$  doped poly-Si after  $800^\circ C$  silicidation for 30s.