

# 行政院國家科學委員會專題研究計畫成果報告

金屬氫化法製作奈米裂隙-表面傳導電子發射顯示技術應用

計畫編號：NSC 97-2221-E-009-016-MY3

執行期限：97 年 08 月 01 日至 100 年 07 月 31 日

主持人：潘扶民國立交通大學材料科學與工程研究所

計畫參與人員：蔡志豪，黃建融，陳冠榮，鄒泰銓，魏振洋，鄭心怡

## 一、中文摘要

本研究提出鈀金屬氫化法 (Palladium Hydrogenation) 來加以製作奈米級裂隙 (Nanogap)，此製程擁有簡易、高操控性與可控制尺寸大小等特色。藉由實驗結果與理論分析來深入研究表面傳導電子發射源 (Surface Conduction Electron Emission, SCE) 之場發射特性、效率及其穩定性測試。

為了在 SCE 結構中獲得較小裂隙寬度，本研究利用有限元素分析探討在不同 Pt/Ti 電極厚度條件下，SCE 結構內之應力分布情形，根據研究結果顯示，最佳化之 SCE 結構之 Pt/Ti 電極厚度為 20 nm，其奈米裂隙寬度可小於 18 nm，並具有較佳之場發射特性，如較高的場發射電流與較低的啟始電壓。此外，利用聚焦離子束法 (Focused Ion Beam, FIB) 製作具有平坦的陰極表面與平整的裂隙邊緣，並將之與氫化 SCE 電子源進行場發射特性比較，結果顯示氫化 SCE 電子源擁有高達 ~4 % 之場發射效率，顯著優於傳統平面式 SCE 電子源 (~1.03 %)。

此外，為了縮小奈米裂縫，本實驗利用鈀金屬在不同基材上之優選氧化現象，進行鈀金屬奈米裂縫熱退火處理，提升表面粗糙度，以改良表面傳導電子發射元件 (surface conduction electron emitter, SCE) 的場發射性

質。在熱退火製程中，白金基材，金屬鈀與氧化鈀三者晶格常數的差異，導致鈀薄膜選擇性地在一般基材上氧化，形成粗糙的氧化鈀，但在白金上則無法形成完整氧化鈀薄膜。我們對鈀金屬奈米裂縫進行熱退火處理，探討退火溫度與場發射性質的關係，發現驅動電壓隨著退火溫度升高而減小。經過 550 °C 退火的表面傳導電子發射元件，其驅動電壓由 110 V 降低為 40 V，並且場發射效率在閘極電壓為 40 V 時即可到達 2%。不僅驅動 SCE 元件的閘極電壓以及陽極電壓達到有效的下降，效率更優於傳統平面式 SCE 電子源 (~1.03 %)。

關鍵詞：鈀，氧化鈀，氫化鈀，相轉換，奈米裂隙，表面傳導電子，場發射，選擇性氧化。

## Abstract

In this study, we present a simple, highly controllable, and scaleable method to produce nanogaps by palladium hydrogenation. Experimental results and theoretical analysis are conducted to investigate field emission properties of the surface conduction electron emission (SCE) emitters, in terms of the I-V curve, field emission efficiency and field

emission stability.

Finite element analysis was used to study the stress distribution in the SCE structure with the Pt/Ti contact pad of various thicknesses so that an SCE structure with a minimized gap width could be obtained. Among the SCE emitters under study, the optimal SCE structure, which was with a Pt/Ti contact pad thickness of 20 nm and had a Pd nanogap width of 18 nm, had the best field emission performance in terms of the field emission current and turn-on voltage. For comparison, a focused ion beam (FIB) was used to prepare a single nanogap in a conventional SCE emitter which had smooth gap edges. Compared with the conventional SCE emitter, the hydrogenated SCE emitter demonstrated a much higher emission efficiency (~4%).

We also performed selective oxidation to roughen the gate electrode of the SCE emitter to reduce gap width of the Pd nanogap, thereby improving the field emission characteristics. Because of lattice mismatch between Pt, Pd and PdO, PdO can be selectively grown on the SiO<sub>2</sub> substrate but not on the Pt bottom electrode during thermal anneal in oxygen ambient. Because of the formation of rough edge on the electrode as a result of the production of PdO, the turn-on voltage of the SCE device decreased after the annealing. The turn-on voltage dropped to 40V after the anneal treatment at 550°C, and the field emission efficiency increased to 2% at a gate voltage of 40 V, which is much better than the SCE emitters without thermal annealing (~1.03%).

**Key words:** palladium, PdO, nanogap, palladium hydride hydrogenation, phase transformation, surface conduction emission,

SCE, field emission, selective oxidation.

## 二、緣由與目的

表面傳導電子發射顯示器為當前最受矚目的平面場發射顯示器技術的一種，此一技術原由佳能(Canon)於 1986 年開始獨立進行 SCE 相關基礎技術研究。簡單而言，SCE 即薄型化的冷陰極射線管電視，集自發光、廣視角、高亮度與低耗電量等優點於一身 [1-4]。SCE 電子場發射元件結構則與 Spindt 型場發射顯示器完全不同，電子場發射行為發生在電極導線上一條寬僅數奈米的裂隙之間，SCE 場發射元件的製作程序相對簡單許多，它的 2D 場發射結構使得電子源與螢光板的距離得以大幅減小，成功地把 SED 厚度控制在同等尺寸的 LCD 面板的一半。在製作成本方面，SED 是一種自主發光的顯示技術，大幅降低了 LCD 所需諸如背光模組等材料的成本，在同樣的尺寸下，它的耗能只相當於 PDP 的 1/3。SED 除了外觀輕、薄與省電之外，並擁有 CRT 畫質的優點，還避免了 CRT 顯示器邊緣區部顯影變形的問題，當 Canon 和 Toshiba 兩家公司在 2005 年成功地展示了 36 吋 SED 原型機後，明確顯示 SED TV 技術商品化的可行性。

Canon 公司的 SCE 元件結構如圖一所示，場發射薄膜電極是由粒徑約 5-10 nm 的氧化鈮(PdO)奈米顆粒所形成，在 PdO 電極上有一條極微細的裂隙(nm - μm)，裂隙兩端分別為陰極與閘極，當外加電壓 10 - 16 V 左右，在裂隙兩端即可發生電子場發射效應，電子由陰極端發射至閘極端。Canon SCE 發

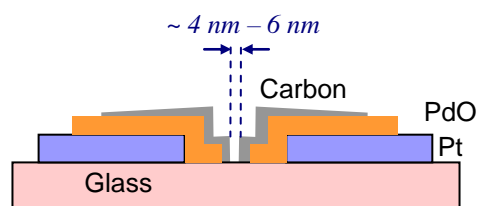


圖 1. Canon SCE 元件結構

射元件上的奈米裂隙是利用 Ink-Jet Printing 方式製作在氧化鈦超微粒子薄膜上，氧化鈦薄膜電極是經一連串的 forming 以及 activation 過程所完成，雖然 Canon SCE 顯示器相較於目前的 TFT-LCD 顯示器來說有許多優點，但奈米裂隙的製造較為複雜且造價較昂貴。

在本研究計畫中，我們提出了不同電極材料與裂隙製作方法，我們利用 Pd 金屬氫脆化(hydrogen embrittlement) 的原理來製作 SCE 元件結構中最關鍵的部件—奈米裂隙，探討其於場發射顯示技術的應用可行性，這種製程相對簡單的場發射裂隙製作方法非常適合 SED 顯示器技術的應用，我們藉由實驗結果與理論分析來深入研究表面傳導電子發射源之場發射特性、效率及其穩定性測試。圖二是我們的 SCE 場發射源元件結構示意圖，該元件結構與 Canon 公司所採用 PdO 奈米粒噴墨印刷法的 SCE 元件最大的不同處在於我們採用傳統的積體電路製程，以 Pd 金屬薄膜做為 SCE 結構電極，製程步驟相當簡單，鍍膜製程為微電子技術普遍使用的物理氣相沉積法，經過鍍膜與 lift-off 微影製程後，將此 SCE 結構試片置入自行設計的高壓氫氣系統中進行氫化製程，在適當的溫度與氫氣壓力下，奈米尺度(< 100 nm)的完整裂隙便可在應力集中區域形成。

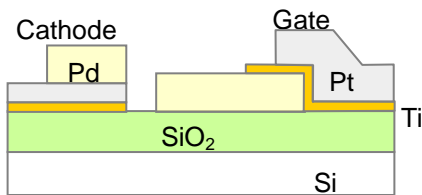


圖2. Pd氫化SCE元件結構

本計劃奈米裂隙製作的原理為 Pd 金屬氫脆化，所謂氫脆化，即是氫氣溶入過渡金屬材料內，在適當的溫度壓力條件下，會形成金屬氫化物，並因此改變金屬晶格常數，造成金屬材料體積的增加，產生應變，繼而導

致材料的破裂。就 Pd 金屬薄膜言，氫原子擴散進入鈦的晶格時，依氫與鈦的濃度比率與溫度條件，會形成氫—鈦的固態溶液( $\alpha$ 相)或氫化鈦(palladium hydride)化合物( $\beta$ 相)，在反覆吸氫與脫氫過程中，Pd-H 材料系統內發生了 $\alpha$ 相及 $\beta$ 相之相轉換【1-4】，當 $\alpha$ 相轉變到 $\beta$ 相時，晶格常數會從 3.893Å 增加為 4.018Å，此一不連續之相變化造成材料體積膨脹 11%，因而在被氫化的 Pd 金屬內產生了相當大的應力，應力導致 Pd 金屬內原子的遷移，形成空隙(void)，voids 擴大後，即發生 Pd 材料的破裂，圖三即是我們在室溫，施加 30 大氣壓氫氣於 Pd 金屬薄膜 10 分鐘後所造成的薄膜破裂，裂痕漫佈薄膜表面，顯示應力的紓解方向沒有規則性，就結構性材料的應用層面來說，此種破裂現象必須儘量避免，但在本研究中，我們將此種紊亂的破壞性破裂，轉化為有利用價值的 SCE 場發射 Pd 電極上的裂隙，我們提出一種可以規範裂縫發生位置的 Pd 氫化方法，適當調整氫化溫度、氫氣壓力與吸放氫氣時間可以控制裂隙的長寬【5,6】，我們可以製作出寬度小於 30 nm 的 Pd 電極裂隙。除了上述氫化法，本研究另利用聚焦離子束(focus ion beam, FIB)製作 SCE 場發射源奈米裂縫，我們以 FIB 在條狀 Pd 薄膜電極上製作出奈米裂縫，接著於氧的氛圍下進行退火處理，使在二氧化矽基材上的 Pd 薄膜發生選擇性氧化[9]，改變了裂隙場發射區的化學結構及表面形貌，進而提升 SCE 元件的場發射性質。

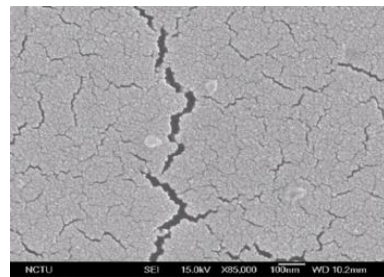


圖3. 經室溫，氫氣30 atm，10分鐘之Pd金屬薄膜龜裂之SEM

### 三、實驗方法

本研究將Pd奈米裂縫SCE場發射結構製作在p-type (100)矽晶片上。製作流程如圖4所示，矽晶片首先經過氧化處理形成一層厚度為150 nm的絕緣層，接著經過微影製程形成Pt電極排列。利用電子束蒸鍍系統依序沉積5 nm厚的Ti及10 nm厚的Pt電極。利用丙酮移除光阻後，即形成寬度為30  $\mu\text{m}$ 之Pt/Ti電極，經過第二次的製程沉積鈀條狀薄膜跨接於Pt電極與絕緣層上。鈀條狀薄膜為30 nm厚、3  $\mu\text{m}$ 寬及50  $\mu\text{m}$ 長。接著將此結構放入一個壓力抽至 $5 \times 10^{-3}$  mbar之不鏽鋼反應槽中進行氫氣吸附反應，氫氣壓力控制在 $2 \times 10^4$  mbar，溫度控制在25°C。吸氫後，將壓力抽

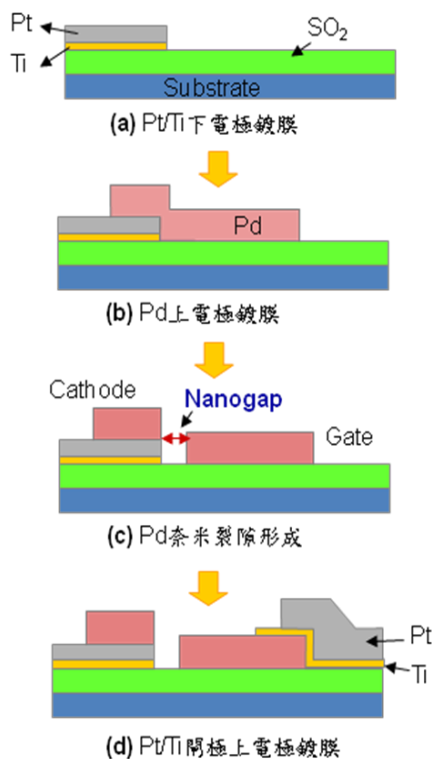


圖4. Pd奈米裂縫SCE場發射結構製作流程圖。

至0.3 mbar並將試片恆溫於330°C、30分鐘以利氫氣脫附。經過氫化處理後形成奈米裂縫之結構，再經過一次的微影製程製作另一道梳狀Pt電極(Pt 50 nm/Ti 5 nm)於另一端，SCE場發射元件結構即完成。

### 三、結果與討論

#### 1. 鈀金屬氫化法製作SCE元件

奈米裂縫的間距與形貌是決定SCE元件場發射特性的主要因素，而對裂縫寬窄與形狀有關鍵性影響的製程條件包括了Pd電極氫化參數與電極薄膜的幾何結構(如Pd與Pt上下電極的線寬與厚度)，我們為了達到裂縫寬度 $<10$  nm，啟始電壓(turn-on voltage)~10 V的目標，進行了以下之重點研究內容：

(1) 研究Pd電極氫化最佳化的製程條件。調整的參數包括溫度、氫氣壓力與氫化時間，其中前二者尤其重要，最佳化氫化溫度與壓力可以適當控制 $\beta$ 相轉化速率，提升Pd電極薄膜內的應變速率(strain rate)，迅速累積應力於局部區域，並在預設區域內形成完整斷裂的單一裂縫，這是關鍵性的裂縫形成步驟，若應變速率不足，應力紓解至薄膜電極其他區域，如電極邊緣，則裂縫無法完整形成，將發生短路。

(2) 研究SCE元件電極的幾何形狀對裂縫形狀位置的影響。如何將 $\text{PdH}_x$ 相轉換所產生的應力集中在SCE電極局部區位，與SCE元件結構有密切關聯，其中Pd與Pt/Ti上下

電極的薄膜厚度與寬度為重要參數，若 SCE 結構參數配置不當，薄膜破裂便會發生在 Pd 電極任何不確定的位置，或斷裂不完整，這一部份的研究必須配合下述第二項的應力場分佈模擬工作的進行。

(3) 研究Pd電極微結構與氫化裂隙形成的關連性。裂隙的產生是由於Pd氫化後，薄膜內形成應力梯度(gradient)，進而導致原子遷移，而原子遷移與後續之空隙成長(void growth)行為與薄膜微結構有密切關連，我們研究Pd電極薄膜微結構與氫化裂隙形成的關連性，藉以作為選擇適當的薄膜改質條件的依據，以控制裂隙的寬度，這包括採用不同的Pd鍍膜法(如濺鍍與蒸鍍法)，調整鍍膜溫度，Pd電極氫化前退火處理。圖五為在20 atm之氫氣壓力，300°C所製作出來SCE裂隙之SEM 影像圖(平面與剖面)，圖6則比較了傳統平面式與氫化SCE電子源之結構差異之示意圖。由圖6. (a)所示，可以發現傳統式SCE結構擁有一等平面式之奈米裂隙來作為電子發射源，反觀，氫化SCE結構則有一傾斜突起式之奈米裂隙來作為電子發射源(圖6. (b))。然而此兩者電子源之幾何形狀的不同，也將造成其場發射特性的不盡相同，稍後部分我們會深入探討其幾何形狀與其場發射特性之差異。此外，電子發射軌跡分別以粗實線表示

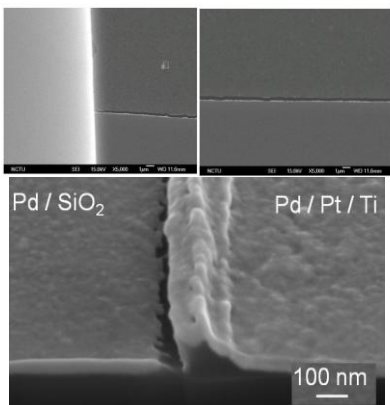


圖5. Pd SCE場發射結構奈米裂隙 (上)平面SEM影像，(下)剖面

電子由陰極發射受到陽極電壓而抽引至陽極部分，而虛細線則闡明電子由陰極發射至閘極並且在閘極表面進行表面傳導的行為。

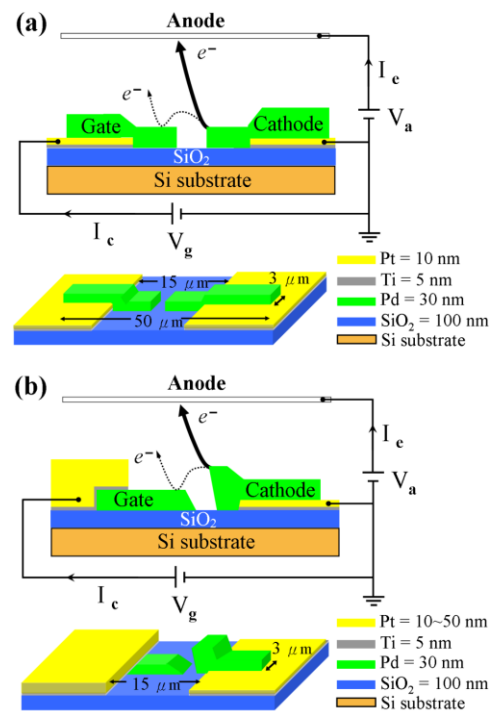


圖 6. (a) 傳統式 SCE 結構與(b) 氫化 SCE 結構之 2D、3D 示意圖。箭頭曲線則闡明電子發射之行徑軌跡。

### 1-1. SCE 結構最佳化之探討

為了更進一步了解奈米裂隙成型的機制，本研究利用 ANSYS 有限元素分析軟體 (finite element software) 模擬 SCE 結構中鈹薄膜階梯區域經相變化造成體積膨脹所產生的靜態應力分布，整個模擬的架構建立在三個基本假設之上：第一、假設鈹在氫化過程中由  $\alpha$  相完全轉變成  $\beta$  相，亦即假設模擬之靜態應力完全為鈹晶格常數膨脹 3.3% 後所產生的晶格應變所造成。第二、氫化鈹的機械性質與氫原子濃度無關。第三、在鈹氫化過程中由  $\alpha$  相完全轉變成  $\beta$  相所產生的應力值可經由虎克定律計算得到：

$$\sigma = \frac{E_{Pd}}{1-\nu_{Pd}} \epsilon \dots \dots \dots (1-1)$$

，將鈹的楊氏模數  $E_{Pd}$  (110 GPa)，普松比  $\nu_{Pd}$

(0.39)及晶格應變  $\varepsilon$  (3.3 %)代入公式(1-1)，計算得到的應力值約為 6.41 GPa，此值遠大於因熱膨脹係數改變所產生的薄膜熱應力，因此可以合理地忽略模擬過程中薄膜熱應力的影響(即氫化過程的加熱條件)。

本研究針對不同厚度 Pt/Ti 下電極之 SCE 結構來加以進行靜態應力分布模擬，其厚度分別為 15 nm、20 nm 與 25 nm。接下來的討論過程中，分別以 SCE-15 nm、SCE-20 nm 與 SCE-25 nm 來加以表示這三種不同結構的 SCE 元件。圖 7 為 2D 與 3D 之 SCE 結構靜態應力分佈圖，圖 7.(a-c)中可清楚地顯示出較大應力皆集中在鈇條狀薄膜與 Pt/Ti 下電極之交接處(紅色代表應力最大處)，由圖 7.(b)中更可明顯觀察出因為體積膨脹所引發的壓應力集中在梯狀尖端角落上，如圖中紅色圓圈處。反之，在鈇薄膜梯狀尖端旁邊平坦處的應力為最小，如圖中藍色方形處。由此可知，在應力釋放的過程中，因為應力梯度的不同驅使內部原子的擴散而造成梯狀尖端的區域形成破裂。在鈇薄膜破裂的過程中，在應力較大區域內的鈇原子會往梯狀尖端旁邊應力小

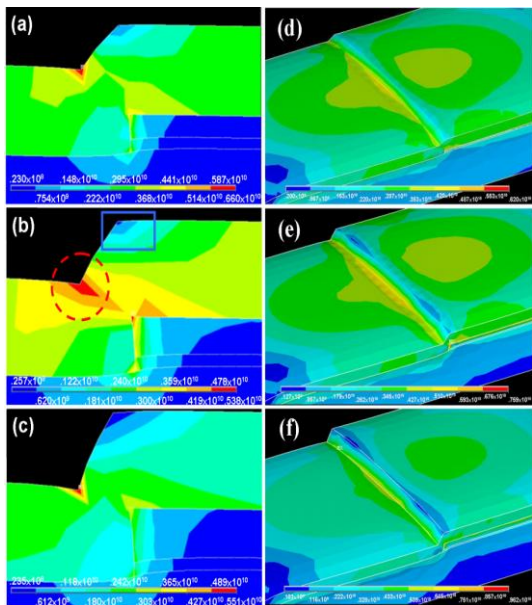


圖 7. 2D 與 3D 之 SCE 結構靜態應力分佈圖。(a)與(d)為 SCE-15 nm；(b)與(e)為 SCE-20 nm；(c)與(f)為 SCE-25 nm。

的區域擴散，因此原子遷移後留下空孔，空孔聚集形成孔洞，孔洞再繼續成長合併導致最後鈇薄膜完全的斷裂進而生成奈米裂隙。在斷裂的過程中，鈇原子不斷的往階梯上方應力最小的區域遷移，最後堆積成如圖 7.(d-f)之傾斜突起結構。應力梯度引起裂縫的動力學可以藉由孔洞形成來說明<sup>13</sup>，其中包含了孔洞的成核與成長。孔洞形成可能受許多因素而影響，例如應力、機械模數、原子擴散及溫度等。在 SCE-20 nm 的結構中，不論是 2D 或 3D 的靜態應力分佈圖皆可明顯地發現其應力集中範圍為最大且應力向鈇條狀薄膜兩側釋放的趨勢也較為明顯。由於應力梯度所產生的奈米裂縫其成長動力學可用 stress induced voiding model 來描述，它是一個孔洞成核與成長的機制[6]。孔洞的成長與許多因素相關包括應力、材料機械性質、原子擴散力及溫度。

圖 8. 顯示經 25°C 氫化製程，三種 SCE 結構(SCE-15 nm、SCE-20 nm 與 SCE-25 nm)

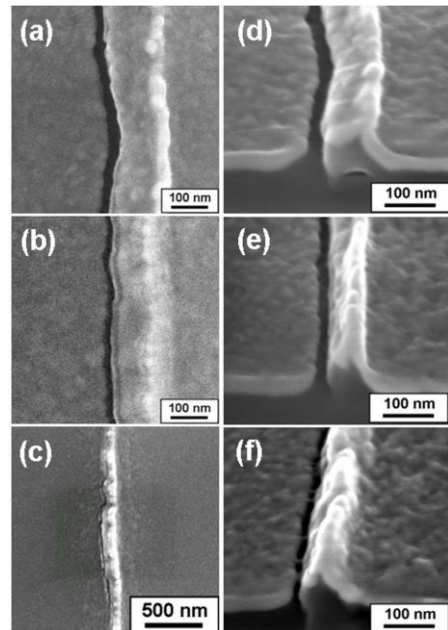


圖 8. 經 25 °C 氫化製程後三種 SCE 結構之二次電子顯微鏡俯視與橫截面影像。(a)與(d)為 SCE-15 nm；(b)與(e)為 SCE-20 nm；(c)與(f)為 SCE-25 nm。

之二次電子顯微鏡 (SEM) 影像。圖 8. (a-b) 中可觀察到在 SCE-15 nm 與 SCE-20 nm 結構中分別可得到奈米裂隙尺寸約為~25 nm 與 18 nm，此實驗結果與靜態應力分佈模擬相符合，SCE-20 nm 結構擁有最大應力集中範圍且應力向鈹條狀薄膜兩側釋放的趨勢也最為明顯。因此表示，SCE-20 nm 結構為產生最小奈米裂隙寬度之最佳化結構。此外，在 SCE-25 nm 結構中可觀察到奈米裂隙的成形無法達到向兩側完全斷裂的情形【圖 8.(c)】，對應圖 7.(f)之 3D 靜態應力分佈圖，可發現 SCE-25 nm 結構應力向鈹條狀薄膜兩側釋放的範圍與趨勢最不明顯，因此才會造成裂隙無法完全斷裂的現象發生。而圖 8.(f)之 SEM 橫截面圖中更可明顯觀察到奈米裂隙間存在著許多微小的連接處，此表示 SCE-25 nm 結構經由相變化所造成鈹條狀薄膜內部產生的壓應力不足以造成大量的原子遷移，進而造成裂隙無法完全形成而有部分連接的情形發生。

### 1-2. SCE 元件場發射特性之探討

SCE 場發射電子傳導特性是利用 Keithley 237 與 Matsusada AU-10R6 量測系統在真空壓力為  $5.0 \times 10^{-6}$  Torr 條件下所量測，本研究更利用聚焦離子束系統 (Focused Ion Beam, FIB) 加以製作出傳統式 SCE 結構，其擁有一等平面式之奈米裂隙來作為電子發射源[7]，其奈米裂隙擁有十分平滑的表面形貌並且進一步地深入探討傳統式等平面 SCE 與氫化傾斜凸起 SCE 在場發射特性方面之差異性。圖 9.(a) 為傳統式 SCE 與氫化 SCE 之傳導電流-閘極電壓曲線圖 ( $I_c$ - $V_g$  curve)。首先，可觀察到影響氫化 SCE 之場發射特性主要依據為奈米裂隙的寬度，由圖 9.(a) 可以看出 SCE-15 nm 及 SCE-20 nm 元件啟始電壓 (turn on voltage) 分別約為 30 V 與~41 V，前者比後者少了約 9 V，這個現象可以從基本的場發射

理論來加以解釋，當裂隙寬度越小，電子發射源受到施加在裂隙另一端電場的影響越大，即所謂的有效電場越強，造成鈹表面的真空位能障壁變得更薄，電子有更大的機率藉由量子穿遂效應穿過位能障壁而跳躍至真空。因此裂隙寬度為 18 nm 的 SCE-20 nm 元件可以在較低的啟始電壓下使電子發生場發射的現象。此外，當 18 nm 奈米裂隙施加閘極電壓至 50 V 時，整個 SCE-20 nm 元件可獲得高達 1.5 mA 的傳導電流。

另外，本研究藉由 FIB 製作出傳統式等平面 SCE 結構，其裂隙寬度約為之 25 nm，在接下來的討論中，我們稱此 SCE 結構為 FIB-25 nm，研究結果顯示，SCE-15 nm 比 FIB-25 nm 擁有較佳的場發射特性，其中包含較低的啟始電壓與較高的傳導電流，此原因我們歸咎於 SCE-15 nm 之電子發射源具有粗糙且傾斜突起的表面形貌，由於先前的研究結果顯示，傾斜突起之電子發射源擁有較高

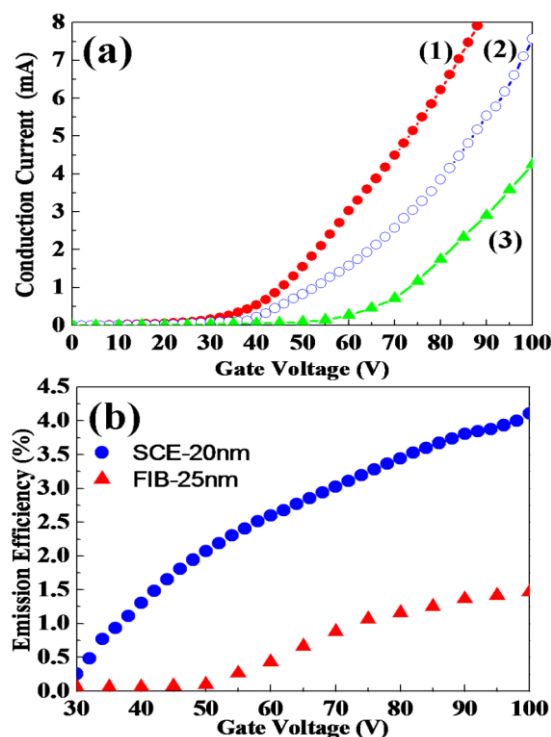


圖 9. (a) 傳統式 SCE 與氫化 SCE 之傳導電流-閘極電壓曲線圖：(1) SCE-20 nm (2) SCE-15 nm (3) FIB-25 nm；(b) SCE-20 nm 與 FIB-25 nm 在不同閘極電壓下之場發射效率曲線圖。

的電場集中特性[8]，因此導致會有較佳的場發射特性。此外，本研究更深入探討傳統 SCE 與氫化 SCE 在場發射效率(Electron Emission Efficiency,  $\eta$ )方面的特性，在此場發射效率我們定義為場發射電流與傳導電流的比值( $\eta = I_e/I_c$ )，根據 Canon 先前的研究報導指出 SCE 元件的最大挑戰在於極低的場發射效率( $<1\%$ )，圖 4(b)顯示傳統 SCE 與氫化 SCE 在不同閘極電壓下之場發射效率曲線圖，結果顯示，SCE-20 nm 擁有高達 4.10 % 的場發射效率，其值遠遠大於 FIB-25 nm 的 1.03 %。我們推測造成其高場發射效率的主要原因在於氫化 SCE 之傾斜突起之電子發射源表面形貌，此起尖端會造成部分場發射電流產生於此，在陽極電壓的影響下，電子會穿遂出進而被抽引至陽極，導致提升了其場發射效率。因此，大幅度提升了氫化 SCE 在表面傳導電子發射顯示器上的應用價值。

除了以 I-V 圖來顯示 SCE 元件的場發射特性外，我們製作 SCE 元件陣列結構，並測試其點亮狀況，圖 10 顯示該 SCE 陣列佈局圖與光學影像，該梳狀陣列共有九個 SCE 元件，每一元件長 30  $\mu\text{m}$ ，寬 10  $\mu\text{m}$ ，當加 1000 V 的偏壓在螢光板與 SCE 陣列時，螢光板即發

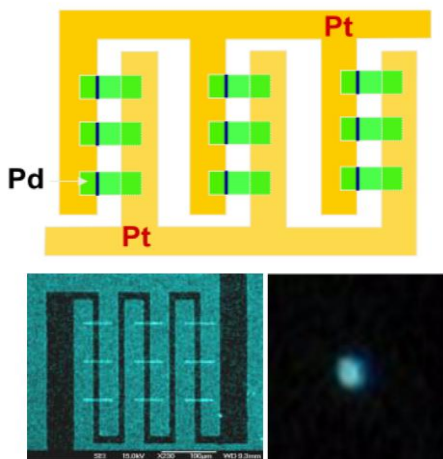


圖 10. (上) Pd SCE 場發射元件陣列佈局圖；(下左) SCE 場發射元件陣列 SEM 影像，共有九個元件，(下右) 該 SCE 元件陣列在陽極板所激發之螢光點影

出明亮光點，如圖 10 所示，此一點亮實驗顯示本計畫開發的 SCE 製作方法可以應用在場發射顯示器技術。

最後，本研究也針對氫化 SCE 元件的可靠度測試進行量測，實驗結果如圖 11 所示，氫化 SCE 擁有十分優良的可靠度特性，在經由 24 hr 的可靠度測試實驗後，其傳導電流與場發電流的變動率分別只有 1.84 % 與 3.12 %，此變動率遠遠小於一般奈米探管型場發射元件，這表示氫化 SCE 元件確實擁有量產開發的潛力存在。

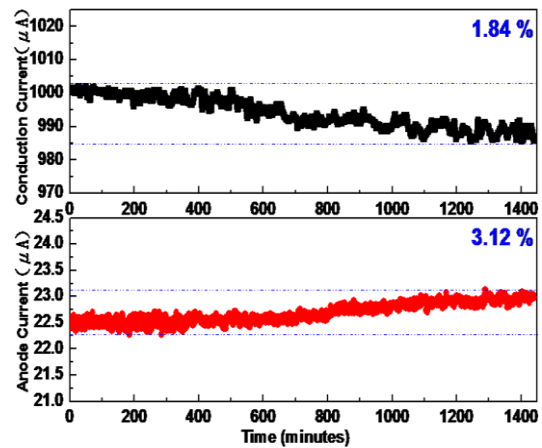


圖 11. SCE-20 nm 元件經由 24 hr 可靠度測試實驗後其電流變動率曲線圖。

## 2. 選擇性 Pd 氧化法改良 SCE 場發射特性

在前節的討論中，我們利用 FIB 製作出傳統式 SCE 元件結構，其奈米裂隙擁有十分平滑的表面形貌，由於裂隙最小寬度約在 25 nm 上下，為了繼續縮小寬度，我們利用選擇性氧化法將陰極粗糙化，以增加 FIB-SCE 元件之場發射特性。

### 2-1. 表面傳導電子發射元件(SCE)陣列製作

SCE 元件陣列結構側視圖如圖 12 所示，元件製作方法如下，首先，我們使用高溫爐管在矽基板上成長厚度約為 150 nm 的二氧化



矽薄膜作為絕緣層，接著利用電子槍蒸鍍技術連續沉積厚度為 5 nm 的鈦薄膜以及 10 nm 的白金薄膜當作第一道電極。同樣再利用蒸鍍技術沉積長度為 50  $\mu\text{m}$ 、寬度為 3  $\mu\text{m}$  及厚度 30 nm 的條狀鈰薄膜，一端覆蓋在第一道電極上，其餘部份覆蓋在二氧化矽上。電極和條狀鈰薄膜的圖案皆是由 lift-off 製程所定義。將上述結構進行聚焦離子束蝕刻，使奈米裂縫在條狀鈰薄膜與第一道電極交接的階梯區域產生，接著將 SCE 元件於氧的氛圍下進行退火處理。最後，連續沉積厚度為 5 nm 的鈦薄膜和 50 nm 的白金薄膜覆蓋條狀鈰薄膜的另一端，當作第二道電極，即完成 SCE 元件的製作。

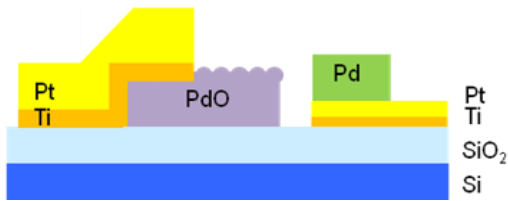


圖 12. SCE 結構的側視圖。

FIB-SCE 元件製作完成後，便是進行鈰電極退火處理，我們將 Pd/SiO<sub>2</sub> 和 Pd/Pt/Ti 層狀結構，進行兩種不同的鈰退火製程條件，如表 1 所示。鈰退火製程參數 A、B 之退火溫度分別為 400°C 以及 550°C，氧氣壓力固定為 0.2 torr，退火時間皆為五小時。如此便完成了金屬鈰在氧氛圍下的退火製程。

| 條件<br>參數 | 溫度<br>(°C) | 氧氣壓力<br>(bar) |
|----------|------------|---------------|
| A        | 400        | 0.2           |
| B        | 550        | 0.2           |

表 1. 鈰退火製程參數

## 2-2. 金屬鈰選擇性氧化結果與討論

### 2-2-1. SCE 電極形貌與微結構

金屬鈰經過 400°C 退火後，元件表面的形貌有很明顯的改變。此處將金屬鈰分為兩個區域討論，如圖 13 中 SEM 影像所示，奈米裂縫的左側為覆蓋在二氧化矽絕緣層上端的 Pd 薄膜區域，以 Pd/SiO<sub>2</sub> 表示，而另一端

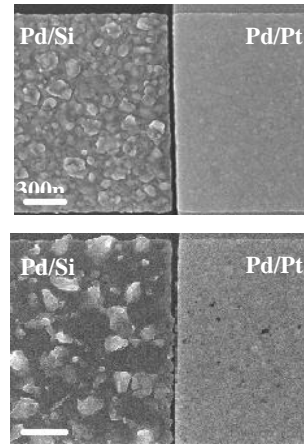


圖 13. 金屬鈰熱退火製程後之 SEM 圖

是覆蓋在白金電極上的鈰薄膜區域，以 Pd/Pt 表示，經過退火後發現在 Pd/SiO<sub>2</sub> 區域上的 Pd 薄膜表面的粗糙度明顯上升，在表面有均勻分布的突起結構，而在 Pd/Pt 的 Pd 薄膜粗糙度的改變並沒有像在 Pd/SiO<sub>2</sub> 上來得顯著。由低掠角 X 光繞射圖譜(圖 14)中可以看到 Pd/SiO<sub>2</sub> 區域經過退火後呈現主要的兩根譜峰為 PdO(101)以及 Pd(111)，且前者強度較後者大，表示經過退火後原本純金屬鈰已經有大部分被氧化形成 PdO 的組成；而 Pd/Pt 區域經過退火後主要的譜峰仍為金屬鈰的譜峰(Pd(111)、Pd(200)、Pd(220)以及 Pd(311))，雖然可見到 PdO(101)的譜峰，但其強度相對很弱，表示在此區域主要的組成仍然為金屬鈰，只有少部分的鈰被氧化形成氧化鈰結構。

導致氧化鈰在不同基材之選擇性生長的

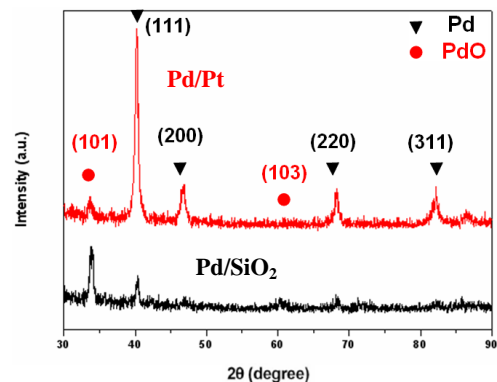


圖 14. 參數 A 元件之 Pd/SiO<sub>2</sub> 及 Pd/Pt 區域 XRD 繞射圖。

原因，乃是由於材料的晶格結構差異造成：氧化鈮為正方形硫砷化鉑晶體結構(tetragonal cooperate structure)，晶格常數  $a = b = 3.0434 \text{ \AA}$ 、 $c = 5.3363 \text{ \AA}$  [10]；金屬鈮為面心立方結構(FCC, lattice constant  $a = b = c = 3.891 \text{ \AA}$ )；而白金也同樣為 FCC 結構 (lattice constant  $a = b = c = 3.924 \text{ \AA}$ )；其中白金與金屬鈮的晶格常數相當接近，且兩者之間的晶格錯位很小，因此 Pd/Pt 的 Pd 薄膜結構相當穩定，不容易氧化[11]，加上氧化鈮與白金之間的晶格錯位很大，若要在白金上形成氧化鈮需要克服很大的能障，因此在 Pd/Pt 區域上阻止氧化鈮只形成在表面區域，一旦氧化鈮層厚度增加，壓應力會將界面之氧化鈮轉化成金屬鈮，氧化鈮雖持續生成，但也持續轉化成金屬鈮。在非晶質  $\text{SiO}_2$  表面上，氧化鈮因為沒有產生晶格不匹配的問題，PdO 便可在適當的溫度下成長。

### 2-2-2. 選擇性氧化後之 SCE 元件場發射特性

將經過參數 A、B 以及退火前之三種不同退火條件之 SCE 元件進行場發射性質，結果如圖 15 所示。經過退火改質之後場發射起始電壓皆呈現較低的趨勢，參數 A 之 SCE 元件驅動電壓約為 50V，而參數 B 之 SCE 元件驅動電壓則降為 40V。F-N plot 顯示退火前、參數 A 以及參數 B 三種不同的 SCE 元件，其直線斜率比為 24:8:3，故參數 B 之 SCE 元件場發射性質最為優異；同時，在施加相同的電壓下，參數 B 之 SCE 元件其場發射電流會較大。

將經過參數 B 以及退火前兩種條件之 SCE 元件進行場發射效率(Electron Emission Efficiency,  $\eta$ )的測試，在此場發射效率我們定義為場發射電流與傳導電流的比值( $\eta = I_e/I_c$ )。圖 16 為  $V_g = 40 \text{ V}$  時，SCE 元件效率比較圖，由圖中可以得知，經過  $500^\circ\text{C}$  退火改質後的 SCE 元件效率從 0.02% 升高到 2%，

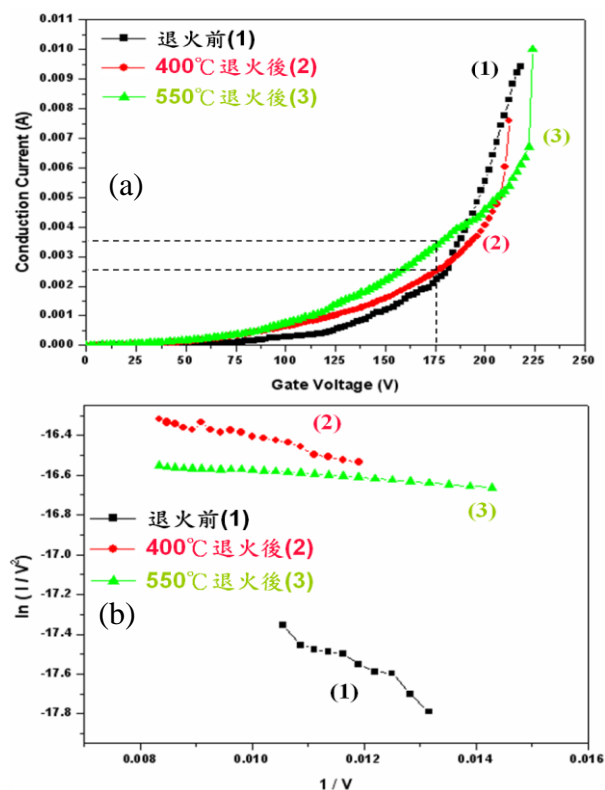


圖 15. 退火前、參數 A、參數 B 之 SCE 元件場發射量測。(a) I-V Curve (b) F-N plot。

有相當大的改善，並且大幅超越 Canon 所研發的傳統平面式 SCE 電子源的場發射效率 ( $< 1\%$ )。造成此場發射效率提升的因素可能有二：一為退火改質後奈米裂縫的縮小，當金屬鈮轉變為氧化鈮的同時伴隨著 68% 的體積膨脹，而鈮薄膜延著閘極方向的延伸會造成奈米裂縫縮小，提高了場發射的機率。一為氧化鈮的形成造成發射及表面粗糙度上升，當退火溫度從  $400^\circ\text{C}$  升高到  $550^\circ\text{C}$  其方

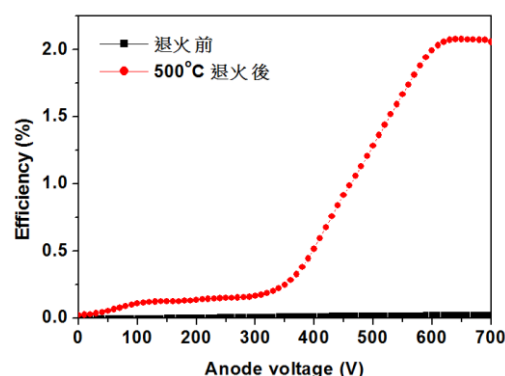


圖 16. 退火前後 SCE 元件效率比較圖。

均根表面粗糙度(RMS)從 9.715nm 升高到 19.742nm，如圖 17 所示。推測表面粗糙度的增加造成了場發射源局部電場集中的部份變多，場強因子變大，因此降低了場發射起始電壓，提升了場發射的效率。

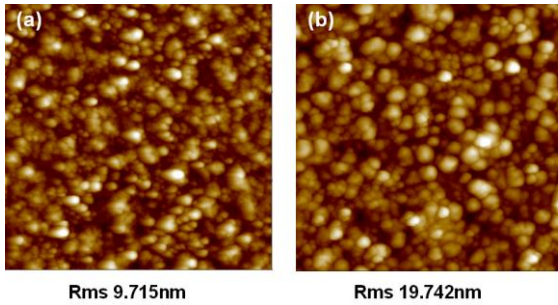


圖 17. 陰極端(Pd/SiO<sub>2</sub>)不同退火後 AFM 影像及 Rms 值。(a)參數 A (b)參數 B。

此外，將 550°C 退火後之 SCE 元件進行不同開極電壓下的發射效率量測。由圖 18 可發現隨著開極電壓為 40V 時可得到最佳的效率，當開極電壓由 40V 上升到 50V 時效率由 2% 急遽下降到~0.2%，且隨著開極電壓的上升發射效率持續的下降。推測是因為發射電流的產生源自於開極電壓產生的電場所誘發的穿遂效應，穿遂電子被開極吸引並在開極表面不斷的散射終至被陽極所吸引而導致。一旦開極電壓升高後，相對於陽極，開極電壓對於陰極場發射電子有很強的吸引力，同時改變了場發射元件裂隙周圍的電場分布，導致電子無法被抽引至陽極 ITO 玻璃。

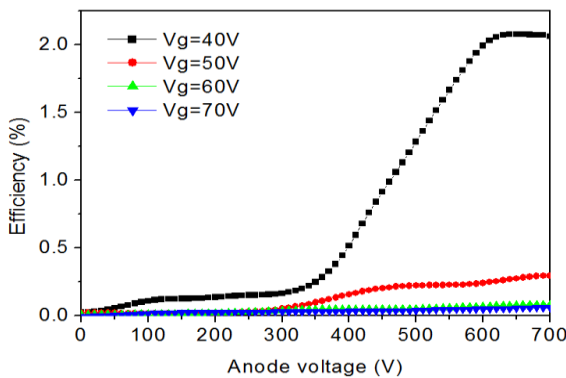


圖 18. 550°C 退火後 SCE 元件效率圖。

#### 四、結論與結果自評

本研究計畫成功地利用氫化處理在鈦金屬電極上製作出奈米裂隙，並結合傳統半導體製程製作出 SCE 電子場發射元件，我們以有限元素分析探討在不同 Pt/Ti 電極厚度條件下，SCE 結構內之應力分布情形，根據研究結果顯示，最佳化之 SCE 結構之 Pt/Ti 電極厚度為 20 nm，其奈米裂隙寬度可小於 18 nm，並且具有較佳之場發射特性，如較高的場發射電流與較低的啟始電壓(~30 V)。我們將傳統平面式 SCE 與氫化 SCE 電子源進行場發射特性比較，結果顯示氫化 SCE 電子源擁有較低的啟始電壓外，更呈現出高達~4%之場發射效率，顯著優於傳統平面式 SCE 電子源(~1.03%)。我們將其歸因於氫化 SCE 電子源具有粗糙且傾斜突起之陰極結構表面形貌。此研究結果證明對於表面傳導電子發射顯示器應用而言，鈦氫化製程是一個製作鈦奈米級裂隙 SCE 電子發射源十分理想的方法。

本計畫除成功地以鈦金屬氫化法，開發出 SCE 奈米裂隙外，並利用選擇性氧化法，探討改良以 FIB 製作之鈦金屬奈米裂隙之場發射特性，由於金屬鈦在 Pt 與 SO<sub>2</sub> 基材上有選擇性氧化的特性，經過氧氣圍下高溫退火氧化處理 SCE 元件會改變其組成結構，使其場發射源粗糙度上升且裂縫寬度縮小，提高場發射電流。550°C 氧化退火處理後元件場發射源 roughness 上升幅度及裂縫寬度縮小程度皆較 400°C 氧化退火處理後元件來得大，因此 550°C 氧化退火處理後元件有較好的場發射特性。進一步做場發射效率的量測，發現經過 550°C 氧化退火處理後元件效率可達到 2%，優於 Canon 所研發的傳統平面式 SCE 發射源小於 1% 的場發射效率。本實驗發現，經熱退火製程改質後 SCE 元件的驅動電壓下降以及場發射效率提高，顯示熱退火製程對於 SCE 元件有相當大的改良。

本研究提出鈦金屬氫化法在鈦電極上製

作出奈米級裂隙，應用於表面傳導電子場發射元件技術，我們藉由實驗結果與理論分析，深入探討表面 SCE 元件陣列之場發射特性、效率及其穩定性測試。本 SCE 製作技術為獨創之技術，我們將 Pd 金屬氫脆化現象所造成之雜亂無序龜裂行為，限制薄膜應力發生在局部區域，進而形成規則性之單一奈米裂隙，本技術製程簡單、與傳統 IC 製程相容，可以大量製造 SCE 元件陣列。如果結合了可靠之真空封裝技術，有潛力開發出商業化之 SCE 場發射平面顯示器。

在本計劃的執行過程中，參與研究並畢業之博士生兩位，碩士生 4 位，我們共發表了期刊論文 7 篇 [7, 12-17]，國際會議論文 6 篇 [18-23]，專利一篇 [24]。

## 五、參考文獻

- [1] M. I. Elinson, A. G. Zhdan, G. A. Kudintseva, and M. E. Chugunova, *Radio Eng. Electron. Phys.*, **10**, 1290 (1965).
- [2] K. Sakai, I. Nomura, E. Yamaguchi, M. Yamanobe, S. Ikeda, T. Hara, K. Hatanaka, Y. Osada, H. Yamamoto, and T. Nakagiri, in *Proc. EuroDisplay'96*, p. 569 (1996).
- [3] E. Yamaguchi, K. Sakai, I. Nomura, T. Ono, M. Yamanobe, N. Abe, and T. Hara, *J. Soc. Inf. Disp.*, **5**, 345 (1997).
- [4] K. Yamamoto, I. Nomura, K. Yamazaki, S. Uzawa, and K. Hatanaka, *SID Int. Symp. Digest Tech. Papers*, **36**, 1933 (2005).
- [5] F. A. Lewis, *The Palladium/Hydrogen System*, pp. 13-49, 94-117, Academic Press, London (1967).
- [6] C. J. Zhai and R. C. Blish, *J. Appl. Phys.* **97**, 113503 (2005).
- [7] C. H. Tsai, K. J. Chen, F. M. Pan, H. Y. Lo, Y. Li, M. C. Chiang, and C. N. Mo, *J. Electrochem. Soc.*, **155**, J361 (2008).
- [8] Y. Li and H. Y. Lo, *J. Phys. D*, **41**, 085301 (2008)
- [9] S. Penner, B. Jenewein, H. Gabasch, B. Klötzer, D. Wang, A. Knop-Gericke, R. Schlögl, and K. Hayek, *J. Chem. Phys.*, **125**, 094703 (2006).
- [10] Heywood H. Kan, Jason F. Weaver, *Surface Science*, **602**, L53, (2008)
- [11] C.J. Huang, F.M. Pan, T.C. Tzeng, L.ang, and J.T. Sheu, *J. Electrochem. Soc.* **156**, 2, (2009)
- [12] C. H. Tsai, F.M. Pan, K.J. Chen, C.Y. Wei, M. Liu, and C.N. Mo, *Appl. Phys. Lett.* **90** (2007) 163115.
- [13] H.Y. Lo, Y. Li, H.Y. Chao, C.H. Tsai, F.M. Pan, *Nanotechnology*, **18** (2007) 475708.
- [14] Y.M. Li, H.W. Chen, C.C. Lin, F.M. Pan, *Jap. J. Appl. Phys.*, **47** (2008) 3282.
- [15] H.Y. Lo, Y.M. Li, C.H. Tsai, F.M. Pan, *Jap. J. Appl. Phys.*, **47** (2008) 2972.
- [16] H.Y. Lo, Y.M. Li, C.H. Tsai, H.Y. Chao, F.M. Pan, *IEEE Trans. Nanotech.*, **7** (2008) 434.
- [17] C.-H. Tsai and F.-M. Pan, *J. Electrochem. Soc.*, **156** (2009) J92-J96.
- [18] C. H. Tsai, F.M. Pan, K.J. Chen, C.Y. Wei, M. Liu, and C.N. Mo, "Nanogap fabrication by Pd hydrogen embrittlement for field-emission applications." MRS Spring Meeting, San Francisco, U.S.A. (2007).
- [19] C. H. Tsai, F.M. Pan, K.J. Chen, C.Y. Wei, M. Liu, and C.N. Mo, "Nanogap Fabrication on Palladium Electrodes for Field Emission Display Applications", SID (2007), Long Beach, U.S.A.
- [20] H-Y. Lo, C-H. Tsai, H-Y. Chao, Y. Li, F-M. Pan, T-C. Kuo, M. Liu, and C-N. Mo, "Three-Dimensional Simulation of Novel Surface-Conduction Electron Emitter", SID

(2007), Long Beach, U.S.A.

[21] C.-J. Huang, F.-M. Pan, T.-C. Tzeng, C.-H. Tsai, "Electron Field Emission Study of Reactive Sputter Deposited Palladium Oxide Thin Films", AVS 54<sup>th</sup> International Symposium (2007), Seattle, Washington, U.S.A.

[22] C.-H. Tsai, F.-M. Pan, H.-Y. Lo, Y.M. Li, Y.-T. Kuo, H.-Y. Chao, K.-C. Lo, M.-T. Jiang and C.-N. Mo, "Novel Surface Conduction Electron Emitter (SCE ) Nanogaps for Field Emission Display", SID (2008), Los Angeles, U.S.A.

[23] H.-Y. Lo, Y.M. Li, Y.-T. Kuo, H.-Y. Chao, C.-H. Tsai, F.-M. Pan, K.-C. Lo, M.-T. Jiang, and C.-N. Mo, "Novel SCE Nanogaps for Advanced Field Emission Displays", SID (2008), Los Angeles, U.S.A.

[24] Chih-Hao Tsai, Kuan-Jung Chen, Fu-Ming Pan, Mei Liu, Chi-Neng Mo,"Fabricating method of electron-emitting", USPTO Application no.: 20110229630.