

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

內嵌矽奈米點之 SONOS 記憶體元件 (新制多年期第 3 年)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：97 年 8 月 01 日至 100 年 7 月 31 日

執行機構及系所：國立交通大學 電子物理系

計畫主持人：趙天生 教授 國立交通大學 電子物理系

計畫參與人員：

葉啟瑞, 黃士安, 林玉喬, 楊才民, 呂宗宜, 江宗育, 廖家駿, 呂宜憲, 蔡子儀, 林哲緯, 呂  
侑倫, 吳翊鴻, 王冠迪, 林岷臻, 嚴立丞, 陳昱璇, 張添舜, 李時璟, 林琬琦, 劉聿民, 穆政昌,  
吳立盈, 薛芳昌, 謝其儒, 唐明慈, 郭柔含, 劉劭軒

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

- 赴國外出差或研習心得報告
- 赴大陸地區出差或研習心得報告
- 出席國際學術會議心得報告
- 國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

中 華 民 國 100 年 10 月 1 日

## 內嵌矽奈米點之 SONOS 記憶體元件

- 子計畫一：新穎金屬矽化物應用於快閃記憶體與薄膜電晶體之整合型研究
- 子計畫二：新穎矽奈米點記憶體元件製作與可靠度研究
- 子計畫三：新穎隱藏性選擇式閘極結構記憶體元件之物理機制分析與模擬

計畫編號：NSC 97-2221-E-009-152-MY3

執行期間：98 年 8 月 1 日 至 100 年 7 月 31 日

主持人：趙 天 生教授 交通大學電子物理系

## 中文摘要

本計畫以研究多晶矽-氧化層-氮化矽-氧化層-半導體記憶體元件為主要方向，第一部分包含記憶體元件、薄膜電晶體、合金金屬矽化物及矽奈米線電晶體的成功研究。此部分呈現了關於新穎的隱藏式選擇性閘極結構薄膜電晶體記憶體元件，對稱性垂直通道鍍金屬矽化物複晶矽薄膜電晶體，與閘極環繞式多晶矽奈米通道結構搭配抬昇式源極/汲極之薄膜電晶體的研究。第二部分，我們成功在氮化矽層內嵌矽奈米晶體之SONOS記憶體，並且提出利用臨場方法在氮化矽層內嵌矽奈米晶體做為電子儲存層，此元件可以應用於多層是載子儲存與2-bit/cell操作，來達成高密度非揮發性記憶體應用。這個方法製程相當簡單、低成本和現在的CMOS元件製程有高度的相容性。第三部分則是針對選擇性隱藏式閘極記憶體作一研究與探討。在此次研究報告中，我們提出一種新穎的動態臨界源極射入法在具有隱藏式選擇性閘極之快閃記憶體元件於NOR電路陣列上，此元件不僅製程簡單也符合一般數位邏輯互補式電晶體(CMOS)產品中的嵌入式非揮發性記憶體應用。在此研究中，我們利用ISE電腦輔助設計模擬軟體結合記憶體製程與熱電子注入模型的研究成果來詳細的說明此動態臨界源極射入法的寫入機制。模擬的結果顯示當隱藏式選擇性閘極記憶體操作在動態臨界源極射入法下將受幾個重要的因素所影響，其中包含了寫入電流量的大小與在隱藏式選擇性閘極記憶體中性區間的橫向電場與垂直電場。因此，我們比較在此記憶體結構中三種不同操作模式下的寫入效率，分別為：傳統源極射入法、基板偏壓增進源極射入法與動態臨界射入法。

關鍵字: 環繞式閘極、矽奈米線、多晶矽薄膜電晶體、抬昇式源極/汲極、臨場方法、矽奈米晶體、非揮發性記憶體、記憶體窗、載子保存性、可靠度特性

## 英文摘要

The novel SONOS memory will be investigated in this work. At first, the integration of SONOS memory, TFT, silicide technique, and Si nano-wire transistor were investigated successfully. This study presented the investigation of the novel Wrapped-Select-Gate (WSG) SONOS thin film transistor (TFT) memory device, the novel symmetric vertical-channel Ni-salicided polycrystalline silicon thin-film transistors (VSA-TFTs), and the Gate-All-Around Nanowire Poly-Si TFTs with Raised Source/Drain structure (Raised Source/Drain Nanowire Poly-Si TFTs, called RSDNW-TFTs). Second, SONOS devices with embedded silicon nanocrystals (Si-NCs) in silicon nitride using *in-situ* method with multi-level and 2-bit/cell operation have been successfully demonstrated. The proposed *in-situ* Si-NCs deposition method exhibits the advantages of low cost, simplicity and compatibility with modern IC processes. The third part is investigation of novel wrapped-select-gate (WSG) SONOS memory. In this work, for the first time, high-performance with superior reliability characteristics is demonstrated in a NOR-type architecture, using dynamic-threshold source-side injection (DTSSI) in a wrapped select-gate (WSG) silicon-oxide-nitride-oxide-silicon (SONOS) memory device, with multilevel and 2-bit/cell operation. The DTSSI programming mechanism was thoroughly investigated using the Integrated Systems Engineering (ISE) TCAD simulation tools combining the fabrication procedure and physical models. Results show the major factors affecting the DTSSI technique, including the supply current, and the lateral and vertical electric fields between the neutral-gap regions in the WSG-SONOS memory cell. Moreover, a programming mechanism for conventional source-side injection (Normal-mode), substrate-bias enhanced source-side injection (Body mode) and dynamic-threshold source-side injection (DT mode) of wrapped-select-gate SONOS (WSG-SONOS) memory is also developed with 2-D Poisson equation and hot-electron simulation and programming characteristics measurement for NOR flash memory.

Index Terms: Gate-all-around (GAA), nanowire (NW), poly-Si thin-film transistors (poly-Si TFTs), raised source/drain (S/D), *in-situ* deposition method, Si-nanocrystal, non-volatile memory, memory window, data retention, endurance performance

## 一、計畫的緣由與目的

現今薄膜電晶體已被廣泛地應用在許多的商業產品上，例如：主動式陣列液晶顯示器，靜態隨機存取記憶體，動態隨機存取記憶體，光電導半導體陣列，功率控制電路，液晶顯示器，線性影像感測，熱印表機噴頭，光感測放大器與非揮發性記憶體...等等[1-6]。在1979年第一個氫化非晶矽電晶體被發表之後[7]，相當多人力投入此項研究，使氫化非晶矽薄膜電晶體元件獲得十足的發展與進步，現今氫化薄膜電晶體元件以成為平面液晶顯示器重要的開關元件。在主動式陣列液晶顯示器面板製程中，傳統上氫化非晶矽薄膜電晶體常被使用為像素轉換元件，但太低的載子電致遷移率(小於 $1\text{ cm}^2/\text{V}\cdot\text{s}$ )嚴重地限制了主動式陣列液晶顯示器的發展。因此低溫複晶矽薄膜電晶體被認為最有可能用來替代氫化非晶矽，因為有較高的載子遷移率。此外，複晶矽薄膜電晶體還有很多其他的優點，包括較低的光電流、與傳統金氧半電晶體製程有較高的匹配性及較高的可靠度。

並且，為了system-on-panel(SOP)以及system-on-chip(SOC)的應用。除了高效能的薄膜電晶體外，在薄膜電晶體上實現記憶體元件也為一值得努力的方向。

在研究主題一中，我們將嘗試利用自我對準的氧化層過蝕刻的方法，同時探導氧化層過蝕刻深度對元件特性的影響。以期能夠有效解決由於微影解析度無法更進一步的突破，傳統的製程方法，元件尺寸無法有效微縮的問題。

此外，隨著電晶體通道長度下降，

臨界電壓(threshold voltage)亦隨之減小。由於源極(Source)與汲極(Drain)的空間電荷區域延伸進入電晶體反轉層下之空間電荷區，造成電荷共享(charge sharing)的結果。因此，當元件通道長度下降時，源極與汲極共享反轉電荷層下方空間電荷區所佔的比例會大幅上升，導致臨界電壓隨之下降，元件漏電流上升，此現象稱為短通道效應(Short Channel Effect, SCE)。

除此之外，元件微縮會面臨汲極誘發能障降低(Drain Induced Barrier Lowering (DIBL))的挑戰，即 $V_D$ 增加時導致不理想的臨界電壓下降、次臨界擺幅(subthreshold slope)上升等現象。因此，我們提出將全包覆式奈米線電晶體(Gate-All-Around NanoWire transistors)的結構應用到薄膜電晶體。利用此結構具備的較佳閘極控制能力以及將傳輸載子侷限在一維的特性，使得在低閘極驅動電壓(low gate overdrive voltage)下，有趨近理想的次臨界斜率(subthreshold slope)和高電流驅動性能，使其成為未來低功率CMOS應用的最佳選擇之一。

最後，為了將記憶體元件與薄膜電晶體整合，研究主題一提出在薄膜電晶體上整合隱藏式選擇性閘極的記憶體元件，此研究聚焦於元件高速寫入特性及可靠度分析。並且成功的製造具有極佳特性的記憶體元件：較大的記憶窗特性和長時間的載子儲存。

在研究主題二與三，我們將著重於開發一高品質的記憶體元件製作方法，以期能將其應用在單晶元件或是多晶矽薄膜電晶體上。眾所皆知的，多晶矽-二氧化矽-氮化矽-二氧化矽-矽

(silicon-oxide-nitride-oxide-silicon)和金氧半 (metal-oxide-semiconductor) 內嵌奈米晶體記憶體元件在近來相當受到矚目，因為此兩結構元件能有效的改善傳統浮動閘極記憶體元件在穿隧氧化層微縮問題[8]-[11]，在金氧半內嵌奈米晶體記憶體元件與 SONOS 結構的優點：(1)製程簡單、(2)提高元件密度、(3)可以克服源極引發導通現象 (drain-induced turn-on)、(4)達成多層式載子儲存(multi-level storage)、(5)可排除浮動閘極耦合效應 (floating gate coupling effect)、(6)2-bit/cell 操作、(7)可以降低 SILC 效應 [12]-[15]，同時在穿隧氧化層微縮至 6 奈米以下，依然可以維持相當好的電荷保存特性，主要是因為在 SONOS 的結構中，電荷儲存層為不連續的並且擁有較多的深層儲存層。

然而在 SONOS 的結構中依然有些較嚴重的問題被提出，例如：儲存載子的橫向移動、嚴重的 2-bit 效應與抹除飽和現象[16]-[19]，而利用金氧半內嵌奈米晶體記憶體元件，可以有效的改善儲存載子的橫向移動與嚴重的 2-bit 效應[20]-[21]，但是在金氧半內嵌奈米晶體製程的困難度較高，尤其要在二氧化矽上沉積出高密度的矽奈米晶體難度更高，因此有文獻提出利用氮化矽基底，可大幅提高矽奈米晶體密度，因為在氮化矽有較低活化能並且有較高的成核速率，因此矽奈米晶體會較易於在氮化矽成核，並且有較高的矽奈米晶體密度。

因此將矽奈米晶體內嵌於氮化矽內，可以有效的改善其電特性，當今文獻提出許多方法來達成此製程，利用在氮化矽中較高的矽含量或者利用

矽的離子佈值[24]-[25]，這些方法將會提高製程複雜度，因此簡單並且低成本的矽奈米晶體內嵌氮化矽製程，將會對於 SONOS 記憶體的發展有相當大的幫助。

在研究主題二中，我們提出利用臨場方法在氮化矽層內嵌矽奈米晶體製造出新穎的 SONOS 型記憶體結構，同時結合多晶矽-二氧化矽-氮化矽-二氧化矽-矽和金氧半內嵌奈米晶體記憶體元件兩者之優點，此方法簡單、低成本、並且與現今的 IC 製程有高度的相容性。

再者，在氮化矽快閃記憶體結構當中仍然會遇到許多與操作性能及可靠度相關的議題，包括了：(1)記憶體元件寫入/抹除功率消耗問題 [26-27]、(2)單細胞二位元操作之二位元干擾問題 [28-29] (3)儲存電荷載子分佈[30-33]...等，其中為了解決功率消耗問題，其重心在於如何在短時間內大量注入電荷載子進入氮化矽儲存層而完成多層級操作模式，而其中的關鍵即是在於如何有效提供高注入效率的寫入方式於記憶體寫入過程中。然而，在我們所熟知的通道熱電子注入(Channel hot electron injection)寫入方法中，雖可完成單細胞二位元的操作，卻由於其操作電壓與理想高注入效率操作區域的不匹配，難以在低功率消耗中完成多層級時大量的電荷載子注入；同時，利用 Fowler-Nordheim 穿隧注入方式雖擁有較好的寫入效率，卻因為更高的操作偏壓與較慢的寫入速度而不適用於多層級的操作之中。此外，其廣泛性的電荷注入方式亦無法使用在單一細胞二位元的操作模式上。

在研究主題三中，我們將首次利用具有降低消耗功率卻能高速寫入的動態臨界源極邊際射入方式來呈現具有高寫入效率的單細胞二位元多層級操作之隱藏式選擇性閘極記憶體 [34-38]。同時，我們利用電腦輔助模擬軟體來證明其主要影響隱藏式選擇性閘極記憶體的偏壓設定與關鍵性影響的差別。最後，再利用此特點而使元件在可靠度操作表現中，能夠在具有高速寫入的動態臨界源極邊際射入方式在經過一萬次反覆寫入與抹除的耐久性測試後 [39-40]，仍然能夠維持優秀的多層級記憶窗狀態與單細胞二位元操作。接著我們利用隱藏式選擇性閘極記憶體在 NAND 陣列當中，搭配二位元操作與多位元層級操作的特性，以有效的降低生產成本而達到最大記憶體密度，其中元件的操作仍然以源極端注入(Source-Side Injection)與能帶到能帶穿遂產生熱電洞方式(BTBTHH)機制來完成寫入/抹除的操作，利用最佳化後的ONO厚度仍然可以達到非常優秀的抗閘極擾動、抗讀取擾動與長時間資料保存的能力，即使經過一萬次反覆寫入與抹除的測試後，仍能保持應有的感測區間。最後，在 NOR 陣列與 NAND 陣列上操作單細胞二位元操作上的二位元干擾效應將被分析。

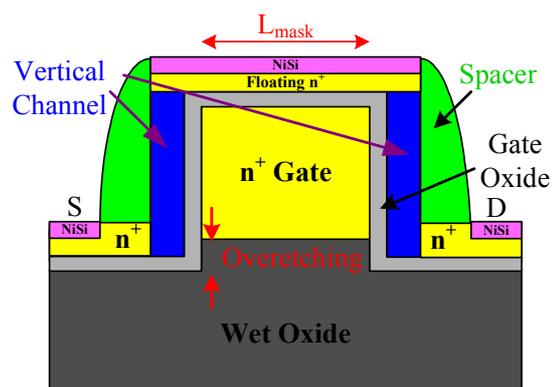
## 二、研究方法及成果

### 子計畫一、新穎金屬矽化物應用於快閃記憶體與薄膜電晶體之整合型研究

#### a. 應用金屬矽化物於新穎結構複晶矽薄膜電晶體

本實驗首先在矽晶圓上成長 550 奈米

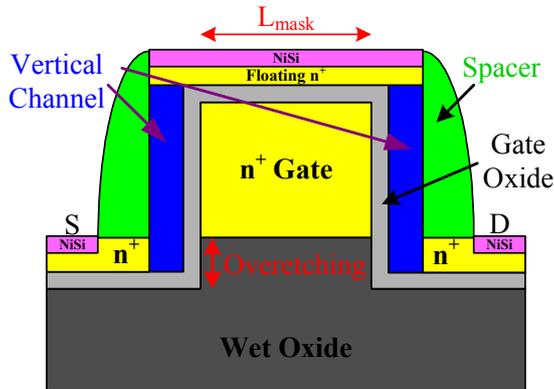
的氧化層以模擬玻璃基底。接下來沉積 20 奈米的多晶矽並且做 N 型摻雜及活化，之後作微影製程定義並且蝕刻出閘極。緊接著在光阻不去掉的情況下直接進行自我對準的氧化層過蝕刻，蝕刻深度分別為 40 奈米、80 奈米與 120 奈米。在完成自我對準的氧化層過蝕刻後；沉積閘極氧化層(厚度為 15 奈米與 30 奈米)與非晶矽通道薄膜(厚度為 50 奈米)，接著以固相結晶法將非晶矽結晶成複晶矽。接著在定義並蝕刻出元件主動區後進行源/汲極與懸浮 N 型摻雜區的離子佈植及活化即完成未具有鎳金屬矽化物的元件。在間隙壁完成後在鍍上鎳金屬經快速升溫活化製程形成鎳金屬矽化物後，將殘餘的鎳金屬以硫酸剝除即完成對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體的製作，最後所有的垂直通道元件會經過 10 分鐘的氨電漿處理。圖一至圖四為我們這次研究的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體橫截面結構與等效雙閘極結構示意圖。



圖一、重疊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體橫截面結構示意圖。

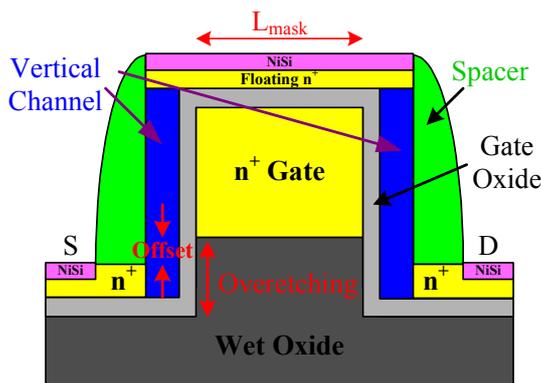
圖一為氧化層過蝕刻深度別為 40 奈米的條件，在這條件下搭配 30 奈米的閘極氧化層與 50 奈米通道薄膜會使

得源/汲極與閘極之間有個重疊的區域，因此我們將這條件稱為重疊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體(Overlap VSATFTs)。



圖二、對齊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體橫截面結構示意圖。

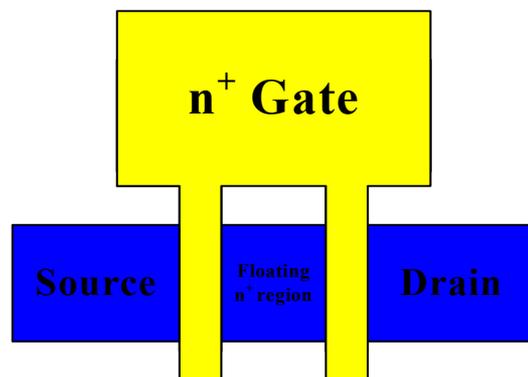
圖二為氧化層過蝕刻深度別為 80 奈米的條件，在這條件下搭配 30 奈米的閘極氧化層與 50 奈米通道薄膜會使得源/汲極與閘極之間會是對齊的，因此我們將這條件稱為對齊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體(Alignment VSA-TFTs)。



圖三、抵補的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體橫截面結構

圖三為氧化層過蝕刻深度別為 120 奈米的條件，在這條件下搭配 30 奈米的閘極氧化層與 50 奈米通道薄膜會使得源/汲極與閘極之間會有個抵補

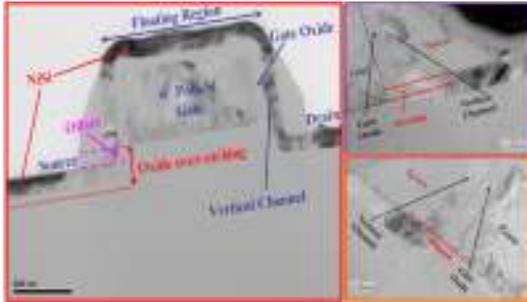
的區域，因此我們將這條件稱為抵補的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體(Offset VSA-TFTs)。除此之外，閘極氧化層為 15 奈米與通道薄膜為 50 奈米搭配氧化層過蝕刻深度別為 80 奈米的情況下，源/汲極與閘極之間會如同抵補的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體具有一抵補的區域我們將此條件稱為閘極氧化層 15 奈米的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體(GO-15-nm VSA-TFTs)。在此結構中；通道長度是由所沉積的薄膜厚度來決定，因此通道長度為兩倍的  $n^+$  複晶矽閘極( $0.2 \mu\text{m} \times 2$ )。在圖一至圖三中的  $L_{\text{mask}}$  為我們用微影製程所製作出來的閘極長度，但它並不是實際上的通道長度， $L_{\text{mask}}$  的長度等於等效雙閘極結構中的 Floating  $n^+$  region 長度，簡稱  $L_{\text{floating}}$ ，在後續的元件量測分析中我們會探討  $L_{\text{floating}}$  對元件特性的影響。



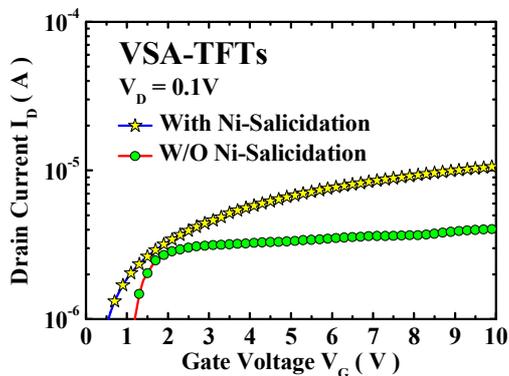
圖四、對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體之等效雙閘極結構示意圖。

圖四為此元件之等效雙閘極結構示意圖。由於此元件可等效於雙閘極結構因此可以有效的降低元件關閉狀態的漏電流。除此之外，由於通道長度並非由微影製程來決定，因此可以在不需要先進微影設備的情況下有效

的微縮通長度。在只使用 I-Line 曝光機的情況下雙閘極結構單一的通道長度最小尺寸為 0.35 微米；而我們的垂直通道到元件單一的通道長度最小尺寸為 0.2 微米。圖五為此元件的 TEM 影像圖，在此 TEM 影像圖中我們可以發現實際製作出來的元件和所設計的元件結構是一致的。



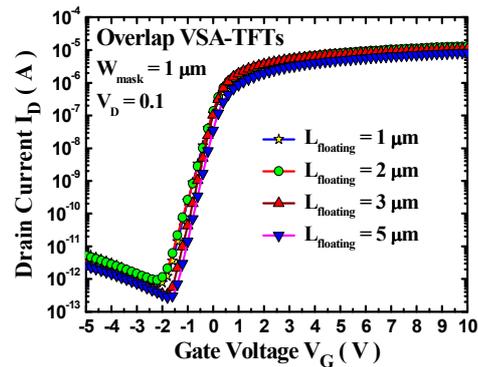
圖五、對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體橫截面結構 TEM 影像圖。



圖六、有與沒有鎳金屬矽化物源/汲極之元件導通電流比較。

圖六為有與沒有鎳金屬矽化物源/汲極之元件導通電流比較圖；在此圖我們可以發現當源/汲極加上鎳金屬矽化物製程技術後，由於金屬矽化物製程可以有效的降低源/汲極的串連阻抗，因此有金屬矽化物製程的元件可以有效的提高其導通電流，並且不會像沒有金屬矽化物製程的元件其導通電流會後串聯阻抗的抑制而不會隨著閘極

偏壓的增加而有所增加。

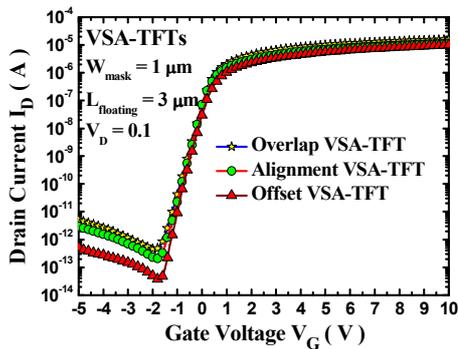


圖七、重疊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性。

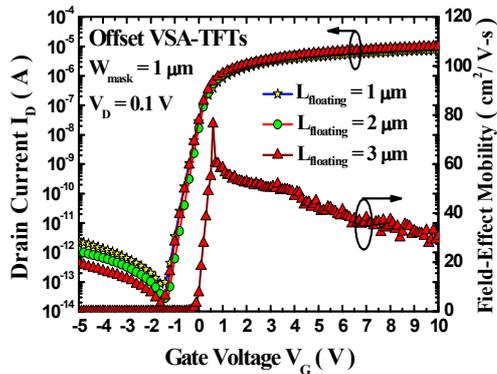
圖七為重疊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性；首先在元件導通電流的部分，隨著  $L_{floating}$  的長度從 1  $\mu\text{m}$  增加至 3  $\mu\text{m}$  其導通電流幾乎是一樣的，但當  $L_{floating}$  的長度為 5  $\mu\text{m}$  的時候其導通電流明顯的比其他長度的導通電流明小，主要是因為 floating 區域有鎳金屬矽化物因此在  $L_{floating}$  的長度從 1  $\mu\text{m}$  增加至 3  $\mu\text{m}$  並不會大幅的受到阻抗增加而使導通電流有明顯的降低，但是當  $L_{floating}$  的長度為 5  $\mu\text{m}$  的時候受到阻抗增加的影響開始變大因此導通電流明顯的變小。在元件的關閉狀態漏電流方面，漏電流會隨著  $L_{floating}$  長度的增加而變小；在次臨界擺幅方面也會隨著  $L_{floating}$  長度的增加而有變好的趨勢。綜合以上各項元件的特性來說， $L_{floating}$  長度為 3  $\mu\text{m}$  是一個最佳的條件。

圖八為對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的氧化層過蝕刻深度之元件轉換特性，我們可以發現隨著氧化層過蝕刻深度越深元件關閉狀態漏電流會越小，同時元

件的導通電流也會隨著氧化層過蝕刻深度越深而變小。元件關閉狀態漏電流變小主要是因為過蝕刻深度越深可以有效的降低汲極端電場；導通電流變小的幅度和關閉狀態漏電流變小的幅度相比起來是可忽略的，因此藉由增加氧化層過蝕刻深度可以有效的降低關閉狀態漏電流並增加開關電流比。



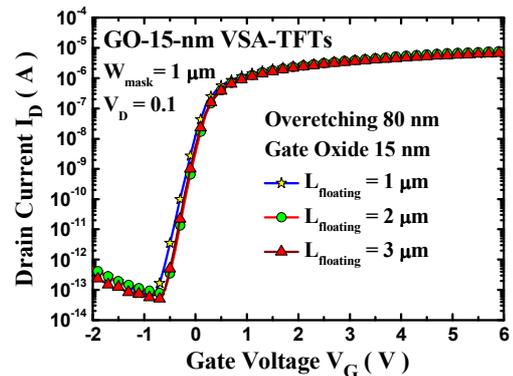
圖八、對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的氧化層過蝕刻深度之元件轉換特性。



圖九、抵補的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性比較與遷移率。

圖九為抵補的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性比較與遷移率。在此圖中我們可以發現當

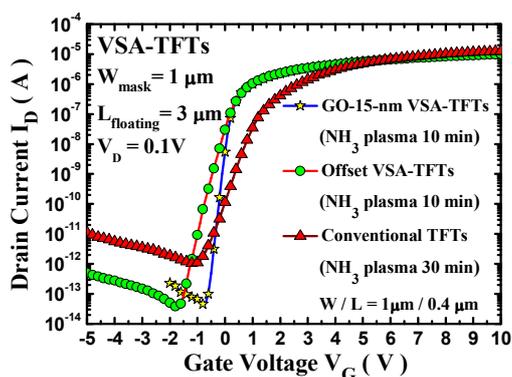
$L_{floating}$  長度增加其元件關閉狀態漏電流會隨之減少且導通電流幾乎保持一樣，此結果和重疊的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體的結過一樣，因此當氧化層過蝕刻深度改變時  $L_{floating}$  長度增加依然可以降低關閉狀態漏電流並不會隨氧化層過蝕刻深度改變此現象就改變。此外遷移率高達  $76 \text{ cm}^2/\text{V}\cdot\text{s}$  遠比非晶矽與傳統平面的複晶矽薄膜電晶體來的高。圖十為閘極氧化層 15 奈米的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性，在此圖中我們可以發現當  $L_{floating}$  長度增加其元件關閉狀態漏電流會隨之減少且導通電流幾乎保持一樣，此結果和閘極氧化層 30 奈米的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體的結過一樣，因此當閘極氧化層厚度改變時  $L_{floating}$  長度增加依然可以降低關閉狀態漏電流並不會隨閘極氧化層厚度改變此現象就改變。



圖十、閘極氧化層 15 奈米的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體在不同的  $L_{floating}$  長度之元件轉換特性。

圖十一為對稱性垂直通道與傳統水平通道鎳金屬矽化物複晶矽薄膜電晶體轉換特性比較圖。在此圖中，我

們可以發現對稱性垂直通道和傳統水平通道鎳金屬矽化物複晶矽薄膜電晶體相比，有比較低的元件關閉狀態漏電流，主要是因為其等效的雙閘極結構與抵補結構可以有效的降低汲極端的電場所以可以有效的降低元件關閉狀態的漏電流；另外，垂直通道元件有比較好的次臨界擺幅，有以下幾種可能的原因；一、垂直通道元件的晶粒邊界比較少，因為其單邊的通導長度比較小或通道的晶粒為垂直方向的。二、在元件製作的時候，垂直通道元件其閘極氧化層和通道是連續沉積的，不像傳統水平通道元件是先將通道製做好然後知後再經過清洗動作才疊上閘極氧化層；也因此垂直通道有比較平滑的氧化層與通道介面。當閘極氧化層厚度變薄可以有效的改善閘極對通道的控制能力因此閘極氧化層 15 奈米的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶體具有較好的次臨界擺幅。



圖十一、對稱性垂直通道與傳統水平通道鎳金屬矽化物複晶矽薄膜電晶體元件轉換特性。

### b. 新穎高性能多晶矽奈米線場效電晶體之研究

此次我們利用薄膜電晶體在製程上的多樣性，製備擁有 10 奈米通道之閘

極環繞式薄膜電晶體，主要製程如圖十二所示；一開始我們於六吋晶圓上沉積 500 奈米濕式氧化層，接著沉積厚度分別為 70 奈米/15 奈米/30 奈米之氮化矽 / 四乙氧基矽烷 (Tetraethoxysilane, TEOS) / 氮化矽三層結構。經過 I-line 光學步進機與非等向性乾式蝕刻，我們可以於此三層結構上定義出奈米線通道所在區域，隨後，利用氮化矽對於氫氟酸濕式蝕刻的高選擇性，我們可以只針對三層結構中的中間層四乙氧基矽烷進行側向孔洞蝕刻並能有效的控制蝕刻輪廓；在側向孔洞形成之後以 LPCVD 沉積整面厚度約 100 奈米複晶矽並進行 24 小時退火，使複晶矽成核為多晶矽薄膜；此時再一次利用 I-line 光學步進機與非等向性乾式蝕刻並搭配三層結構之最上層氮化矽做為蝕刻阻擋層，並同時定義出汲極、源極與奈米線通道。於此，奈米線通道將存在於側向孔洞中，搭配 100 奈米厚之汲極/源極區域，我們將此稱為多晶矽奈米通道搭配抬昇式源極/汲極結構，形成此結構之後氮化矽/四乙氧基矽烷/氮化矽可以依序利用熱磷酸與氫氟酸濕式蝕刻去除同時得到懸空奈米線通道，俯視圖如圖十二(e)所示；接著於懸空奈米線通道上利用 LPCVD 覆蓋閘極氧化層與多晶矽閘極，在定義出閘極後抬昇式源極/汲極區域並以離子佈植、活化形成導電性源極/汲極區域即完成閘極環繞式多晶矽奈米通道結構搭配抬昇式源極/汲極之薄膜電晶體。

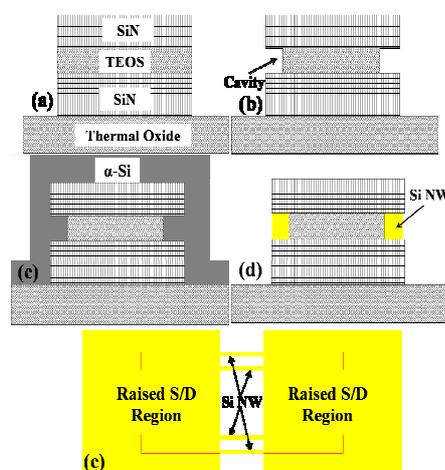
圖十三為元件結構立體示意圖及去除氮化矽/四乙氧基矽烷/氮化矽後之掃描式電子顯微鏡拍攝圖，可以看到這樣的一個結構流程能得到多根懸空

奈米線通道。另一方面，我們亦製備傳統擁有 50 奈米固相結晶通道之平面薄膜電晶體做為對照組，所有元件皆為閘極長度 0.35 毫微米並且在無電漿後處理下進行量測比較。

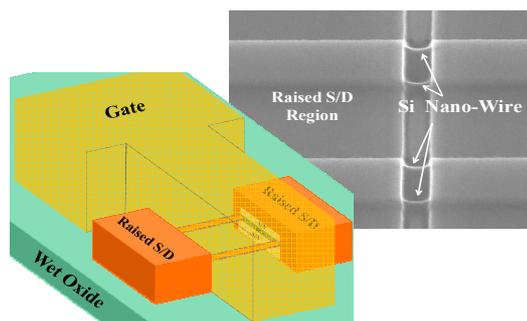
圖十四為穿隧式電子顯微鏡所拍攝之奈米線通道在進行閘極堆疊與元件製備後之剖面圖，由剖面圖中可以清楚看到奈米線通道有著平滑橢圓形之輪廓，長軸短軸分別約為 12 奈米與 7 奈米；外圍環狀包覆著 7 奈米之閘極氧化層與多晶矽閘極，由穿隧式電子顯微鏡剖面圖尚可觀察到單晶晶相，這樣的一個單晶晶相將會在後面討論。圖十五為奈米線通道元件與傳統平面元件轉化特性之比較，其中奈米線通道元件之通道數為四個通道而等效寬度約為 0.12 毫微米(0.03×4)，由圖中可以明顯看到閘極環繞式多晶矽奈米通道結構搭配抬昇式源極/汲極之薄膜電晶體與平面薄膜電晶體相比較具有相當陡峭的次臨界擺幅、較低的操作電壓以及較高的開關電流比；一般而言，薄膜電晶體可透過增大多晶矽晶粒(poly-Si grain size)以減少通道間之晶粒邊界來達到電特性的提升。經由穿隧式電子顯微鏡所拍攝之具單晶晶相之通道剖面圖，儘管整個奈米線通道並非單晶，這樣一個小於 10 奈米之奈米線通道於通道寬度方向所橫跨之晶粒邊界必定會大幅減少，進一步在整個通道間與傳統平面電晶體比較所跨越之晶粒邊界可預期的亦會大幅減少。因此在電特性表現上，縱使沒有電漿輔助依然有著相當好的特性。進一步而言，如圖十六所示，由於環繞式閘極結構能大幅提升閘極控制能力，使得汲極誘發能障降低(Drain

induced barrier lowering, DIBL)之現象被大幅抑制至在汲極電壓 2.5 伏特時依然有著小於 10 毫伏特之水準。

元件輸出如圖十七所示，在寬度歸一化與汲極電壓 3.5 伏特的條件下，奈米線通道元件之飽和電流(218.3 毫安培/毫微米)約為傳統平面薄膜電晶體(58.5 毫安培/毫微米)之 3.7 倍；藉由萃取等效源極/汲極寄生阻抗我們可以得知這樣的提升主要來自於抬昇



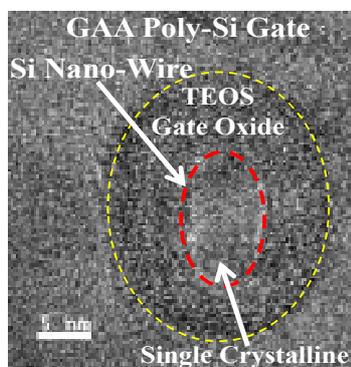
圖十二: (a)-(d)本實驗元件之主要製作流程，及(e)去除氮化矽/四乙氧基矽烷/氮化矽後之俯視圖。



圖十三: 為元件結構立體示意圖及去除氮化矽/四乙氧基矽烷/氮化矽後之掃描式電子顯微鏡拍攝圖

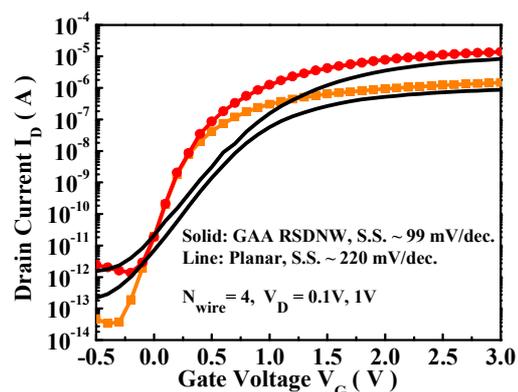
式源極/汲極之貢獻，在抬昇式源極/汲極約為 1.2 kΩ 而傳統平面薄膜電晶體於 50 奈米厚之源極/汲極約為

5.78 kΩ [41]。另外一方面，可以由元件輸出電流特性觀察到傳統平面薄膜電晶體在汲極電壓持續加大情況下不可避免的會有浮體效應(Floating-body effect)。

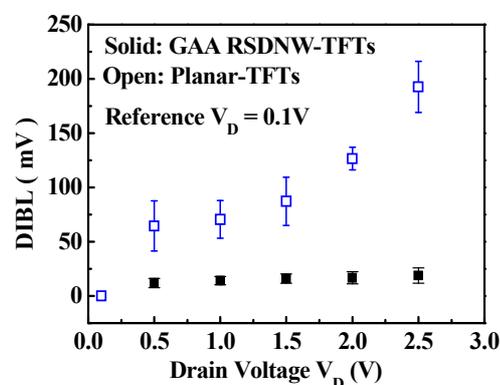


圖十四：穿隧式電子顯微鏡所拍攝之奈米線通道在進行閘極堆疊與元件製備後之剖面圖

一般而言，浮體效應可以調變元件結構使得元件接地來避免或者利用全空乏(Fully Depleted (FD))通道如全空乏SOI金氧半場效電晶體 [42], [43]。於此，環繞式閘極配合小於10奈米之奈米線通道幾乎觀察不到浮體效應表示其奈米線通道在操作過程為一全空乏通道。最後，我們列出一張與其他奈米線薄膜電晶體之比較列表(表一)，在此列表中可以看出明顯得知本計劃所提出之結構流程可以得到相當平滑且橢圓型之通道輪廓，這在多晶矽奈米線通道薄膜電晶體領域中是第一次被提出來；進一步而言，這樣的結構流程所製作出閘極環繞式多晶矽奈米通道結構搭配抬昇式源極/汲極之薄膜電晶體在尚無電漿輔助下即具備了相當陡峭之次臨界擺幅及低操作電壓。並在比較之下，本計劃元件在閘極電壓3伏特、汲極電壓1伏特情形下電流開關比即可超過 $10^7$ 。



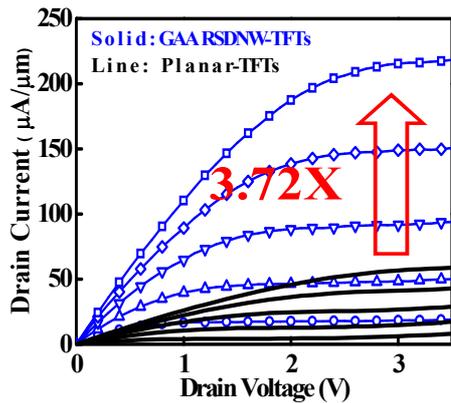
圖十五：奈米線通道元件與傳統平面元件轉化特性之比較



圖十六：環繞式閘極結構能大幅提升閘極控制能力，使得汲極誘發能障降低之現象被大幅抑制。

	This Work	Ref. [10]	Ref. [11]	Ref. [12]	Ref. [13]
NW cross-section	Elliptical	Rectangular	Rough Triangular	Rough Rectangular	Triangular
NW dimensions (nm)	7x12	67	80x50x40	40x30	130x85x85
NH <sub>3</sub> Plasma	w/o	w/ 2hrs	w/ 3hrs	w/ 2hrs	w/ 3hrs
W/L (μm/μm)	0.03x4/0.35	0.067x10/5	0.17x2/1.5	0.13x2/0.4	1.2/1
S.S. (mV/dec.)	99	>200	150	251	~360
I <sub>ON</sub> /I <sub>OFF</sub> (V <sub>G</sub> :V <sub>D</sub> )	>10 <sup>7</sup> (3V:1V)	~10 <sup>6</sup> (10V:3V)	>10 <sup>6</sup> (5V:2V)	>10 <sup>7</sup> (8V:3V)	>10 <sup>7</sup> (10V:2V)

表一：與其他奈米線薄膜電晶體之比較列表



圖十七:在寬度歸一化與汲極電壓 3.5 伏特的條件下，奈米線通道元件之飽和電流約為傳統平面薄膜電晶體之 3.7 倍

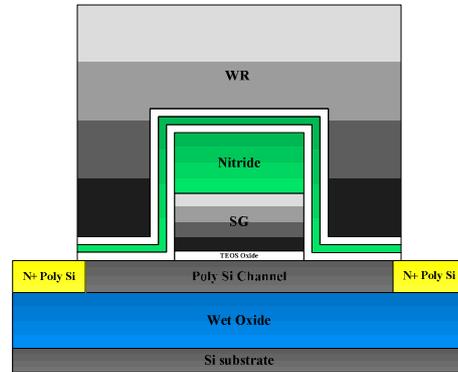
### c. SONOS 記憶體元件與薄膜電晶體整合研究

本實驗採取(100)方向之 P 型矽晶圓為基底。在基板上方首先用濕式氧化法成長 500 奈米的二氧化矽做為模擬玻璃基板材料，再用  $\text{SiH}_4$  氣體成長一層非晶矽，厚度為 50 奈米，之後進行固相結晶法使非晶矽轉變為多晶矽，當作元件電子通道。接著在低壓水平爐管通入 TEOS 氣體去沉積二氧化矽當作選擇閘極的絕緣層，並在上方依序沉積垂直爐管的臨場 N 型摻雜多晶矽當作選擇閘極，以及藉由低壓水平爐管沉積氮化矽作為隔絕內外兩閘極的絕緣。

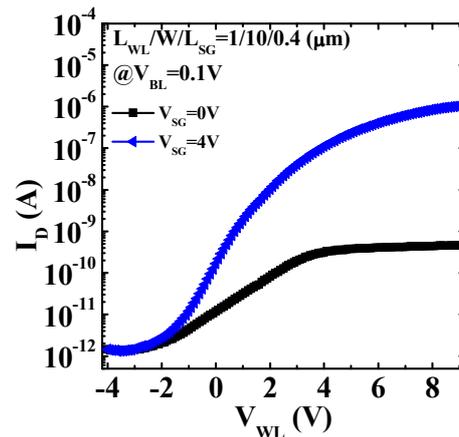
在定義完選擇閘極圖形之後，接著利用低壓水平爐管依序沉積二氧化矽-氮化矽-二氧化矽當作介電質材料，其中 TEOS 氧化層當作穿隧氧化層，厚度為 18 奈米；氮化矽當作載子捕捉層，厚度 12 奈米；TEOS 氧化層當作阻障氧化層，厚度 23.5 奈米。

之後再利用低壓水平爐管沉積多晶矽作為元件閘極，厚度為 200 奈米，

並且定義閘極圖形。其後製程都與 MOSFET 的標準製程相同，再以金屬 (AlSiCu) 濺鍍當作元件的金屬接觸，厚度為 600 奈米，而元件的結構示意圖如圖十八所示。



圖十八: WSG-SONOS 薄膜電晶體記憶體示意圖。

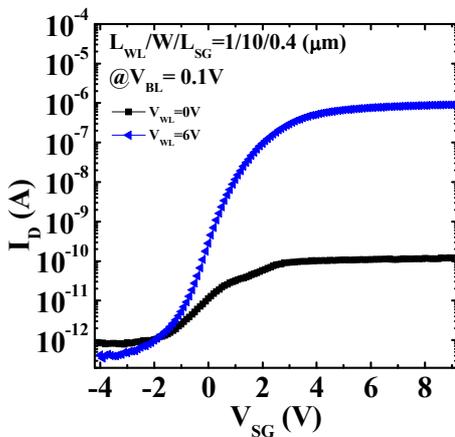


圖十九: 外部字元線閘極控制的電晶體特性

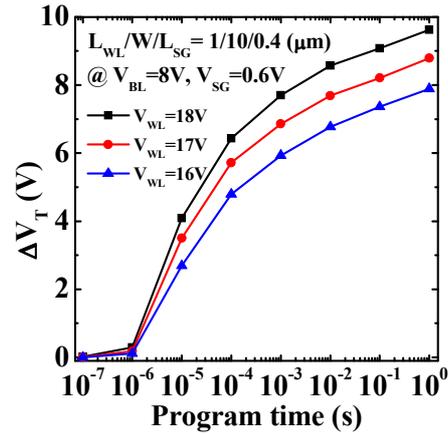
我們所製作的隱藏式選擇性閘極元件具有分離式閘極的特性[33]，因此能夠在一顆元件裡同時展現兩顆電晶體特性，圖十九呈現外部字元線閘極 (word-line gate) 的電晶體特性，當內部選擇閘極未加偏壓的時候，電晶體擁有很低的漏電流，而當選擇閘極偏壓足以開啟中間的通道時，我們可獲得六個次方的 on/off 電流比例以及導通電流接近  $10^{-6}$ -A。而圖二十則是說明內

部選擇閘極的擁有相似的電晶體特性，當外部字元線閘極未開啟時展現出相對低的漏電流，當字元線閘極偏壓足夠開啟兩邊通道之後，導通電流會在  $10^{-6}$ -A 達到飽和。

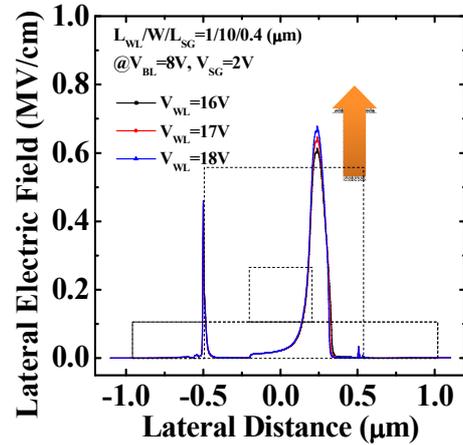
隱藏式選擇性閘極結構元件寫入機制為源極端注入 (source-side-injection)，圖二十一(a)顯示不同字元線偏壓下隱藏式選擇性閘極結構薄膜電晶體記憶體操作特性，可發現在較大的偏壓寫入會有較大的記憶窗口，並且在寫入電壓為  $V_{WL} = 18$ -V,  $V_{BL} = 8$ -V,  $V_{SG} = 0.6$ -V 情況下寫入速度為最快，並且在寫入時間為 10  $\mu$ sec 情況下，可得大於 3-V 的記憶窗，而基本記憶窗只要大於 50mV 就可以判斷“0”與“1”的狀態，此元件的記憶窗足夠適用於多層式載子儲存。而圖二十一(b)顯示出通道中的電子從源極端出發後，在選擇閘極和外部字元線閘極的中間縫隙區域作有效的電場加速動作，並且發現  $V_{WL} = 18$ -V 存在最大的水平電場值，此結果同時也佐證了  $V_{WL} = 18$ -V 搭配固定的  $V_{BL}$  和  $V_{SG}$  會展現最快的寫入速度。



圖二十：內部選擇閘極控制的電晶體特性



(a)

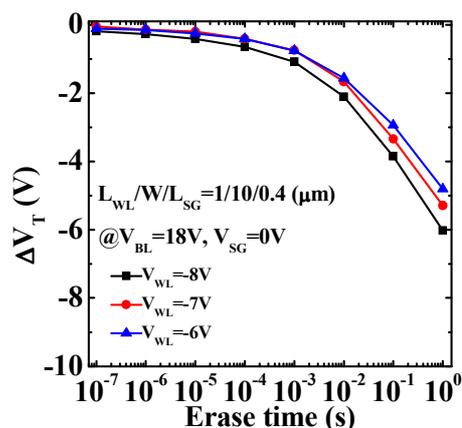


(b)

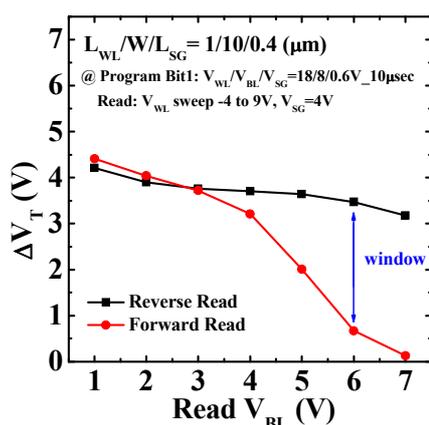
圖二十一：隱藏式選擇性閘極結構薄膜電晶體記憶體在不同字元線偏壓之 (a)寫入特性(b)水平電場模擬圖

隱藏式選擇性閘極結構元件抹除機制為能帶到能帶穿隧產生之熱電洞 (Band-to-Band Tunneling Hot-Hole) 的注入，圖二十二顯示不同字元線偏壓下的抹除特性，在固定偏壓  $V_{BL} = 18$ -V 的情況下， $V_{WL} = -8$ -V 有最大的垂直電場，使得電洞注入效率為最高，因而在 10msec 時間內可以有效達到 3V 的抹除記憶體窗。

而隱藏式選擇性閘極結構薄膜電晶體記憶體之 2-bit 操作表現顯示在圖二十三中，將記憶體元件先操作在 4V 大小的記憶窗口下，再利用順向讀取與逆向讀取，來辨別 2-bit/cell 操作能力，由實驗可發現利用  $V_{BL}=6\text{-V}$  的逆向汲極偏壓搭配  $V_{SG}=4\text{-V}$ ，即可達成 2-bit/cell 操作。



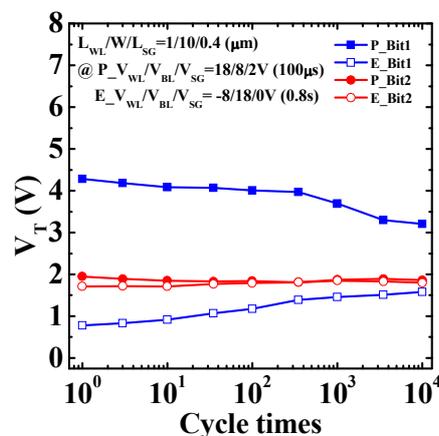
圖二十二：隱藏式選擇性閘極結構薄膜電晶體記憶體在不同字元線偏壓之抹除特性



圖二十三：隱藏式選擇性閘極結構薄膜電晶體記憶體在 2-bit 操作下之特性

圖二十四呈現出隱藏式選擇性閘極結構薄膜電晶體記憶體在執行反覆

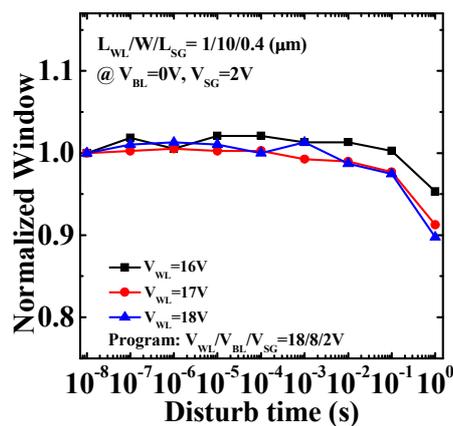
的寫入/抹除操作時的耐久性測試，而此寫入的電壓與時間分別設定為  $V_{WL} = 18\text{-V}$ ,  $V_{BL} = 8\text{-V}$ ,  $V_{SG} = 2\text{-V}$ ,  $t = 100\mu\text{sec}$ ，抹除的電壓與時間分別設定為  $V_{WL} = -8\text{-V}$ ,  $V_{BL} = 18\text{-V}$ ,  $V_{SG} = 0\text{-V}$ ,  $t = 0.8\text{sec}$ ，此偏壓情況可在元件達到 3.5V 的記憶體窗，在圖中顯示經過一萬次反覆寫入/抹除後，可發現抹除狀態的臨界電壓有變大的趨勢，由於在寫入/抹除時熱載子會傷害穿隧氧化層，導致穿隧氧化層有額外的電荷存在，以致於臨界電壓有明顯的變化，而寫入狀態的臨界電壓卻是有逐漸遞減的趨勢，主要原因來自於在反覆寫入/抹除的過程中，在不同位置所注入的熱電子與熱電洞無法在不連續儲載子的氮化矽原生缺陷中有效做電子電洞復合的動作，因此記憶體窗會存在逐漸關閉的傾向[44-46]，但是在經過一萬次的反覆寫入/抹除下，記憶窗口尚可維持 1.7V 的大小。同時，在 Bit1 反覆經過一萬次操作之後，我們仍然能夠維持 Bit2 所儲存的資訊，並不會有兩個位元之間的干擾情況發生。



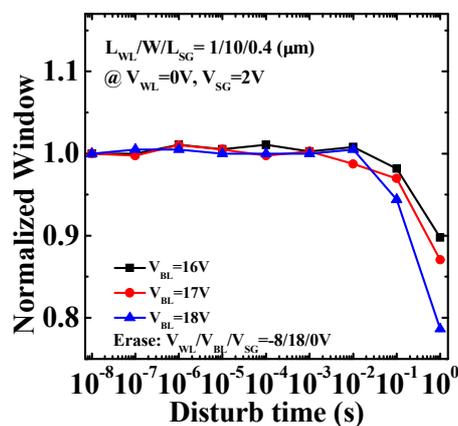
圖二十四：隱藏式選擇性閘極結構薄膜電晶體記憶體在執行一萬次反覆寫入/抹除之耐久性表現

對於薄膜電晶體記憶體元件來說，由於電子通道中存在許多晶向與邊界影響載子傳輸，導致操作偏壓會比傳統單晶元件還要大上許多，特別是在能帶對能帶熱電洞注入的情況下，將會導致嚴重的汲極干擾，導致先前儲存的大量電子有漏電逃脫的情況發生，因此而導致記憶窗口變小，使得在寫入讀取時產生誤判的情況有可能發生。我們在實驗圖二十五(a)可發現擁有 3V 記憶體窗的元件在閘極電壓干擾的測試下，存在大約 10% 的電子穿越阻障氧化層之後往閘極漏電，因此記憶體窗有變小的現象。圖二十五(b)則是顯現出元件有較為嚴重的汲極干擾特性，主要原因來自於汲極干擾所造成的漏電途徑是經由較薄的穿隧氧化層，所以我們會在長時間的干擾下發現 10-20% 的漏電情況。

氮化矽隱藏式選擇性閘極結構薄膜電晶體記憶體元件，在室溫 25°C 與高溫 55°C、85°C 的電荷儲存能力特性顯示在圖二十六中。發現在室溫下經過一萬秒的電荷儲存能力只有百分之八的電子流失，隨著溫度升高至 55°C 與 85°C，電荷儲存能力會逐漸遞減，分別來到百分之十二與百分之二十四的電子流失。這說明電子藉由缺陷輔助而造成電子流失情況變嚴重，以及穿隧氧化層的品質與缺陷主導長時間高溫的電荷儲存能力，因為薄膜電晶體記憶體元件所使用的 TEOS 氧化層，其氧化矽層品質無法與單晶元件所使用的乾式成長氧化層相比，也因此薄膜電晶體記憶體元件的電子保存能力會相對較差。



(a)

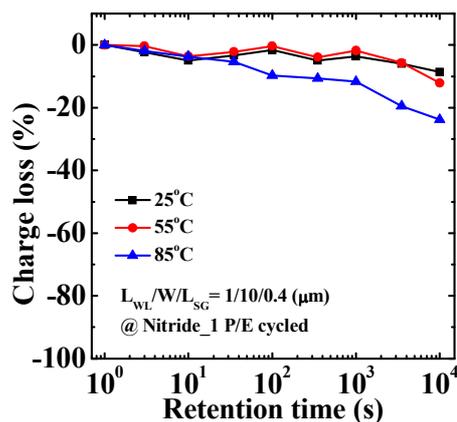


(b)

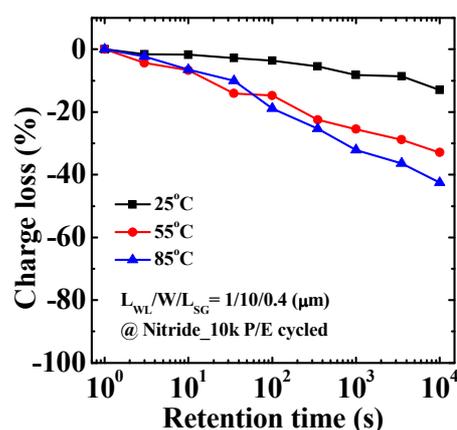
圖二十五: 記憶體窗 3V 的隱藏式選擇性閘極結構薄膜電晶體記憶體(a)閘極干擾(b)汲極干擾之特性

在圖二十七中顯示隱藏式選擇性閘極結構薄膜電晶體記憶體元件經過一萬次的反覆寫入/抹除後，電荷保存能力在三種不同溫度測試下都有劣化的趨勢。主要原因來自於除了穿隧氧化層因本身品質不佳就存在的缺陷以外，反覆的寫入/抹除操作過程中出現的熱電子與熱電洞撞擊而不斷有新的

缺陷產生、累積，提供了儲存在載子捕捉層的電子有額外新的漏電途徑，此情況在 85°C 高溫中尤其明顯，經過一萬秒的時間約有 40% 的電子流失掉，而室溫下經過一萬次反覆寫入/抹除的元件還能保存 83% 的電子數量。



圖二十六：隱藏式選擇性閘極結構薄膜電晶體記憶體在室溫與高溫下之電荷保存特性

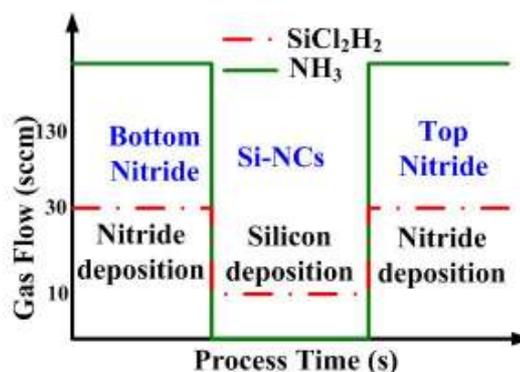


圖二十七：隱藏式選擇性閘極結構薄膜電晶體記憶體在經過一萬次反覆寫入/抹除後，其電荷保存特性表現

## 子計畫二、新穎矽奈米點記憶體元件製作與可靠度研究

### a. 找出最適當的製程將矽奈米點嵌入氮化矽絕緣層中

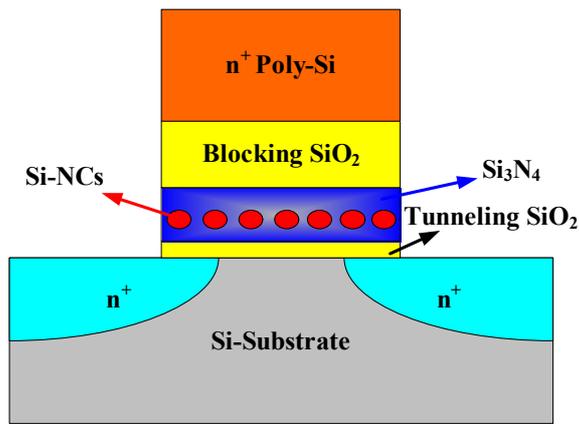
本實驗採取(100)方向之P型矽晶圓為基底。元件製程首先完成區域氧化層(LOCOS)之製作，再用 N<sub>2</sub>O 氣體成長穿隧氧化層，厚度為 2.5 奈米，接著利用臨場方法的將矽奈米晶體內嵌至氮化矽層內，採取不破真空方法，低壓爐管沉積氮化矽，通入氣體 SiH<sub>2</sub>Cl<sub>2</sub> 加 NH<sub>3</sub>，厚度為 3 奈米，使用之後將管子抽真空，把之前沉積所剩下的氣體抽光，通入氣體 SiH<sub>2</sub>Cl<sub>2</sub> 用來成長矽奈米晶體，沉積時間分別為 10、30、60 和 90 秒，緊接著將成長矽奈米點所剩之氣體抽光，再次通入氣體 SiH<sub>2</sub>Cl<sub>2</sub> 加 NH<sub>3</sub>，沉積氮化矽厚度為 4 奈米，以上所有的步驟都在相同爐管內及真空下進行，稱為 In-Situ 製程，而氣體流量示意圖如圖二十八所示。



圖二十八：利用 In-situ 內嵌矽奈米晶體製程氣體流量示意圖。

之後再利用 HDPCVD 成長阻擋氧化層，厚度為 20 奈米，並利用低壓爐管沉積多晶矽作為元件閘極，厚度為 200 奈米，並且定義閘極圖形。其後製程都與 MOSFET 的標準製程相同，再以金屬 (AlSiCu) 濺鍍當作元件的金屬接觸，厚度為 600 奈米，而元件的

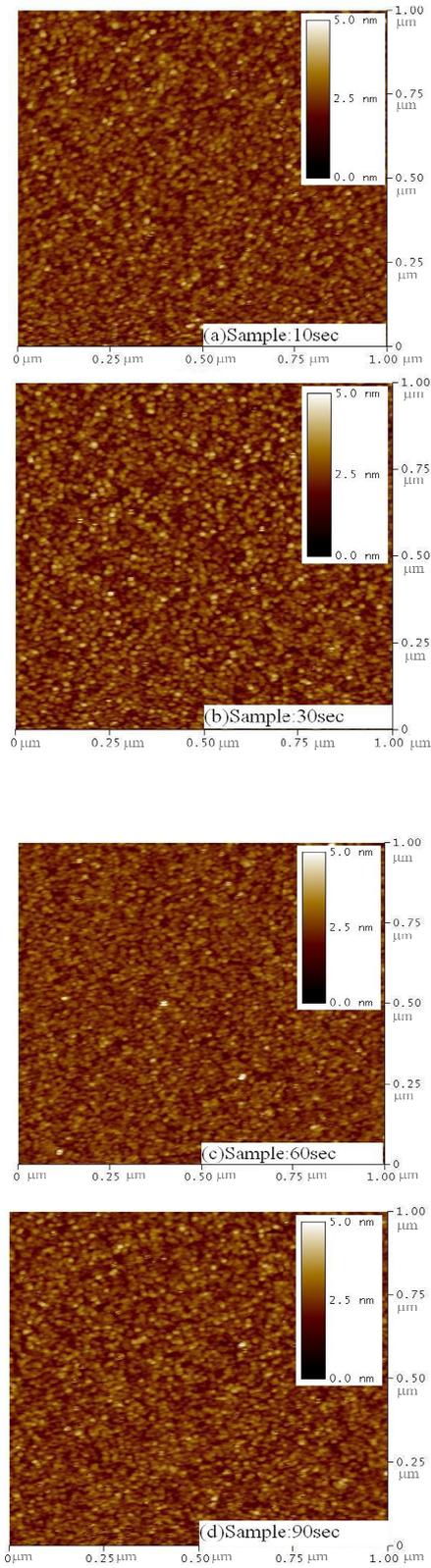
結構示意圖如圖二十九所示。



圖二十九: 內嵌矽奈米晶體 SONOS 記憶體的結構示意圖。

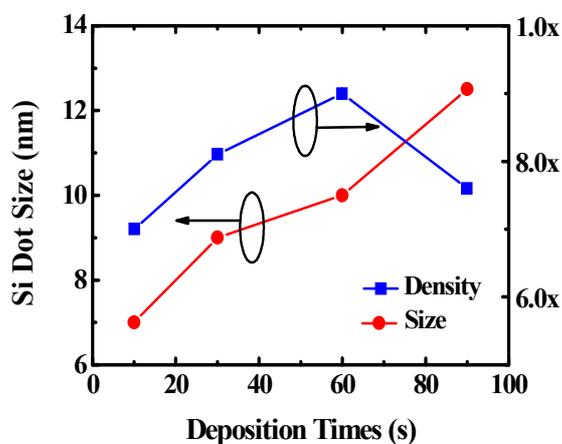
我們利用原子力顯微鏡可得知矽奈米晶體大小與密度分別約為(a)7nm 和  $7.44 \times 10^{11}$ 、(b)10nm 和  $7.8 \times 10^{11}$ 、(c)10nm 和  $9 \times 10^{11}$ 、(d)12.5nm 和  $7.6 \times 10^{11}$  如圖三十(a)~(d)，而且矽奈米晶體間距平均約為 6nm，使得儲存點之間有足夠的絕緣，減少 SILC 現象產生，並且使用臨場式沈積可得密度高達  $9 \times 10^{11} \text{ cm}^{-2}$  矽奈米晶體，同時我們可以發現當沉積時間越長，將使矽奈米晶體越大，但是會使矽奈米晶體密度下降，最高密度的沉積條件為 60 秒，由統計圖三十一可得知，並且由高解析度穿隧電子顯微鏡下視圖，可明顯發現矽奈米晶體結晶狀況，與其真實大小約為 5 奈米，如圖圖三十二所示。

從圖三十三中呈現出寫入/抹除速度特性，元件寫入/抹除機制分別為通道熱電子注入(channel hot electron injection)和能帶對能帶熱電洞注入(band-to-band hot hole injection)，在圖三十三(a)中顯示不同偏壓下內嵌矽奈米晶體記憶體操作

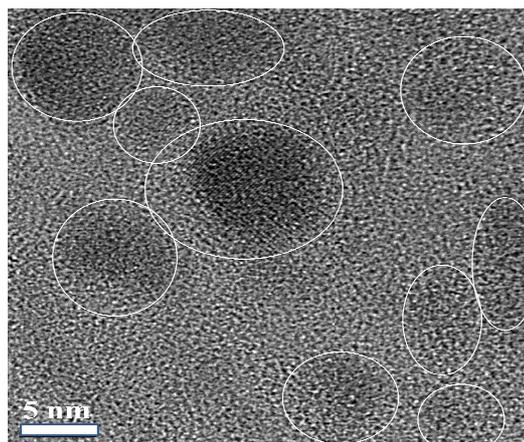


圖三十: 利用原子力顯微鏡顯示矽奈米晶體大小與密度，矽奈米晶體沉積時間分別約為(a)10sec、(b)30sec、(c) 60sec、(d) 90sec、。

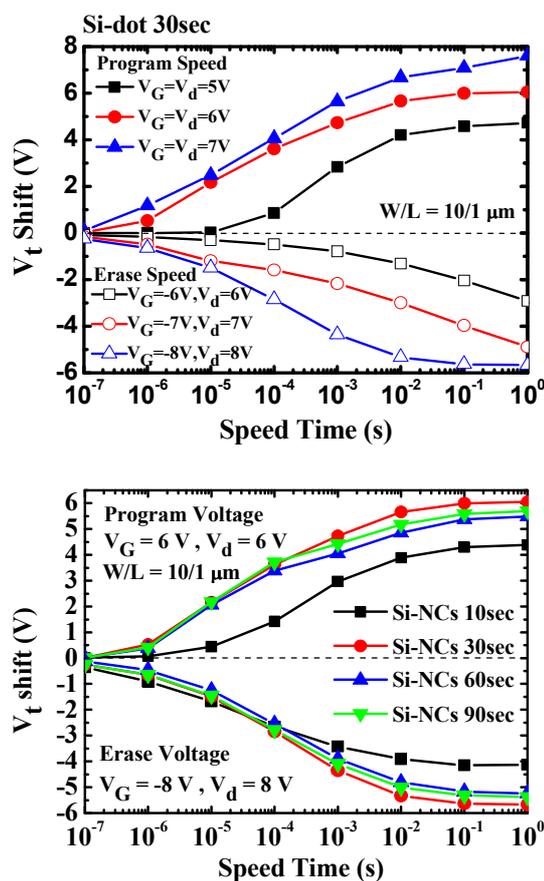
特性，可發現在較大的偏壓寫入/抹除，會有較大的記憶窗口，並且在寫入電壓為  $V_G=V_d=7V$  情況下，沒有明顯的捕捉飽和現象，在寫入/抹除電壓分別為  $V_G=V_d=6V$ 、 $V_G=-8V, V_d=8V$ ，對於 10、30、60 和 90 秒樣品記憶窗大小分別為 4.38-V、6.05-V、5.48-V 和 5.70-V，由於基本記憶窗只要大於 50mV 就可以判斷“0”與“1”的狀態，此元件的記憶窗足夠適用於多層式載子儲存。而在此寫入/抹除偏壓下，元件擁有較快的寫入/抹除速度，分別只要  $t=10\mu\text{sec}$  和  $t=100\mu\text{sec}$  就可達到 2.3V 的記憶窗大小，可達到較低的操作電壓與較快的寫入/抹除速度，可降低操作功率。傳統的 SONOS 只能將電子儲存於氮化矽之深度能陷，此元件能將電子儲存於矽奈米晶體內、矽與氮化矽之界面中與氮化矽之深度能陷，擁有比傳統的 SONOS 更多的儲存狀態，因此可使元件操作電壓下降與提高操作速度。發現沈積 10 秒的樣品有較慢的寫入/抹除速度，因為沈積時間太短使得矽無法成長為矽奈米晶體，所以導致特性比較接近傳統的 SONOS。



圖三十一：不同沉積時間與矽奈米晶體大小密度相關圖。



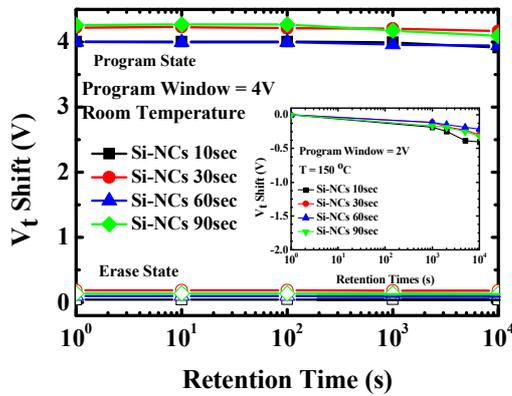
圖三十二：利用臨場方式沉積 30 秒的樣品，在高解析度穿隧電子顯微鏡之下視圖。



圖三十三：(a)內嵌矽奈米晶體 30 秒的樣品在不同操作偏壓下與(b)不同沉積時間矽奈米晶體樣品之寫入/抹除特性。

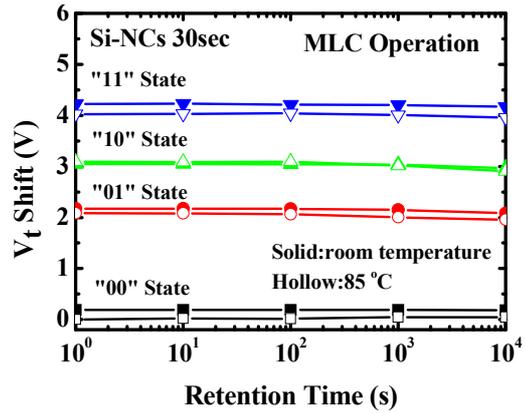
氮化矽內嵌矽奈米晶體記憶體元

件，在室溫 25°C 與高溫 150°C 的電荷儲存能力特性顯示在圖三十四中。

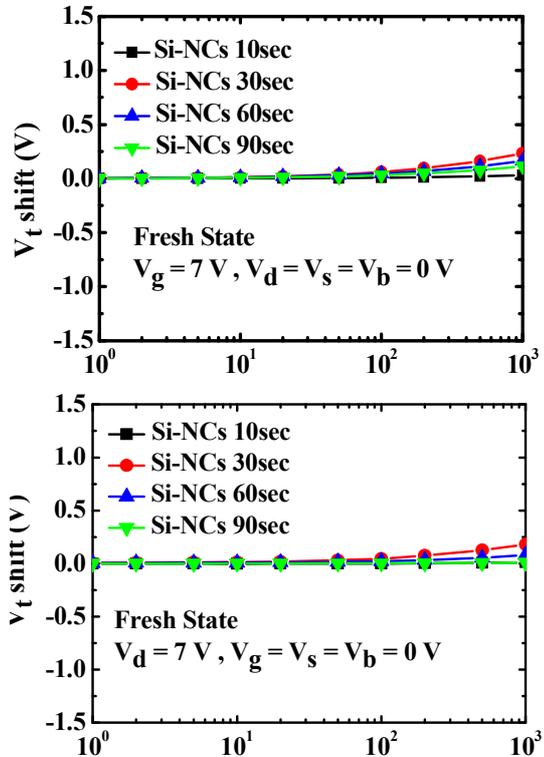


圖三十四：不同矽奈米晶體沉積時間之 SONOS 記憶體在室溫與高溫下之電荷保存特性。

發現在室溫下的電荷儲存能力可以維持十年，而且只有百分之十三的電子流失，而在高溫下一萬秒內也只有百分之十的電子流失。這是由於此元件在矽與矽奈米晶體的界面擁有較深的捕陷能階，而且矽奈米晶體間有足夠的分離，因此可以擁有較好的電子儲存能力。同時在 60 秒的沉積時間有最好的電荷保存能力，因為當沉積時間越久矽奈米晶體越大，矽奈米晶體越大所能儲存的電荷就越多，當有漏電路徑產生時，會導致大量的電荷流失，而當沉積時間太短時，會使矽奈米晶體無法形成，導致其特性較貼近傳統 SONOS，故其電荷保存能力就大幅度降低。圖三十五中顯示內嵌矽奈米晶體在多層式操作下電荷保存能力，可發現不管在室溫(25°C)或高溫(85°C)情況下，其電荷損失情況相當輕微，可以忽略不記，因此內嵌矽奈米晶體可利用多層式操作，有效的提高記憶體元件密度。



圖三十五：矽奈米晶體沉積 30 秒之 SONOS 記憶體在多層式操作之不同溫度下電荷保存特性。



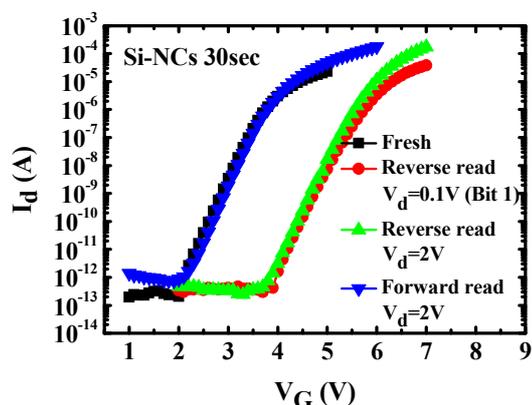
圖三十六：不同沉積時間之 SONOS 記憶體在(a)閘極干擾與(b)汲極干擾之特性。

在能帶對能帶熱電洞注入的情況下，將會導致嚴重的汲極干擾[47]-[48]，導致大量的電子可做垂直移動，注入電荷捕捉層內，因此而導致記憶窗口變大，使得在寫入讀取時產生誤判的情況，然而在內嵌矽奈米晶體記憶體的元件中，可發現在經過 1000 秒的干擾

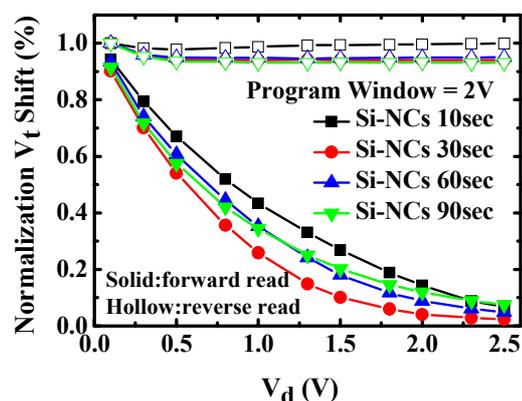
測試，發現在任何沉積時間下的 SONOS 記憶體，其不管是閘極與汲極干擾都小於 0.5V，因此在閘極干擾與汲極干擾測試，都可以達到相當好的結果，代表干擾的現象不會影響 SONOS 記憶體在執行多層式操作的寫入過程。

在快閃記憶體中，2-bit/cell 操作可以有效的提高儲存密度，並且不需要增加多餘的面積，是相當有效提高面積的方法，在沉積時間為 30 秒的內嵌矽奈米晶體 SONOS 記憶體，我們藉由驅動電流對閘極偏壓關係圖，可以有效的達成 2-bit/cell 的操作，如圖三十七所示。當我們將電子寫入靠近汲極端，稱為存入 Bit-1，再利用順向讀取與逆向讀取方法，來有效的辨別電荷儲存位子，當電荷儲存於 Bit-1 時，在順向讀取時，由於偏壓可以有效的遮蓋儲存電壓，此時將會顯是為”0”狀態，再利用逆向偏壓讀取，將可有效讀出訊號得到”1”狀態，在圖三十七中可發現在沉積時間為 30 秒內嵌矽奈米晶體記憶體，有良好的 2-bit/cell 的操作，可有效的提高記憶體密度。而在不同沉積時間的矽奈米晶體之 2-bit 操作表現顯示在圖三十八中，將記憶體元件先操作在 2V 大小的記憶窗口下，再利用順向讀取與逆向讀取，來辨別 2-bit/cell 操作能力，由實驗可發現在沉積時間為 30 秒的條件，有最佳的 2-bit 操作能力，可以利用最小的逆向汲極偏壓，即可達成 2-bit/cell 操作。圖三十九呈現出內嵌矽奈米晶體記憶體在執行反覆的寫入/抹除操作時的耐久性測試，而此寫入的電壓與時間分別設定  $V_G=6V$ ,  $V_d=7V$ ,  $t=30\mu\text{sec}$ ，抹除的電壓與時間分別設定為  $V_G=-7V$ ,

$V_d=10V$ ,  $t=20\text{msec}$ ，在圖中顯示經過一萬次反覆寫入/抹除後，可發現在寫入狀態與抹除狀態的臨界電壓有變大的趨勢，由於在寫入/抹除時熱載子會傷害穿隧氧化層[49]-[50]，導致穿隧氧化層有額外的電荷存在，以致於臨界電壓有明顯的變化，但是在經過一萬次的反覆寫入/抹除下，記憶窗口依然可維持 2.7V 的大小。



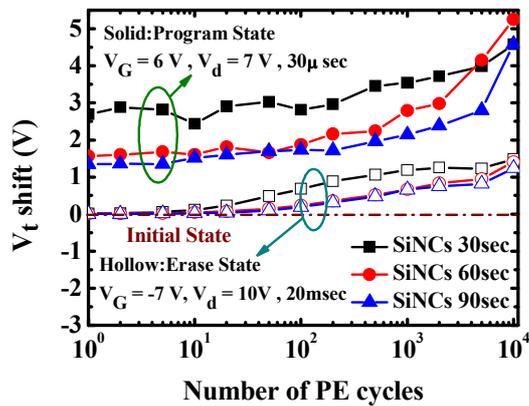
圖三十七: 沉積時間為 30 秒矽奈米晶體之 SONOS 記憶體在 2-bit 操作下之特性。



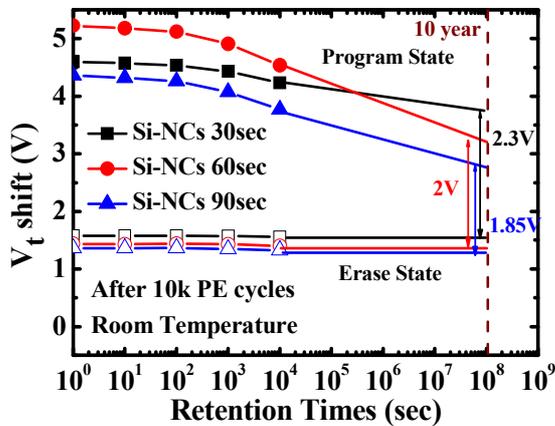
圖三十八: 在不同沉積時間下矽奈米晶體之 SONOS 記憶體在 2-bit 操作下之特性。

在圖四十中顯示經過一萬次的反覆寫入/抹除後，電荷保存能力依然維持得相當好，在經過一萬秒的電荷保存能力測試下，大約只有 12% 的電荷損失，

在延伸  $10^8$  秒後，記憶體窗口依然可以維持 2.3V 的大小，然而在 10 秒沉積時間的條件下，其特性較接近傳統的 SONOS 記憶體，故無法在此偏壓與時間下操作，因此無法呈現在圖三十九與圖四十中。



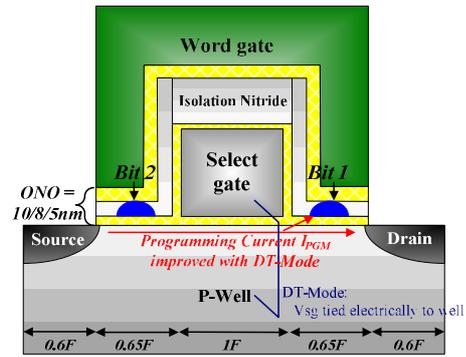
圖三十九：在不同沉積時間下矽奈米晶體之 SONOS 記憶體在執行一萬次反覆寫入/抹除之耐久性表現。



圖四十：在不同沉積時間下矽奈米晶體之 SONOS 記憶體在經過一萬次反覆寫入/抹除後，其電荷保存特性表現。

### 子計畫三、新穎隱藏性選擇式閘極結構記憶體元件之物理機制分析與模擬

#### a. 動態臨限電壓操作法的應用來改善隱藏性選擇式閘極結構記憶體元件的寫入效能



圖四十一：隱藏式選擇性閘極記憶體的元件剖面結構圖。其中操作在動態臨界源級邊際射入模式時，隱藏式選擇性閘極將以電性連接的方式與 P 型井區相連接在一起。

本研究主題之元件結構與動態臨界源級邊際射入法是利用 0.18 微米製程下所製造的 NOR 陣列之快閃記憶體元件所實現，圖四十一呈現了此研究操作在單細胞二位元下的隱藏性選擇式閘極記憶體結構，其中單一位元胞的電性尺寸大小為  $3.5F^2$ ；而阻擋氧化層/氮化矽儲存層/穿隧氧化層的厚度則分別為 10.0 奈米/8.0 奈米/5.0 奈米；其內嵌之選擇性閘極結構的通道長度與寬度則分別為 0.18 微米以及 0.36 微米，利用此特殊的內嵌式選擇性閘極結構的輔助，我們將隱藏式的選擇性閘極以電性連接的方式在多層級寫入的過程中與 P 型井區相連接在一起，如圖四十一所呈現一般。其中，內嵌式選擇性閘極如同一顆隱藏電晶體一般，能夠有效控制寫入電子供應

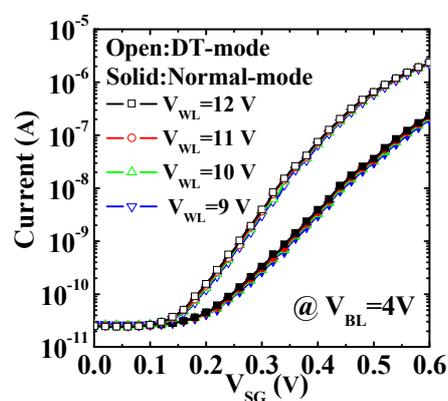
電子流，然而在此動態臨界源極邊際射入操作過程中需要特別注意的是此內嵌式選擇性閘極電晶體的臨界操作電壓需要小於 0.7 伏特，否則寄生於其中的基板效應將會使得二極體因為順向偏壓的開啟而使得漏電流大幅度的上升。此外，表二詳細的說明了隱藏式選擇性閘極記憶體在多層級操作下元件各端點寫入、抹除與讀取所設定的偏壓。其中，我們利用了能帶對能帶穿隧法形成熱電洞注入 (Band-to-Band Tunneling Hot-Holes) 的方式來完成抹除儲存電子的動作；逆向讀取方式則讓我們可以順利的應用在單細胞二位元中的位元胞判讀。最後，我們將利用定電流法(0.1 微安培)來定義此元件在多層級操作下不同狀態的臨界操作電壓值，其分別以“11”、“10”、“01”與“00”四種位元狀態分別表示為 1 伏特、2 伏特、3 伏特之記憶窗變動大小。

Multi-level states: DT-Mode:		"10" state, "01" state, "00" state $V_{WL}=9V$ , $V_{WL}=10V$ , $V_{WL}=11V$					
Bit-1 operation	Mode	Time	$V_{WL}$	$V_D$	$V_S$	$V_{SG}$	$V_{Well}$
Program	DT	200ns	9~11V	4V	0V	0.45V	0.45V
Erase	BTBT	5ms	-4V	6V	0V	0V	0V
Read	Reverse	Sweep time	Sweep 0-8V	1.8V	0V	1.6V	0V

表二：隱藏式選擇性閘極記憶體在包含多層級動態臨界源級邊際射入模式下元件各端點所設定偏壓。

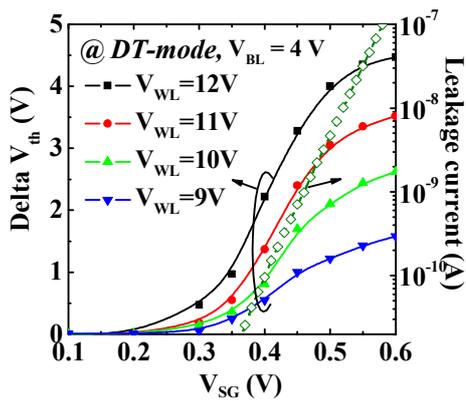
圖四十二分別呈現出操作在傳統源級邊際射入與動態臨界源級邊際射入模式下寫入電子流將隨著隱藏式選擇性閘極偏壓的增大而有非常顯著的上升。此時，字元閘極被分別加上 9 伏特、10 伏特、11 伏特、12 伏特；汲極偏壓設定在 4 伏特；源級偏壓則設定為 0 伏特。其中當操作在動態臨界源級邊際射入模式中，由於隱藏式選

擇性閘極電晶體的臨界電壓值會隨著基板效應的影響而動態地逐漸變小，寫入電子流因此而能大幅度的上升。此外，在我們的 NOR 型態測試陣列中，使二極體導通的順向偏壓需要達至 0.64 伏特；然而，我們應用在此動態臨界源級邊際射入模式下的隱藏式選擇性閘極偏壓僅僅只有 0.45 伏特，這時候的二極體接面電流仍將會低於 1 奈安培的大小，這同時也說明了寫入電子流的主要增加來源是由於反轉層電荷密度的大幅提昇。



圖四十二：隱藏式選擇性閘極記憶體在傳統源級邊際射入與動態臨界源級邊際射入模式下寫入電子流與隱藏式選擇性閘極偏壓的特性曲線圖。

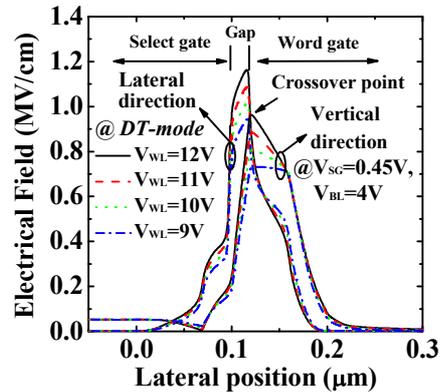
從圖四十三則可以觀察到在動態臨界源級邊際射入模式下記憶窗的大小將會隨著隱藏式選擇性閘極偏壓的增大而有大幅度的提昇，這主要是因為較大的隱藏式選擇性閘極偏壓能夠提供更多的寫入電子流。此時，字元閘極分別設定為 9 伏特、10 伏特、11 伏特、12 伏特；汲極偏壓則設定在 4 伏特；寫入時間則設定為 100 奈秒，其展現出動態臨界源級邊際射入模式下非常優異的寫入速度。



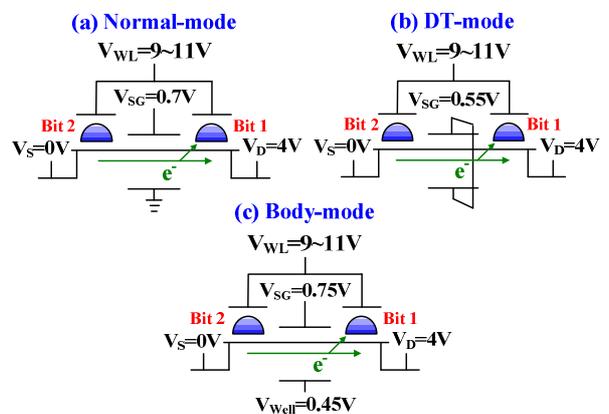
圖三：隱藏式選擇性閘極記憶體在動態臨界源級邊際射入模式下，臨界電壓值變化與隱藏式選擇性閘極偏壓的特性曲線圖。

此外，從圖四十三也可觀察到隨著字元閘極偏壓從 9 伏特上升至 12 伏特時，記憶窗的寫入效率將更為提升；這主要是因為較大的字元閘極偏壓可以有效地提升隱藏性選擇式閘極記憶體元件中電荷注入區間內的水平與垂直加速電場促使更多的熱電子能有效地注入氮化矽儲存層內，如圖四十四所示。圖四十四為利用電腦輔助模擬軟體所模擬出隱藏式選擇性閘極快閃記憶體之水平電場與橫向電場隨著字元閘極產生的變化。圖四十五表現了隱藏式選擇性閘極記憶體操作在三種不同寫入模式下的設定，包括了：傳統源極射入方式 (SSI)、動態源極射入方式 (DTSSI) 與基板增進源極射入方式 (Body-Enhance SSI)。為了瞭解動態源極射入方式是否仍有效增加注入效率進而降低操作功率的消耗，我們使用電腦輔助模擬軟體來加以分析此三種模式的電場差異與變化。其中對於動態源極射入方式，我們將隱藏式選擇性閘極與基板同時接在一起並設定為 0.55 伏特；而基板增進源極射入方

式則是固定維持 0.45 伏特的操作偏壓於基板。圖四十六顯示了在此三種寫入模式下以 100 奈米與相同的寫入條件 (字元端電壓=9-12 伏特、位元端電壓=4 伏特) 所得到的實驗結果。



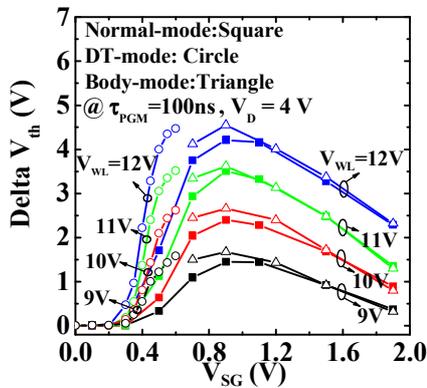
圖四十四：隱藏式選擇性閘極記憶體在動態臨界源級邊際射入模式下，字元閘極偏壓變化與注入區間的電場變化曲線圖。



圖四十五：三種不同寫入模式比較 (a) 傳統源極注入法 (b) 動態傳統源極注入法 (c) 基板增進源極注入法。

從圖四十六可以看到不同於動態源極射入方式，傳統源極射入方式與基板增進源極射入方式皆同時顯現出傳統的鐘型分佈；鐘型分佈的產生主要是由於橫向水平電場與電子供應電流相

對於內嵌式電晶體的閘極電壓升高而會有互相補償的作用，因此才會出現鐘型理想峰值。然而，利用動態源極射入方式可以發現在選擇性閘極偏壓小於 0.7 伏特以下，就可以大幅的增加記憶窗寫入大小，一般推測上可以從圖二的大量寫入供應電流量的增加來得到合理的結果，除此之外，為了有效瞭解源極射入法的寫入機制，我們模擬了記憶體元件在注入區間的垂直與水平電場變化，如圖四十七所示。

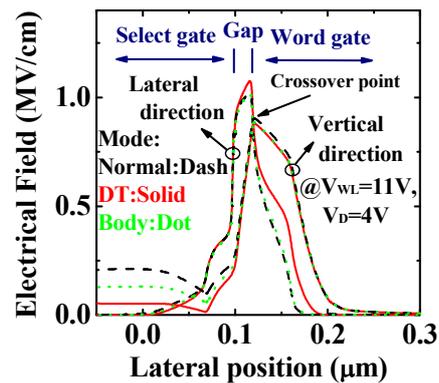


圖四十六：隱藏式選擇性閘極記憶體在三種不同寫入模式下寫入速度對隱藏式閘極特性曲線圖。

從圖四十七的模擬結果可以發現，相較於傳統源極射入方式與基板增進源極射入方式皆隨著隱藏式選擇性閘極偏壓的增加而減少，動態源極射入方式則擁有較大的水平加速電場，因此擁有較大的熱電子電洞對的產生效率。因此，主要有兩個增進寫入速度的機制同時主導：電子供應電流的大幅增加與中性注入區間的電場增加來決定。

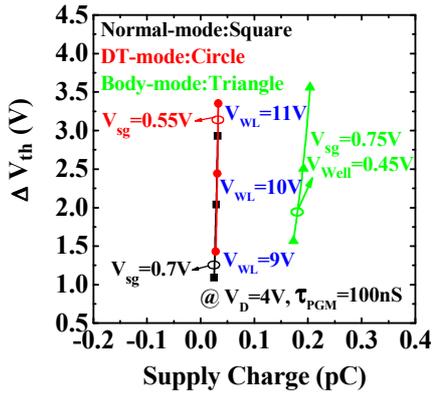
圖四十八則隱藏式選擇性閘極記憶體操作在三種不同寫入模式下的寫入效率比較，同時以 100 奈米與相同

的寫入條件(字元端電壓=9-11 伏特、位元端電壓=4 伏特)所得到的實驗結果，此供應電荷( $Q_{\text{Supply Charge}}$ )的定義為電荷供應寫入電子流與寫入時間的乘積結果，從圖八可以發現，在相同的供應電荷下，動態源極射入方式可以用較低的字元偏壓來完成多位元層級的操作，而此方式則可以有效降低快閃記憶體的功率消耗，則都歸功於有效的增加注入中性區間的水平橫向電場所產生的結果。相對於動態源極射入方式，基板增進源極射入方式則會因為基板漏電效應而造成較大的功率消耗，反而降低寫入的效率。

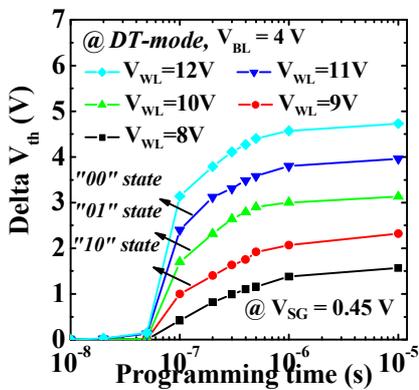


圖四十七：利用模擬軟體比較三種不同寫入模式下之電場關係比較圖。其中可以發現動態臨界源極射入法有較高的產生熱電子電洞對之效率。

圖四十九呈現了在動態臨界源級邊際射入模式中隱藏性選擇式閘極記憶體多層級的寫入特性；在此模式下，隱藏式選擇性閘極與汲極端的偏壓則分別設定在 0.45 伏特與 4 伏特，在僅僅 200 奈秒的寫入時間內，多層級記憶窗的變化將分別超過 1 伏特(“10”狀態)、2 伏特(“01”狀態)、3 伏特(“00”狀態)，此時所對應到的字元閘極偏壓則

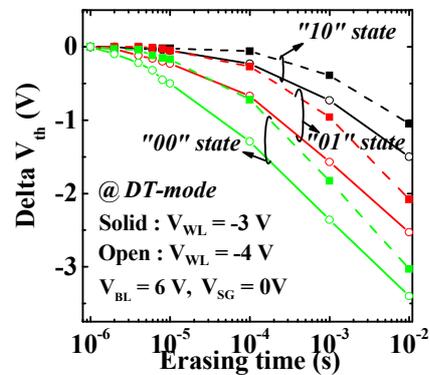


圖四十八：固定相同供應電荷下，比較三種不同寫入模式下之記憶窗變化比較圖。其中可以發現動態臨界源極射入法能在相同的供應電荷下，產生較大的記憶窗變化，證明了動態臨界源極射入法確實能有較高的熱電子電洞對產生效率。



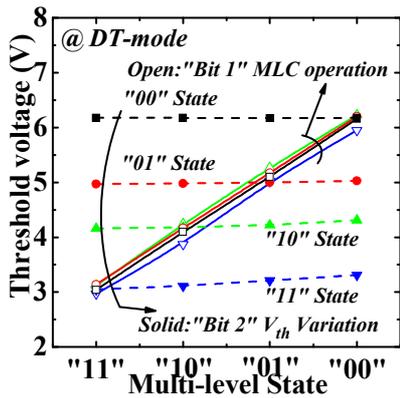
圖四十九：隱藏式選擇性閘極記憶體元件操作在動態臨界源級邊際射入模式時的寫入特性，其中當外加字元閘極偏壓為 9、10、11 伏特時，僅僅只需要花費 200 奈秒即可以使臨界電壓差值大於 1(“10”狀態)、2(“01”狀態)、3(“00”狀態)伏特而完成多層級的操作。

各為 9 伏特、10 伏特與 11 伏特；在此，我們定義“11”狀態為元件初始狀態。圖五十則表現出元件在多層級狀態抹除時之特性，其中汲極偏壓設定在 6 伏特；隱藏式選擇性閘極與源級偏壓皆設定在 0 伏特；字元閘極則分別設定為 -3 伏特與 -4 伏特。藉由在此操作條件下，利用能帶對能帶穿隧法形成熱電洞注入的方式可以在僅僅 5 毫秒的抹除時間內將多層級狀態回復至元件的起始狀態。

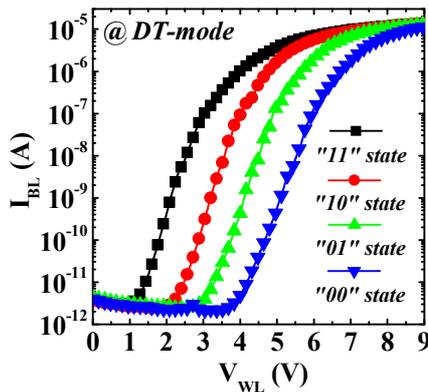


圖五十：隱藏式選擇性閘極記憶體在經過動態臨界源級邊際射入模式寫入至不同多層級狀態下的抹除特性。其中不論為何種多層級狀態，皆可在 5 微秒的時間內回覆至初始狀態。

圖五十一顯示了單細胞二位元操作下的二位元干擾效應(2<sup>nd</sup> bit effect)測試結果，其中在第二位元(Bit 2)首先會寫入至不同多位元層級的狀態，接著再依續將載子利用動態源極寫入方式注入至第一位元(Bit 1)內，從圖中可以發現隨著第一位元的多層級狀態的變化，皆不會影響第二位元本身的多位元層級狀態，因此可知在此隱藏式選擇性閘極的結構下可以有效的抑制二位元干擾效應。



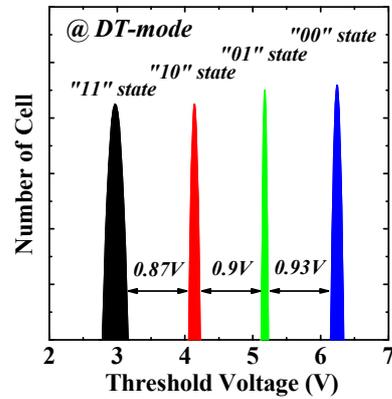
圖五十一：單細胞二位元操作在利用動態源極射入法寫入下幾乎沒有二位元干擾效應。



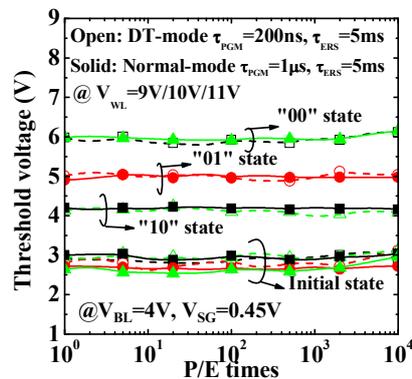
圖五十二：單細胞二位元操作在利用動態源極射入法寫入下操作為多層級應用之狀態定義。

此外，圖五十二顯示了 4 種多層極狀態(“11”狀態、“10”狀態、“01”狀態、“00”狀態)的定義，其中“11”狀態為元件初始狀態，隨著電子寫入量的逐漸增加，其“10”狀態、“01”狀態、“00”狀態分別增加了 1 伏特、2 伏特與 3 伏特的記憶窗變化；圖五十三則說明了在利用動態源極射入法完成多層極操作的過程中，其每個狀態的初始的記憶窗偵測範圍仍然可以維持在 0.85

伏特以上，其越大的偵測記憶窗越可以保障元件操作上之可靠度，使其不容易受到不理想效應之擾動而偵測錯誤。



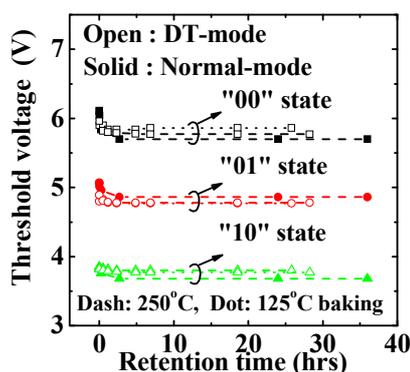
圖五十三：利用動態源極射入法所完成的多層級操作感測區間分佈圖。



圖五十四：隱藏式選擇性閘極記憶體分別經過傳統源級邊際射入與動態臨界源級邊際射入模式下執行多層級反覆寫入與抹除後的耐久性。

圖五十四分別呈現出一般傳統的源級邊際射入與動態臨界源級邊際射入模式下隱藏式選擇性記憶體在執行多層級寫入與抹除操作下的耐久性。在此二種操作模式下，多層級狀態(“10”狀態、“01”狀態、“00”狀態)的字元，

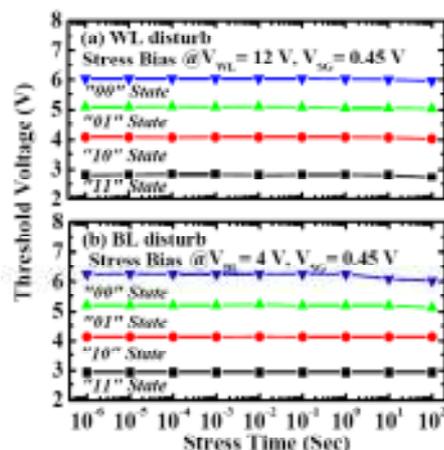
閘極分別設定為 9 伏特、10 伏特、11 伏特；汲極端與隱藏式選擇性閘極的偏壓則分別設定在 4 伏特與 0.45 伏特；然而操作在動態臨界源級邊際射入模式下的寫入時間僅僅只需花費 200 奈秒，是一般傳統源級邊際射入模式的 5 倍快。此外，元件執行抹除的端點偏壓設定條件為字元閘極 4 伏特與汲極偏壓 6 伏特。我們可以從圖五十四觀察到即使元件經過了 1 萬次的反覆寫入與抹除的測試後，不同的多層級狀態幾乎仍然維持在原有的記憶窗狀態，此結果證明了即使元件操作在新穎的動態臨界源級邊際射入模式下仍然可以完成超高速與高可靠度的快閃記憶體。



圖五十五：隱藏式選擇性閘極記憶體分別經過傳統源級邊際射入與動態臨界源級邊際射入模式下經過高溫 250°C 烘烤後的多層級儲存力表現。

圖五十五則呈現了隱藏式選擇性記憶體分別在一般傳統的源級邊際射入與動態臨界源級邊際射入模式下多層級狀態的載子保存能力。從此圖中我們可以發現此在此二種模式下寫入的記憶體元件在極高溫(250°C)烘烤測試中，會造成少量多層級記憶窗的狀態

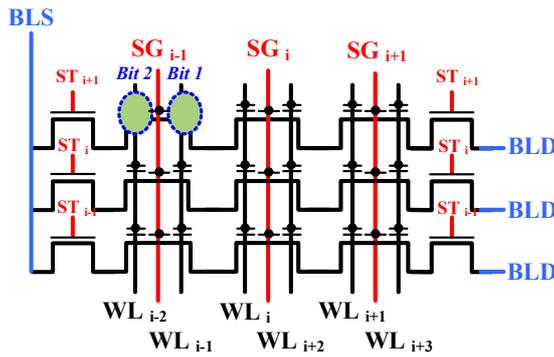
變化。造成此現象最主要的原因是因為是被寫入的電荷經過高溫烘烤的過程中，獲得足夠能量的電荷將在氮化矽儲存層中產生遷移效應，而使載子於氮化矽儲存層中重新分佈。



圖五十六：隱藏式選擇性閘極記憶體分別經過閘極干擾與位元干擾在多層級位元操作下的可靠度測試。

圖五十六分別顯示了閘極干擾與位元干擾在多層級位元操作下的可靠度測試，結果顯示不論在動態源極射入操作與能帶對能帶熱電子電洞穿透抹除方式下分別經過 100 秒的閘極干擾(Gate Disturbance)與位元干擾(Drain Disturbance)後其對記憶體元件多位元層級產生 0.1V 的變化影響，其有效的記憶窗大小仍然仍維持正確的判讀之內。

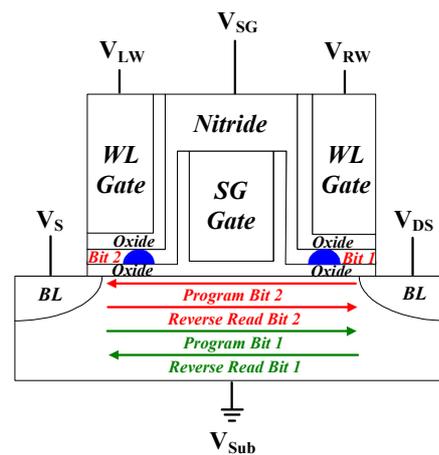
#### b. 選擇性隱藏式閘極 NAND 記憶體陣列結構在多位元模式下各項特性與可靠度探討



圖五十七：具分離式控制閘之隱藏式選擇性閘極記憶體元件結構之 NAND 陣列表示圖。

本研究主題之 NAND 陣列之快閃記憶體元件是利用 0.18 微米製程下所製造具分離式控制閘之隱藏式選擇性閘極記憶體元件結構與動態臨界源級邊際射入法所實現，圖五十七呈現了此 NAND 陣列之快閃記憶體元件之等效電路說明圖，其中 NAND 陣列共用其位元端與接地端。然而，利用此特殊的內嵌式選擇性閘極結構的輔助，我們可以將具分離式控制閘之隱藏式選擇性閘極記憶體元件操作在低功率消耗的應用上，其可以建立一個電場強度為每單位公分百萬級伏特 (MV/cm) 的載子注入區來完成高效率的寫入過程，因此其中包含兩次的多晶矽閘極沈積製程來完成此輔助結構的設計。首先，在完成了淺溝槽絕緣區與通道濃度摻雜後，首先成長出高品質的閘極氧化層並沈積 1500 埃厚度的多晶矽閘極與 1000 埃的絕緣氮化矽層，在經過微影蝕刻製程後形成其內嵌式選擇性閘極結構，其絕緣氮化矽層主要的功用是分離兩個字元閘極與內嵌式閘極，避免彼此的干擾；緊接著我們分別完成水平爐管分別成長與沈積其阻擋氧化層/氮化矽儲存層/穿隧氧化層分別為 10.0 奈米/8.0 奈米/5.0

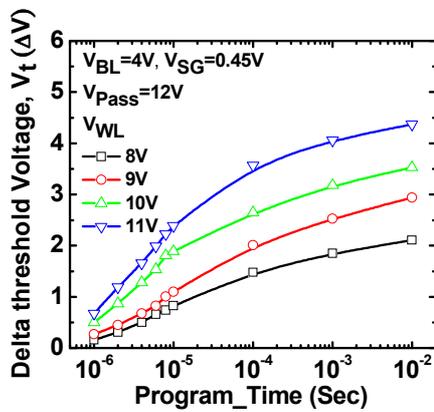
奈米厚度之製程；並再沈積上第二次的 1500 埃厚度的多晶矽字元閘極，再次經過微影蝕刻製程定義多晶矽字元閘極後，利用自我對準方式完成源極與汲極端摻雜與活化並完成元件之後段製程；其具分離式控制閘之隱藏式選擇性閘極記憶體元件結構如圖五十八所示，由上述可知其製程可匹配其在互補式電晶體之整合應用。而在利用單細胞二位元與多位元層級寫入操作下，此具分離式控制閘之隱藏式選擇性記憶體 NAND 陣列的等效電性大小為  $1.5F^2$ ，其元件的通道長度與寬度則皆為 0.18 微米。此外，我們利用半導體參數分析儀(Keithley 4200)、陣列轉換器(Keithley 708A)、雙通道脈衝產生器(Agilent 81110A)與探針卡(Probe card)等，利用程式語言建構了一套量測具分離式控制閘之隱藏式選擇性記憶體 NAND 陣列，讓我們可以完成其在 NAND 結構下之寫入/抹除/讀取之測試過程，其單細胞二位元多層級操作的寫入/抹除/讀取各端點偏壓則呈現於表三。



圖五十八：具分離式控制閘之隱藏式選擇性閘極記憶體元件結構表示圖。

		Program (SSI)	Erase (BTBHH)
Bit 1	$V_{RW}$	9~11 V	-6 V
	$V_{LW}$	12V	12 V
	$V_{SG}$	0.45 V	0 V
	$V_{BL}$	0 V/4 V	0 V/5.3 V
Bit 2	$V_{RW}$	12V	12 V
	$V_{LW}$	9~11V	-6 V
	$V_{SG}$	0.45 V	0 V
	$V_{BL}$	4 V/0 V	5.3 V/0 V

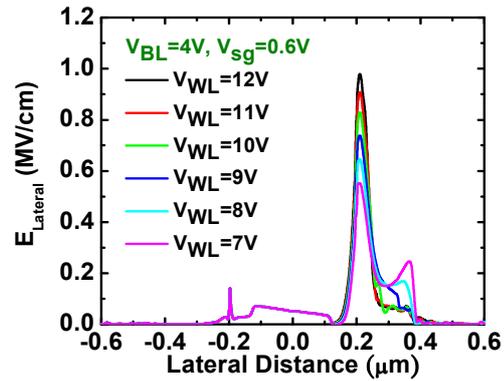
表三：具分離式控制閘之隱藏式選擇性閘極記憶體元件單細胞二位元操作之應用電壓值。



圖五十九：記憶體元件操作在源級邊際射入模式時的寫入特性，其中當外加字元閘極偏壓為 9、10、11 伏特時，僅僅只需要花費 30 微秒即可以使臨界電壓差值大於 1(“10”狀態)、2(“01”狀態)、3(“00”狀態)伏特而完成多層級的操作。

由於快閃記憶體的需求不僅僅是需要體積小，還需要達到高性能而低功率消耗的特性，因此利用內嵌式閘極而完成高注入效率的源極射入法在此研究中被呈現出來，圖五十九顯示其源極射入法在隨著不同字元閘極為 8、9、10 與 11 伏特且汲極端為 4 伏特之偏壓應用下之寫入特性曲線。對於最好應用於多層級寫入的條件中，其

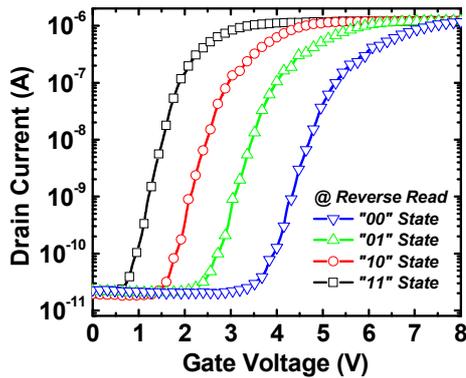
字元閘極分別為 9、10 與 11 伏特且其對應的多層級狀態為“10”狀態、“01”狀態、“00”狀態，而此時之內嵌式閘極電壓與汲極端電壓分別為 0.45 伏特與 4 伏特，分別對應的寫入時間則為 8、10、30 微秒。



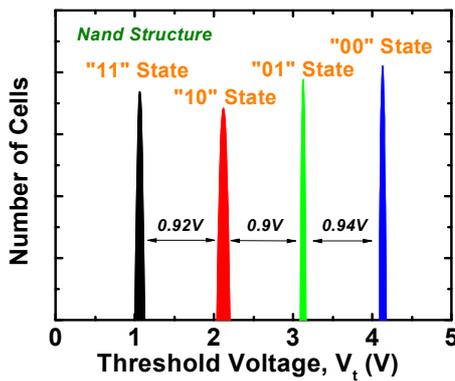
圖六十：具分離式控制閘之隱藏式選擇性閘極記憶體元件操作在源級邊際射入模式時，字元閘極偏壓變化與注入區間的電場變化曲線圖。

圖六十則顯示了在此寫入條件下電荷注入中性區間所相對應的橫向水平電場分布圖，由於越大的字元端電壓可以產生更強的水平與垂直電場分布，因此有效的提高了衝擊離子化後之電子電洞對的產生與載子注入效率。此外，為了提高記憶體電路能有更高準確的多位元層級判斷能力，其偵測區間至少需要大於 0.3~0.4 伏特以上；因此，在此我們將初始多位元層級區間固定為 1 伏特來完成更高可靠度的多位元層級操作。圖六十一顯示了在此具分離式字元閘極的 4 種多位元層級狀態定義，其中“11”狀態為初始狀態，隨著記憶窗的增加為 1、2 與 3 伏特而分別定義其餘三種“10”狀態、“01”狀態、“00”狀態。在此研究中，我們以定電流

為0.1微安培來完成臨界電壓的判讀。圖六十二則說明了在此具分離式控制閘之隱藏式選擇性記憶體即使利用源級射入法完成多位元層級寫入下，仍然能使感測區間大於0.9伏特，此結果也說明了在此元件中可以對元件可靠度不理想效應的變化有更高的容忍度。



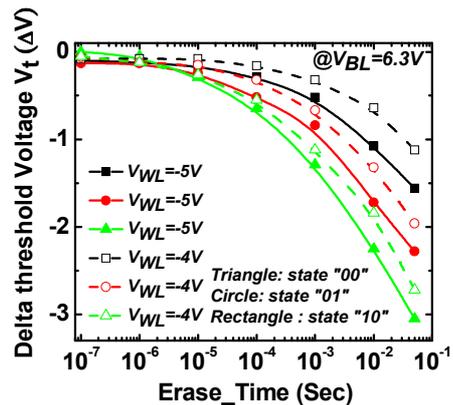
圖六十一：單細胞二位元操作在利用源極射入法寫入下操作為多層級應用之狀態定義。



圖六十二：具分離式控制閘之隱藏式選擇性閘極記憶體元件 NAND 陣列下利用源極射入法所完成的多層級操作感測區間分佈圖。

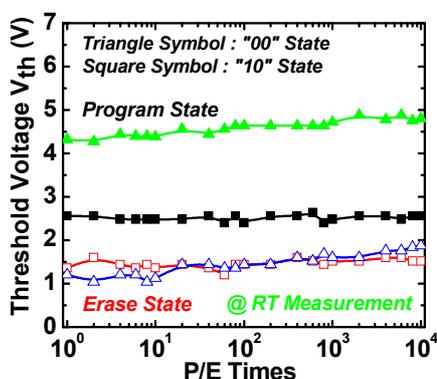
圖六十三則顯示了此具分離式控

制閘之隱藏式選擇性記憶體之抹除速度之特性曲線，在此我們利用能帶對能帶穿遂產生熱電洞之物理機制來完成抹除過程。當在汲極端加上較大的偏壓時可以有效產生更大的空乏區區間且使矽能帶的彎曲變化程度變得更大而產生更深之空乏區區間，使在價帶下之電子更容易經由矽缺陷與陷阱所幫助的過程而更造成更多電子電洞對的產生，然而部份由此造成之熱電洞即可能因其受到字元閘極的吸引而克服穿遂氧化層之能障高度而進入氮化矽層與電子複合，因此記憶窗可以回復到初始之“11”狀態；其中，我們分別固定字元閘極偏壓與汲極端偏壓為-5伏特與6.5伏特來完成高速度的抹除過程，其中三種“10”狀態、“01”狀態、“00”狀態位元分別可以在經過8毫秒、22毫秒與40毫秒下完成抹除過程；其中，由於更高層級的位元狀態儲存了更大量的電子電荷，使得穿遂氧化層的電位跨壓更大，因此可以在更短的抹除時間內完成抹除動作。



圖六十三：隱藏式選擇性閘極記憶體在經過動態臨界源級邊際射入模式寫入至不同多層級狀態下的抹除特性。其中不論為何種多層級狀態，皆可在40毫秒的時間內回覆至初始狀態。

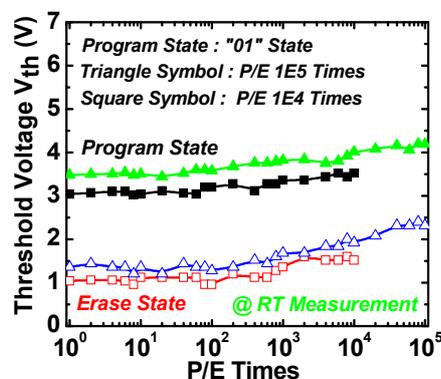
緊接著，討論完記憶體元件寫入與抹除的基本特性與機制後，為了更符合實際操作之需求，我們對其記憶體元件實際操作其多位元層級的耐久性測試。圖六十四分別比較了“10”狀態與“00”狀態在經過 10K 次寫入/抹除回圈測試後所展現的耐久性特性曲線；從圖中可以明顯的發現其初始“11”狀態與“00”狀態臨界電壓值隨著耐久性回圈測試次數的增加皆有輕微之上升，但卻仍然可以保持 3 伏特之有效可讀取之感測區間。



圖六十四: NAND 陣列下經過源級邊際射入執行多層級 “00” 狀態與 “10” 狀態反覆 10K 次寫入/抹除後之耐久性。

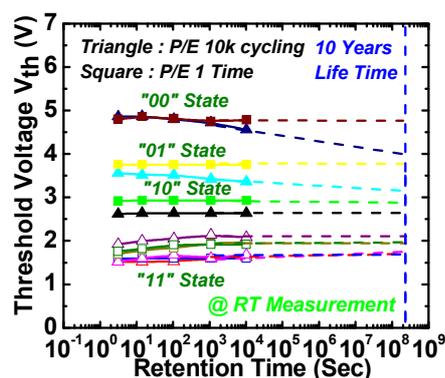
此臨界電壓值逐漸上升之原因主要是來自於能帶對能帶穿遂產生熱電洞的抹除過程中所造成，由於並非所有的熱電洞都能跨越能障高度而進入氮化矽儲存層，部分的熱電洞被侷限在穿遂氧化層中並使其電洞所見之能障高度提高，因此降低了抹除速度；此外，熱電洞注入過程中所造成的介面處缺陷，亦會使得臨界電壓值有些微上升。然而，此現象的發生並不會影響內嵌式閘極對於寫入供應電流大小，卻會使得熱電子在寫入的過程中

看見較低的能障高度，更能夠進入到氮化矽儲存層中而提高其“00”狀態之臨界電壓值。

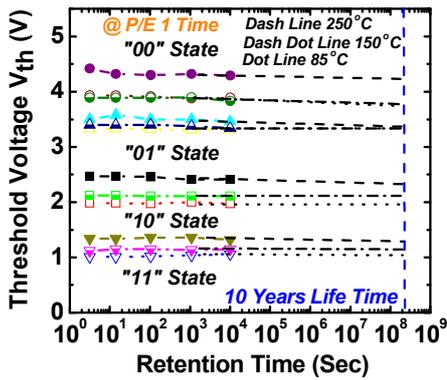


圖六十五: NAND 陣列下經過源級邊際射入執行多層級 “01” 狀態反覆分別經過 10K 與 100K 次寫入/抹除後之耐久性。

圖六十五則比較了當“01”狀態分別經過了 10K 與 100K 次的耐久性測試後，可以發現其初始狀態的臨界電壓值變化將大於 1 伏特以上，這主要的原因是由於熱電洞抹除所造成的傷害，其將大於多位元層級區間所能容忍的範圍內。



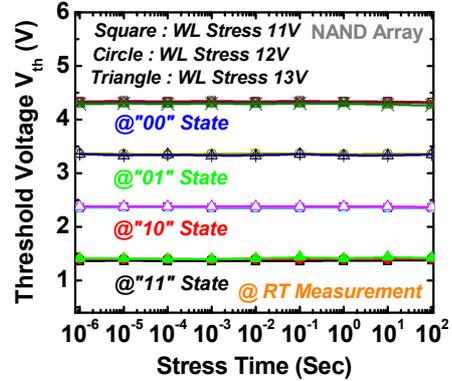
圖六十六: NAND 陣列下經過源級邊際射入執行多層級 4 種狀態反覆 10K 次寫入/抹除後之儲存性特性曲線。



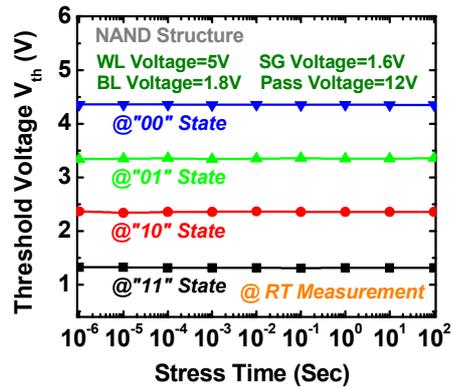
圖六十七: NAND 陣列下經過源級邊際射入執行多層級 4 種狀態經過高溫 85°C、150°C 250°C 烘烤後的多層級儲存力表現曲線。

圖六十六分別展現了經過 1 與 10K 次耐久力測試於各位元層級“10”狀態、“01”狀態、“00”狀態後再經過 10K 秒後之儲存力表現，從圖中可以清楚的發現隨著寫入次數達到 10K 次寫入/抹除後，由於產生更多的缺陷於穿遂氧化層中，因此其儲存能力些微的下降；其中，各位元層級“10”狀態、“01”狀態、“00”狀態分別下降了 0.02 伏特、0.2 伏特與 0.3 伏特；而其對應之初始“11”狀態也有了 0.1 伏特、0.16 伏特與 0.16 伏特上升。相對應上，從圖中可以發現做了 1 次寫入/抹除後，則幾乎沒有太大的影響，主要的原因是由於電荷的漏失動作是由於大量堆積熱電洞缺陷造成的傷害，使得儲存於氮化矽中之電子容易在獲得足夠能量後經由穿遂氧化層缺陷的幫助而穿遂回矽基板；而在抹回初始狀態後的輕微臨界電壓變化，則是由於過度抹除後所產生的結果。圖六十七則分別展示了具分離式控制閘之隱藏式選擇性記憶體經過了 85°C、150°C 與 250°C 後的儲存能力特性曲線圖，從圖中可

以發現即使經過了 10K 秒後的高溫烘烤環境，不同位元層級的記憶狀態能力還是能保持非常好的偵測區間窗。



圖六十八: NAND 陣列下經過源級邊際射入執行多層級 4 種狀態之閘極干擾可靠度測試。



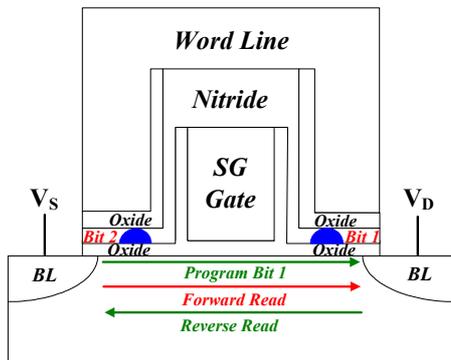
圖六十九: NAND 陣列下經過源級邊際射入執行多層級 4 種狀態之讀取干擾可靠度測試。

圖六十八與圖六十九則分別顯示了閘極干擾與讀取干擾在多層級位元操作下的可靠度測試，結果顯示不論在源極射入操作與能帶對能帶熱電子電洞穿遂抹除方式下分別經過 100 秒的閘極干擾(Gate Disturbance)與位元干擾(Drain Disturbance)後其對記憶體元件多位元層級產生 0.1V 以下的變化影響，其有效的記憶窗大小仍然仍維

持正確的判讀之內，說明此元件的優異可靠度。

### c. 選擇性隱藏式閘極記憶體陣列結構在每單元胞儲存二位元中對第二位元讀取效應的物理影響機制與電性模擬

由於電荷儲存於多晶矽浮動閘極中為均勻分布的情況，因此傳統多晶矽閘極記憶體只能操作在單細胞單位元下之情況。因此，最近利用氮化矽儲存層來取代傳統多晶矽浮動閘極的技術非常的被重視，其中一個最重要的因素即是氮化矽儲存層可以適當的利用通道熱電子注入效應而局部捕陷電子，分別靠近源極與汲極端的兩邊來儲存電荷，即能達到在單一細胞中二位元的操作。

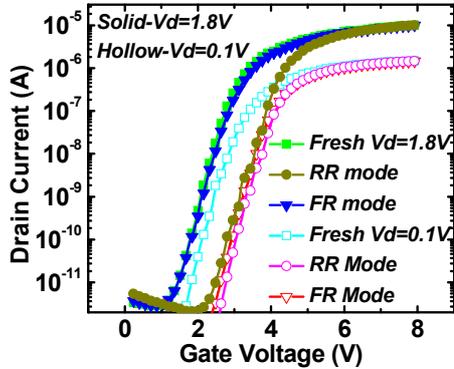


圖七十：具連續式字元控制閘之隱藏式選擇性閘極記憶體元件結構圖，其中又分別標示逆向讀取位元一與順向讀取位元二之操作方式。

如同圖七十在隱藏式選擇性閘極結構中所示，利用通道熱電子注入效應而局部儲存在汲極端之電荷可以視為“位元一”；相對的，利用通道熱電子注入效應而局部儲存於源極端之電荷可以視為“位元二”，利用此方式即可以順利的達到單細胞二位元之操作，有

效的增加元件密度為原來的兩倍。緊接著要克服的問題即是如何正確的讀取這兩個位元，首先我們以能正確讀取位元一當作目標，由於電流在元件中可以有兩種不同的流動方向，我們定義其將偏壓加在位元線與儲存位元為同一邊之情況，稱為順向讀取，如圖七十所示；反之，若將偏壓加在位元線與儲存位元為另一邊之情況，稱為逆向讀取，如圖七十所示。由於當隱藏式選擇性閘極記憶體元件利用順向讀取而讀取位元一時，在位元端所加上的讀取偏壓對於 PN 接面為逆向偏壓，因此會在 PN 接面上產生更大的空乏區，而此空乏區間會隨著逆向偏壓的逐漸增加而遮蔽在氮化矽中所儲存的電荷效應，使得位元一的記憶窗變化縮小，甚至完全遮蔽電荷效應而使記憶窗毫無變化。為了避免此現象的發生而產生讀取錯誤，我們需要利用逆向讀取來讀取位元一，此時逐漸擴張的空乏區將不再遮蔽位元一，卻能同時有效遮蔽位元二之儲存電荷，使得位元一的記憶窗讀取正確。然而，當元件持續微縮時，由於不理想的短通道效應，位元二之儲存電荷並非能完全遮蔽，此時無法遮蔽的位元二之儲存電荷將影響位元一的臨界電壓值變化，我們即將此效應稱之為二位元效應。由於二位元效應的影響，當記憶體元件欲操作在多位元層級以提高有效元件密度時，勢必會使偵測區間受到變化而影響可靠度，當二位元效應接近 0.3 伏特的變化值時，幾乎佔據原本 1 伏特的變化區間達到了三分之一的大量變化，若再加上考量其他可靠度效應，則傳統記憶體幾乎沒有能力完成多位元層級的操作條件，因此我

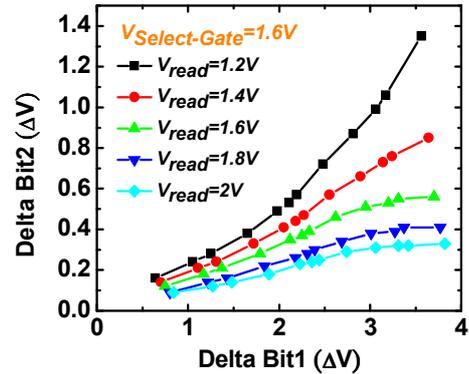
們提出了具分離式字元閘極之隱藏式選擇性快閃記憶體來完成多位元層級操作與有效抑制二位元效應之方式。



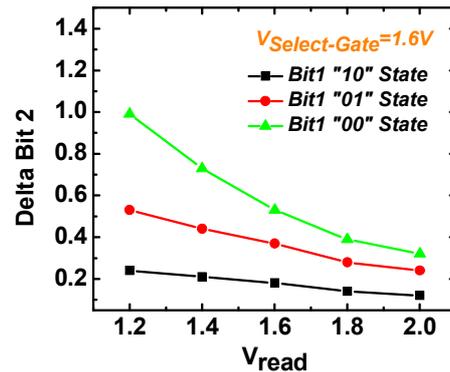
圖七十一：具連續式字元控制閘之隱藏式選擇性閘極記憶體元件分別在不同位元端偏壓經由逆向讀取與順向讀取電流特性曲線圖。

圖七十顯示了傳統連續性字元閘極之隱藏式選擇性閘極快閃記憶體，其中亦清楚的表達了順向讀取與逆向讀取的操作方式。圖七十一則是分別在不同位元端偏壓為 0.1 伏特與 1.8 伏特下所完成的順向讀取與逆向讀取的電流電壓特性曲線圖；其中當使用位元端小偏壓為 0.1 伏特時，不論順向讀取或逆向讀取方式可以發現其臨界電壓值有明顯的變化，主要的原因是其位元端偏壓不足以在順向讀取時完全遮蔽所儲存的電荷分布，此時即會誤讀位元二之真實臨界電壓值。然而，若應用於 1.8 伏特下之逆向讀取偏壓，則可以順利的完成記憶窗之判讀。在此研究中，我們以定電流為 0.1 微安培方式來定義臨界電壓的判讀；而其記憶體元件的通道長度與寬度則分別為 0.18 微米與 0.36 微米；同時我們以源極邊際射入的方式來完成位元寫入的

動作。



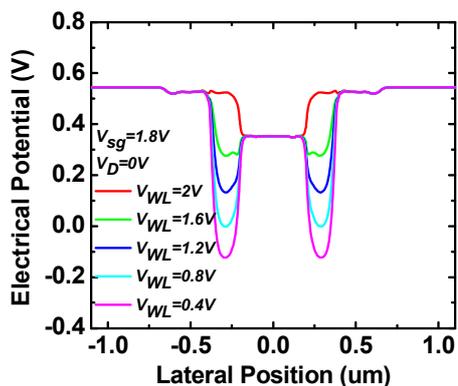
圖七十二：具連續式字元控制閘之隱藏式選擇性閘極記憶體元件之不理想二位元干擾記憶窗特性曲線。



圖七十三：具連續式字元控制閘之隱藏式選擇性閘極記憶體元件之多位元層級操作下之不理想二位元干擾記憶窗特性曲線。

圖七十二顯示了在傳統連續性字元閘極之隱藏式選擇性閘極快閃記憶體所看到的二位元效應，其中元件只針對位元一做寫入的動作，結果可以看到隨著適當的調整位元端的逆向讀取偏壓從 1.2 伏特至 2.0 伏特時，可以有效的降低二位元效應的干擾變化，其原因即是擴張的 PN 接面空乏區可

以更有效遮蔽不理想電荷的影響。

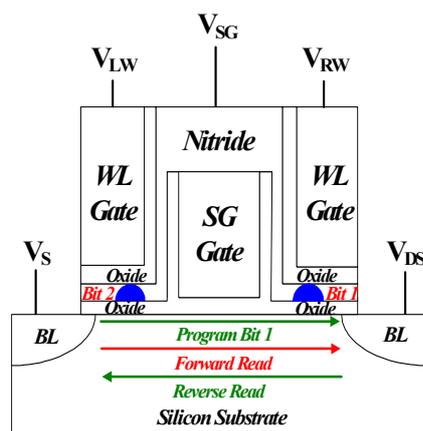


圖七十四：具連續式字元控制閘之隱藏式選擇性閘極記憶體元件之字元閘極對通道電位變化模擬特性圖。

緊接著，為了調整多位元層級操作的可靠偏壓，我們將位元一寫入至不同的多位元層級如圖七十三所示，其中我們固定隱藏式選擇性閘極的偏壓為 1.6 伏特，再逐漸增加位元端的逆向讀取偏壓從 1.2 伏特至 2.0 伏特時，可以發現在連續性字元閘極之隱藏式選擇性閘極快閃記憶體中，必須將位元端的逆向讀取偏壓調整至大於 2.0 伏特時，才能有較好的抑制二位元效應的產生。為了能更了解連續性字元閘極之隱藏式選擇性閘極快閃記憶體中的逆向讀取操作機制，我們利用電腦輔助模擬軟體來模擬其電位隨著連續性字元閘極電壓變化而產生的影響，如圖七十四所示。圖七十四顯示了連續性字元閘極電壓分別為 0、0.4、0.8、1.2、1.6、2、4 伏特時的通道電位分布圖，在此我們固定隱藏式選擇性閘極偏壓為 1.8 伏特，我們可以發現當連續性字元閘極之隱藏式選擇性閘極快閃記憶體中在完成逆向讀取的過程中，由於連續性字元閘極的結構，因此會

讓通道電位同時感受到其偏壓影響。然而，當在位元一儲存電荷載子後，會使得通道電位產生下降的變化，因此造成讀取時有二位元效應的發生。為了解決此因素可能對記憶體讀取操作造成的可靠度影響，圖七十五應用了具分離式字元閘極之隱藏式選擇性閘極快閃記憶體結構，不同於連續性字元閘極的結構，據分離式字元閘極之結構可以分別獨立控制其左右兩端的字元閘極偏壓。

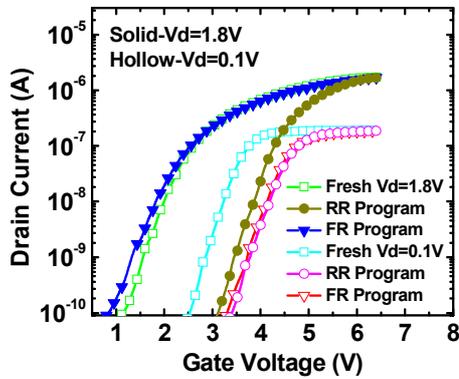
如圖七十五顯示了具分離式字元閘極之隱藏式選擇性閘極快閃記憶體，其中亦清楚的表達了順向讀取與逆向讀取的操作方式。



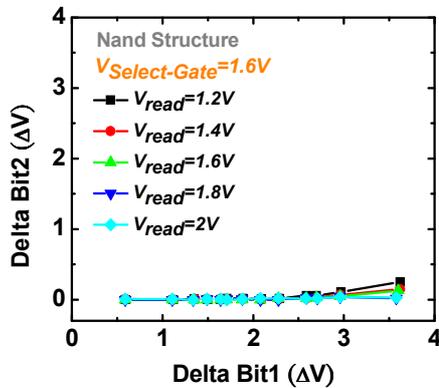
圖六：具分離式字元控制閘之隱藏式選擇性閘極記憶體元件結構圖，其中又分別標示逆向讀取位元一與順向讀取位元二之操作方式。

圖七十六則是分別在不同位元端偏壓為 0.1 伏特與 1.8 伏特下所完成的順向讀取與逆向讀取的電流電壓特性曲線圖；其中當使用位元端小偏壓為 0.1 伏特時，不論順向讀取或逆向讀取方式可以發現其臨界電壓值有明顯的變化，主要的原因如同在連續性字元閘極結構一樣，是因為其位元端偏壓不足以在順向讀取時完全遮蔽所儲存

的電荷分布，此時即會誤讀位元二之真實臨界電壓值。然而，若應用於 1.8 伏特下之逆向讀取偏壓時，則亦可以順利的完成記憶窗之判讀。



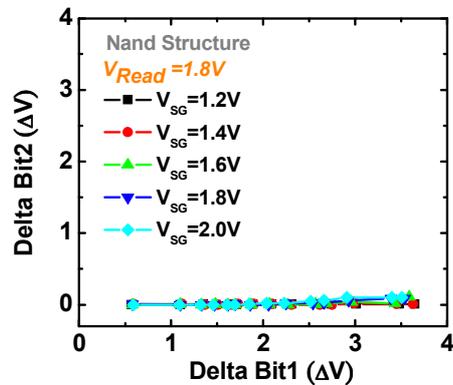
圖七十六：具分離式字元控制閘之隱藏式選擇性閘極記憶體元件分別在不同位元端偏壓經由逆向讀取與順向讀取電流特性曲線圖。



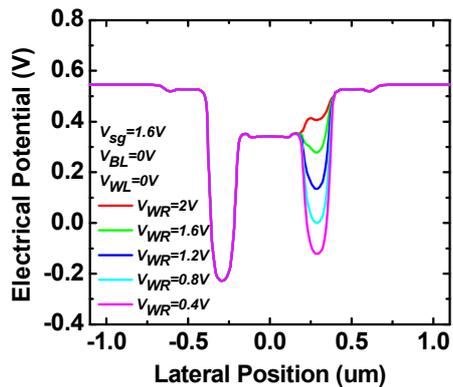
圖七十七：具分離式字元控制閘之隱藏式選擇性閘極記憶體元件隨著位元端偏壓變化之不理想二位元干擾記憶窗特性曲線。

圖七十七顯示了在具分離式字元閘極之隱藏式選擇性閘極快閃記憶體所看到的二位元效應，其中元件只針對位元一做寫入的動作，結果可以看到隨著適當的調整位元端的逆向讀取

偏壓從 1.2 伏特至 2.0 伏特時，可以有效地降低二位元效應的干擾變化，其原因亦是因為擴張的 PN 接面空乏區可以更有效地遮蔽不理想電荷的影響。除此之外，圖七十八亦說明了當調整隱藏式選擇性閘極偏壓從 1.2 伏特至 2.0 伏特時，可以更有效的幫助抑制不理想二位元效應的產生，使具分離式字元閘極之記憶體元件有更好的多位元層級感測區間。



圖七十八：具分離式字元控制閘之隱藏式選擇性閘極記憶體元件隨著隱藏式選擇性閘極端偏壓變化之不理想二位元干擾記憶窗特性曲線。



圖七十九：具分離式字元控制閘之隱藏式選擇性閘極記憶體元件之單一字元閘極對通道電位變化模擬特性圖。

為了解釋具分離式字元閘極之記

憶體元件為什麼能比連續性字元閘極有更好的抑制不理想二位元效應，我們再次使用電腦輔助模擬軟體來比較其通道電位在讀取時所造成的差異性，如圖七十九所示。圖七十九為具分離式字元閘極之記憶體元件在其變化其單一端字元閘極分別為 0.4、0.8、1.2、1.6、2、4 伏特下之通道電位變化，其中我們可以發現原本儲存在位元一下之通道電荷雖然使得通道電位下降，然而靠著單一端字元閘極在讀取前的有效抑制其儲存電荷造成的電位影響，使得讀取位元二時不再受到位元一電荷電位所造成的影響，這是為什麼具分離式字元閘極記憶體元件能比連續性字元閘極記憶體元件有更好的耐二位元效應的原因。

### 三、結論與討論

在子計畫一(新穎金屬矽化物應用於快閃記憶體與薄膜電晶體之整合型研究)，我們成功的製作出新穎的對稱性垂直通道鎳金屬矽化物複晶矽薄膜電晶。元件導通狀態的電流可以藉由俱鎳金屬矽化物的源/汲極來降低串連阻抗因而提高其導通電流。元件關閉狀態的漏電流可以有效的藉由增加氧化層過蝕刻深度來改善，同時可以增加開關電流比。此外，將閘極氧化層厚度微縮後可以大幅的改善次臨界擺幅。元件關閉狀態的漏電流也可以有效的藉由增加懸浮的 N 摻雜區長度來改善；並且此現象不會因為氧化層過蝕刻深度與閘極氧化層厚度的改變而有所改變。並且為了解決通道微縮所遭遇的 DIBL 與 SCE 問題，一新穎結構流程被成功研發(閘極環繞式多晶矽 10 奈米級奈米線通道結構搭配抬

昇式源極/汲極之薄膜電晶體)。與傳統平面薄膜電晶體相比，其具備陡峭之次臨界擺幅、高電流開關比及更佳之驅動電流。另外一方面，由於閘極環繞與全空乏操作，汲極誘發能障降低與浮體之現象亦被大幅抑制；後續本研究群就聚焦於這樣一個新穎元件在未來三維積體電路之應用上之研究。再者，我們嘗試將隱藏式選擇性閘極結構記憶體元件整合至薄膜電晶體，此元件可以利用更有效率的源極端注入方式來達到較快的寫入速度、較大的記憶體窗、可忽略的 2-bit 效應和長時間的載子儲存能力，而且發現兩個位元所儲存的資訊並不會因操作次數增加而有干擾的現象發生，而元件的製作過程具有低成本的優勢，並且和現在的 COMS 製程有高度的相容性。

在子計畫二，本實驗成功地呈現出利用臨場方法將氮化矽內嵌矽奈米晶體之 SONOS 型記憶體元件，此元件可以利用多層式載子儲存與 2-bit/cell 儲存，來達到高密度記憶體元件應用。此新穎的結構具有較大的記憶窗、較低的操作電壓、較快的操作速度、可忽略的 2-bit 效應、長時間的載子儲存能力和較好的可靠度，而且發現在沈積時間為 30 秒與 60 秒分別有較佳有的記憶窗與較佳的載子儲存能力，使用 In-situ 製程方法相當簡單、低成本和現在的 COMS 製程有高度的相容性。

最後，在子計畫三，我們首次提出了新穎的動態臨界源極邊際射入方式並成功的操作在隱藏性選擇式閘極記憶體元件，同時我們利用電腦輔助模擬軟體證明了其高效率的寫入方式是由於有效的提升載子注入區的電場

大小並找出了適當的操作方式，其中在多層級操作狀態的測試中，我們利用動態臨界源極邊際射入方式來執行寫入的動作下，僅僅只需花費在 200 奈秒的時間內即可輕易的達成多層級狀態的載子儲存形式。此記憶體元件執行於多層級的操作狀態中，所具高水準的電荷保存性以及耐久性都說明了操作在新穎的動態臨界源極邊際射入模式下的隱藏性選擇式閘極記憶體元件能夠更適用於未來具有極高速、高可靠度與高密度表現的快閃記憶體。

隨後，我們嘗試將應用臨界源極邊際射入方式操作在具分式閘極之隱藏性選擇式記憶體 NAND 陣列當中，同時我們利用電腦輔助模擬軟體證明了其高效率的寫入方式是由於有效的提升載子注入區的電場大小並找出了適當的操作方式，其中在多層級操作狀態的測試中，我們利用臨界源極邊際射入方式來執行 NAND 陣列下的寫入動作，僅僅只需花費在 30 微秒的時間內即可輕易的達成多層級狀態的載子儲存形式，此 NAND 陣列下之記憶體元件執行於多層級的操作狀態中，所具高水準的電荷保存性以及耐久性都說明了操作在源極邊際射入模式下的具分式閘極之隱藏性選擇式記憶體 NAND 陣列能有機會成為高可靠度與高密度表現的快閃記憶體。

另一方面，為了有效解決多位元層級操作在單細胞二位元下之不理想二位元效應的影響，我們分別利用實驗數據搭配電腦輔助模擬軟體來清楚說明使用具分離式字元閘極記憶體元件為什麼能比連續性字元閘極記憶體元件有更好的抑制不理想二位元效應

的物理機制。其中控制因素之一為增加位元端的偏壓大小能有效的遮蔽不理想電荷的影響外，隱藏性選擇式閘極的偏壓亦可提供相同的作用，因此選擇適當組合的偏壓能有效降低二位元效應；而最主要的控制因素是具分離式字元閘極記憶體元件可以在元件執行讀取操作前即抑制不理想電荷效應的產生，而讓逆向讀取過程不受到二位元效應的干擾。

#### 四、發表論文

##### *I. International Journal (國際期刊)*

1. W. C. Wu, **T. S. Chao**, T. H. Chiu, J. C. Wang, C. S. Lai, M. W. Ma, W. C. Lo, "Performance and interface characterization for contact etch stop layer-strained nMOSFET with HfO<sub>2</sub> gate dielectrics under pulsed-IV measurement," *ELECTROCHEMICAL AND SOLID STATE LETTERS*, Vol.11(8) pp.H230-H232, 2008 .
2. M. C. Liu, T. Y. Chiang, P. Y. Kuo, M. H. Chou, Y. H. Wu, H. C. You, C. H. Cheng, S. H. Liu, W. L. Yang, T. F. Lei, and **T. S. Chao**, "SONOS memories with embedded silicon nanocrystals in nitride," *SEMICONDUCTOR SCIENCE AND TECHNOLOGY*, Vol.23(7) Article Number: 075033, JUL 2008.
3. W. C. Wu, C. S. Lai, T. M. Wang, J. C. Wang, C. W. Hsu, M. W. Ma, W. C. Lo, **T. S. Chao**, "Carrier

- transportation mechanism of the TaN/HfO<sub>2</sub>/IL/Si structure with silicon surface fluorine implantation,” IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 55(7), pp.1639-1646, JUL 2008.
4. T. Y. Chiang, **T. S. Chao**, Y. H. Wu, and W. L. Yang, ” High program/erase speed SONOS with in-situ silicon nanocrystal,” IEEE ELECTRON DEVICE LETTERS, Oct., 29 (10), pp.1148-1151, 2008 .
  5. M. W. Ma, **T. S. Chao**, T. Y. Chiang, W. C. Wu, and T. F. Lei “Impacts of N<sub>2</sub> and NH<sub>3</sub> Plasma Surface-Treatment on High Performance LTPS-TFT with High-k Gate Dielectric,” IEEE Electron Device Lett., 29(11), pp.1236-1238, Nov.,2008 .
  6. K. H. Ko, S. H. Chuang, W. C. Wu, **T. S. Chao**, J. H. Chen, M. W. Ma, R. H. Gao, and M. Y. Chiang, “X-ray Photoelectron Spectroscopy Energy Band Alignment of CoTiO<sub>3</sub> High-K Dielectric,” Appl. Phys. Lett., Sep., 93 (9), 092907, 2008 .
  7. T. I. Tsai, H. C. Lin, Y. J. Lee, K. S. Chen, J. Wang, F. K. Hsueh, **T. S. Chao**, T. Y. Huang, ” Impacts of a buffer layer and hydrogen-annealed wafers on the performance of strained-channel nMOSFETs with SiN-capping layer,” Solid-State Electronics, 52(10), pp.1518-1524, Oct., 2008.
  8. W. C. Wu, **T. S. Chao**, T. H. Chiu, J. C. Wang, C. S. Lai, M. W. Ma, and W. C. Lo “Positive Bias Temperature Instability (PBTI) Characteristics of Contact Etch Stop Layer Induced Local Tensile Strained HfO<sub>2</sub> nMOSFET” IEEE Electron Device Lett., 29(12), pp.1340-1343, 2008.
  9. M. W. Ma, T. Y. Chiang, W. C. Wu, **T. S. Chao**, and T. F. Lei” Characteristics of HfO<sub>2</sub>/Poly-Si Interfacial Layer on CMOS LTPS-TFTs With HfO<sub>2</sub> Gate Dielectric and O<sub>2</sub> Plasma Surface Treatment” IEEE Trans. On Electron Dev. 55, (12), pp. 3489-3493, DEC 2008.
  10. T. Y. Lu, C. M. Wang, and **T. S. Chao**,” Enhancement of Stress-Memorization Technique on nMOSFETs by Multiple Strain-Gate Engineering,” Electrochem. And Solid State Letters, 12(1), H4-H6, 2009.
  11. P. Y. Kuo, **T. S. Chao**, J. T. Lai, and T. F. Lei,” Vertical n-Channel Poly-Si Thin-Film Transistors With Symmetric S/D Fabricated by Ni-Silicide-Induced Lateral-Crystallization Technology,” IEEE Electron Device Lett. 30 (3), pp. 237-239, 2009 .
  12. P. Y. Kuo, **T. S. Chao**, J. S. Huang, T. F. Lei,” Poly-Si Thin-Film Transistor Nonvolatile Memory Using Ge Nanocrystals as a Charge Trapping Layer Deposited by the Low-Pressure Chemical Vapor Deposition,” IEEE Electron Device Lett. 30 (3), pp. 234-236, 2009 .

13. C. H. Wu, T. M. Lee, J. T. Sheu, **T. S. Chao**, "Novel Field-Induced Gray-Level Selective Patterning of Self-Assembled Aminosilane Monolayer on SiO<sub>2</sub> Surfaces by Scanning Probe Bond-Breaking Lithography," *JJAP*, 48(4), 04C133, 1-5, 2009.
14. K. T. Wang, **T. S. Chao**, W. C. Wu, T. Y. Chiang, Y. H. Wu, W. L. Yang, C. H. Lee, T. M. Hsieh, J. C. Liou, S. D. Wang, T. P. Chen, C. H. Chen, C. H. Lin, and H. H. Chen., "High-Speed Multilevel Wrapped-Select-Gate SONOS Memory Using a Novel Dynamic Threshold Source-Side-Injection (DTSSI) Programming Method," *IEEE Electron Device Lett.* 30 (6), pp. 659-661 2009 .
15. M. W. Ma, T. Y. Chiang, **T. S. Chao**, T. F. Lei," High-performance p-channel LTPS-TFT using HfO<sub>2</sub> gate dielectric and nitrogen ion implantation," *Semi. Sci. and Tech.*, 072001, (24), Jul, 2009.
16. M. W. Ma, T. Y. Chiang, C. R. Yeh, **T. S. Chao**, and T. F. Lei," Electrical Characteristics of High Performance SPC and MILC p-Channel LTPS-TFT with High-k Gate Dielectric," *Electrochem. And Solid State Letters*, 12(10), H361-H364, 2009.
17. T. Y. Chiang, M. W. Ma, Y. H. Wu, P. Y. Kuo, K. T. Wang, C. C. Liao, C. R. Yeh, **T. S. Chao**, " MILC-TFT With High-kappa Dielectrics for One-Time-Programmable Memory Application," *IEEE Electron Dev. Letts.* (30), pp.954-956, Sep. 2009.
18. K. T. Wang, **T. S. Chao**, T. Y. Chiang, W. C. Wu, P. Y. Kuo, Y. H. Wu, Y. L. Lu, C. C. Liao, W. L. Yang, C. H. Lee, T. M. Hsieh, J. C. Liou, S. D. Wang, T. P. Chen, C. H. Chen, C. H. Lin, H. H. Chen,"Physical Mechanism of High-Programming-Efficiency Dynamic-Threshold Source-Side Injection in Wrapped-Select-Gate SONOS for NOR-Type Flash Memory," *IEEE Electron Dev. Letts.* (30), pp.1206-1208, Nov. 2009.
19. C. C. Liao, T. Y. Chiang, M. C. Lin, and **T. S. Chao**, "Benefit of NMOS by Compressive SiN as Stress Memorization Technique and Its Mechanism," *IEEE Electron Dev. Letts.* (31), Apr., pp.281-283. 2010.
20. P. Y. Kuo, Y. S. Huang, Y. H. Luo, **T. S. Chao**, and T. F. Lei," The Characteristics of n- and p-Channel Poly-Si Thin-Film Transistors with Fully Ni-Salicided S/D and Gate Structure," *J. Electrochem. Soc.*, 157 (1), pp.H 113-119, 2010.
21. Y. Y. Lu, F. K. Hsueh, K. C. Huang, T. Y. Cheng, Y. J. Lee, **T. S. Chao**, and C. Y. Wu," Nanoscale p-MOS Thin-Film Transistor with TiN Gate Electrode Fabricated by Low-Temperature Microwave Dopant Activation," *IEEE Electron Dev. Letts.* 31(5), pp.437-439, May, 2010.

22. T. Y. Chiang, Y. H. Wu, William C. Y. Ma, P. Y. Kuo, K. T. Wang, C. C. Liao, C. R. Yeh, W. L. Yang, and **T. S. Chao**, "Characteristics of SONOS-Type Flash Memory With *In Situ* Embedded Silicon Nanocrystals" IEEE Trans. On Electron Dev. 57 (8), Aug., pp.1895-1902, 2010.
23. K. T. Wang, **T. S. Chao**, W. C. Wu, W. L. Yang, C. H. Lee, T. M. Hsieh, J. C. Liou, S. D. Wang, T. P. Chen, C. H. Chen, C. H. Lin, and H. H. Chen" High-Reliability Dynamic-Threshold Source-Side Injection for 2-Bit/Cell With MLC Operation of Wrapped Select-Gate SONOS in NOR-Type Flash Memory" IEEE Trans. On Electron Dev. 57 (9), pp.2335-2338, SEP, 2010.
24. K. T. Wang, W. C. Lin and **T. S. Chao**, "The Zero Temperature Coefficient (ZTC) Point Modeling of DTMOS in CMOS Integration," IEEE Electron Dev. Letts. 31(10), pp.1071-1073, OCT 2010.
25. S. H. Chuang, M. L. Hsieh, S. C. Wu, H. C. Lin, **T. S. Chao**, and T. H. Hou," Fabrication and Characterization of High-*k* Dielectric Nickel Titanate Thin Films Using a Modified Sol-Gel Method," Journal of the American Ceramic Society, Vol. 94 (1), pp. 251-255, 2010.
26. Y. H. Wu, P. Y. Kuo, Y. H. Lue, Y. H. Chen, and **T. S. Chao**, "Novel Symmetric Vertical Channel Ni-Salicyded Poly-Si Thin-Film Transistors with High ON / OFF Current Ratio," IEEE Electron Dev. Letts. Vol. 31(11), pp. 1233-1235, NOV 2010.
27. T. Y. Chiang, William C. Y. Ma, Y. H. Wu, K. T. Wang, and **T. S. Chao** "A Novel PN-Diode Structure of SONOS-type TFT NVM with Embedded Silicon-Nanocrystals," IEEE Electron Dev. Letts. Vol. 31(11), pp. 1239-1241, Nov 2010.
28. C. C. Liao, M. C. Lin, T. U. Chiang, and **T. S. Chao** "Impact of Strain Layer on Gate Leakage and Interface-State for nMOSFETs Fabricated by Stress-Memorization Technique" Electrochem. And Solid State Letters, Vol. 14(11), PP. 1130-1132, 2011.
29. Y. H. Lu, C. H. Chien, P. Y. Kuo, M. J. Yang, H. Y. Lin, and **T. S. Chao** "High-Performance Poly-Si TFTs of Top-Gate with High-kappa Metal-Gate Combine the Laser Annealed Channel and Glass Substrate" Electrochem. And Solid State Letters, Vol. 14(1), PP. 1117-1120, 2011.
30. Y. J. Lee, Y. L. Lu, Z. C. Mu, F. K. Hsueh, **T. S. Chao**, Y. C. Wu "High Tensile Stress with Minimal Dopant Diffusion by Low Temperature Microwave Anneal" Electrochem. And Solid State Letters, Vol. 14(5), PP. H191-H193, 2011
31. Y. H. Lu, P. Y. Kuo, Y. H. Wu, Y. H. Chen, **T. S. Chao** " Novel

- Sub-10-nm Gate-All-Around Si Nanowire Channel Poly-Si TFTs With Raised Source/Drain” IEEE Electron Dev. Letts. Vol. 32(2), PP. 173-175, 2011
32. Y. H. Wu, P. Y. Kuo, Y. H. Lu, Y. H. Chen, T. Y. Chiang, K. T. Wang, L. C. Yen, **T. S. Chao** “ Symmetric Vertical-Channel Nickel-Saliced Poly-Si Thin-Film Transistors With Self-Aligned Oxide Overetching Structures ” IEEE Trans. On Electron Dev. 58 (7), pp.2008-2013, Jul ,2011.
  33. F. K. Hsueh, Y. J. Lee, L. K. Lin, M. I. Current, C. Y. Wu, **T. S. Chao** “Amorphous-Layer Regrowth and Activation of P and As Implanted Si by Low-Temperature Microwave Annealing ” IEEE Trans. On Electron Dev. 58 (7), pp.2088-2093, Jul ,2011.
  34. T. Y. Lu, T. S. Chang, S. A. Huang, **T. S. Chao** “ Characterization of Enhanced Stress Memorization Technique on nMOSFETs by Multiple Strain-Gate Engineering” IEEE Trans. On Electron Dev. 58 (4), pp.1023-1028, April ,2011.
  35. William C. Y. Ma, T. Y. Chiang, C. R. Yeh, **T. S. Chao**, T. F. Lei “Channel Film Thickness Effect of Low-Temperature Polycrystalline-Silicon Thin-Film Transistors ” IEEE Trans. On Electron Dev. 58 (4), pp.1268-1272, April ,2011
  36. C. J. Su, T. I. Tsai, Y. L. Liou, Z. M. Lin, H. C. Lin, **T. S. Chao** “ Gate-All-Around Junctionless Transistors With Heavily Doped Polysilicon Nanowire Channels ” IEEE Electron Dev. Letts. Vol. 32(4), PP. 521-523, April, 2011
  37. H. C. Lin, T. I. Tsai, **T. S. Chao**, M. F. Jian, T. Y. Huang “Fabrication of sub-100-nm metal-oxide-semiconductor field-effect transistors with asymmetrical source/drain using I-line double patterning technique” Journal of Vacuum Science & Technology B, Vol. 29(2), Article Number: 021007, Mar, 2011

### *III. International Conference (國際會議論文)*

1. W. C. Wu, **T. S. Chao**, T. H. Chiu, C. S. Lai, J. C. Wang, M. W. Ma, and W. C. Lo,” New Observation on PBTI Characteristics of Contact Etching stop Layer (CESL) Induced Tensile Strained HfO<sub>2</sub> nMOSFET,” 2008 Solid State Devices and Materials, Tsukuba, Japan, Sep. 2008, p-1-3.
2. C. H. Wu, J. T. Sheu, J. S. Jiang, K. L. Pai, and **T. S. Chao**,” Novel Field-Induced Gray-level Selective Patterning of Self-Assembled Aminosilane Monolayer on the SiO<sub>2</sub> Surface by using Scanning Probe Bond Breaking Lithography,” 2008 Solid State Devices and Materials, Tsukuba, Japan, Sep. 2008, F-1-2.

3. C. H. Wu, J. T. Sheu and **T. S. Chao**,” Electrical Properties and Photo-response of SiNWs with Selective Anchored Gold Nanoparticles by using Scanning Probe Bond Breaking Nanolithography,” 2008 Solid State Devices and Materials, Tsukuba, Japan, Sep. 2008, H-9-6.
4. T. H. Chang, **T. S. Chao**, and T. F. Lei, “Performance Enhancement of SONOs Flash Memory using Wet Oxidation and Embedded Silicon Nanocrystals in Nitride,” 21st International Microprocesses and Nanotechnology Conference, Fukuoka, Japan, Oct. 2008, 28B-3-1.
5. W. C. Wu, C. S. Lai, S. C. Lee, M. W. Ma, **T. S. Chao**, J. C. Wang, C. W. Hsu, P. C. Chou, J. H. Chen, K. H. Hao, W. C. Lo, T. Y. Liu, L. L. Tay, and N. Rowell, “Fluorinated HfO<sub>2</sub> Gate Dielectrics Engineering for CMOS by pre- and post-CF<sub>4</sub> Plasma Passivation,” 2008 Int’l Electron Devices Meeting, Dec. 2008, San Francisco, USA.
6. Y. H. Wu, T. Y. Chiang, S. H. Liu, W. L. Yang, **T. S. Chao**, and F. T. Chin “SONOS Memories with Embedded Silicon Nanocrystals in Nitride by In-situ Deposition Method” IEEE Integrated Circuit Design and Technology and Tutorial, pp. 195-198, June, 20008.
7. M. W. Ma, **T. S. Chao**, T. F. Lei,”High Performance LTPS-TFT Technology for the Application of 3-D Integration and System-on-Panel,” 2008 Int’l Electron Devices and Materials Symposium, A-2, Nov., 2008. (invited)
8. W. C. Wu, **T. S. Chao**, K. T. Wang, S. C. Lee, T. H. Chiu, T. Y. Lu, C. S. Lai, J. C. Wang, M. W. Ma, K. H. Kao and W. C. Lo,” Novel Dynamic Threshold Voltage Contact Etching Stop Layer (DT-CESL) Strained HfO<sub>2</sub> nMOSFET for Very Low Voltage Operation (0.7V),“ SSDM-2009. Oct. Sandi, Japan.
9. S. C. Wu, R. C. Yen, C. K. Deng, **T. S. Chao**, S. H. Chuang and T. F. Lei,”Characterization of Polycrystalline Silicon Thin-Film Transistors with Nickel-Titanium Oxide Gate Dielectric Coating by Sol-Gel Method,“ SSDM-2009, Oct. Sandi, Japan.
10. S. C. Wu, C. Lo, C. K. Deng, **T. S. Chao**, S. H. Chuang, T. H. Hou and T. F. Lei, “ Characterization of Polycrystalline Silicon Thin-Film Transistors With Nickel-Titanium Oxide Films by Sol-Gel Spin-Coating Method,” iedms-2009, Taiwan, CGU, Nov.
11. Y. J. Lee, Y. C. Lin, and **T. S. Chao**,” The Temperature Effects of nMOSFETs under AC Stress on HfO<sub>2</sub> and HfZrO Gate Dielectrics,“ iedms-2009, Taiwan, CGU, Nov.
12. Y. J. Lee, Y. C. Lin, and **T. S. Chao**,”The Comparison of Trapping

- Mechanism in Different Thicknesses of HfO<sub>2</sub> and HfZrO Gate Dielectrics under PBTI and NBTI Generation of Sub-100nm Patterns with I-line Double Patterning Technique,” *iedms-2009*, Taiwan, CGU, Nov.
13. T. I. Tsai, R. J. Hsieh, **T. S. Chao**, H. C. Lin, and T. Y. Huang, “Generation of sub-100 nm Patterns with I-line Double Patterning,” *iedms-2009*, Taiwan, CGU, Nov.
  14. H. H. Chiu, J. C. Wang, C. S. Lai, W. C. Wu, and **T. S. Chao**, “Interfacial Reaction Suppression of Gate First CMOS HfO<sub>2</sub> Achieve Zero Interfacial Layer by Pre-CF<sub>4</sub> Plasma Passivation,” *iedms-2009*, Taiwan, CGU, Nov.
  15. Y. J. Lee, Y. L. Lu, F. K. Hsueh, K. C. Huang, C. C. Wan, T. Y. Cheng, M. H. Han, J. M. Kowalski, J. E. Kowalski, D. Heh, H. T. Chuang, Y. Li, and **T. S. Chao**, C. Y. Wu, F. L. Yang, ”3D 65nm CMOS with 320°C Microwave Dopant Activation,” *iedm 2009*, Dec, Baltimore, MD, 2009.
  16. T. M. Pan, L. Yen, M. Tsai and T. S. Chao”Influence of Postdeposition Annealing on Physical and Electrical Properties of High-k Yb<sub>2</sub>TiO<sub>5</sub> Gate Dielectrics,” 217th ECS Meeting in Vancouver, BC, Canada, Mar. 2010.
  17. T. M. Pan, L. Yen, M. Tsai and T. S. Chao”Structural and Electrical Properties of High-k HoTiO<sub>3</sub> Gate Dielectrics,” 217th ECS Meeting in Vancouver, BC, Canada, Mar. 2010.
  18. Chia-Chun Liao, Min-Chen Lin, Tien-Sheng Chao, “Investigation of Different Capping Layers and Strain Sources for SMT Process”, *SSDM 2010*
  19. Yi-Hsien Lue, Po-Yi Kuo, Yi-Hong Wu, Tien-Sheng Chao, “High-Performance Poly-Si TFTs with Novel FinFet-like Channel,” P-1-18, *SSDM-2010*, JAPAN, UT, Sept.
  20. Yi-Hsien Lue, Po-Yi Kuo, Yi-Hong Wu, Tien-Sheng Chao, “High-Performance Poly-Si TFTs with Novel FinFet-like Channel”,2010 International Conference on Solid State Devices and Materials(SSDM)
  21. Yi-Hsien Lue, Chao-Hsin Chien, Po-Yi Kuo, Ming-Jui Yang, Hsiao-Yi Lin, Tien-Sheng Chao, “High-Performance (S. S.<100 mV/dec) Poly-Si TFTs with Laser Annealed Channel and High-κ Metal-Gate on Glass Substrate,” P-3-25, *SSDM-2010*, JAPAN, UT, Sept.
  22. Je-Wei Lin, En-Ting Liu, Ing-Jar Hsieh, Tien-Sheng Chao ”Formation of P+ poly-crystalline Silicon-Germanium layer by aluminum-induced crystallization”, *ECS 2011*,May
  23. Je-Wei Lin, En-Ting Liu, Terry Wang, Tien-Sheng Chao, ”Formation of Nickel-Silicide

selective emitter by Laser-induced annealing for p-type solar cell application”, ECS 2011, May

Nonvolatile Memory Application,” IEEE International Nano Electronic conference (INEC), 2011

24. Je-Wei Lin, En-Ting Liu, Chien-Hung Wu, Ing-Jar Hsieh, Terry Wang, Tien-Sheng Chao, “Formation of Laser texturization by modify laser processing parameters and acid etching time”, ECS 2011, May
25. Yi-Hsien Lu, Po-Yi Kuo, Yi-Hong Wu, Yi-Hsuan Chen, Tien-Sheng Chao, “Novel GAA Raised Source / Drain Sub-10-nm Poly-Si NW Channel TFTs with Self-Aligned Corked Gate Structure for 3-D IC Applications,” P-8A-3, VLSI-2011, JAPAN, Rihga Royal Hotel Kyoto, June.
26. Yi-Hsien Lu, Po-Yi Kuo, Yi-Hong Wu, Tien-Sheng Chao, “High-Performance Poly-Si Poly Fin Channel TFTs,” P-B3-5, INEC-2011, Chang Gung University, Kweishan, Taoyuan, Taiwan, June.
27. Chia-Chun Liao, Min-Chen Lin, Shao-Xuan Liu, Tien-Sheng Chao, “Impacts of SiN and Backside Amorphous Silicon on Electrical Characteristics of Polysilicon Thin-Film Transistors”, (INEC), 2011
28. Min-Chen Lin, Chia-Chun Liao, Tsung-Yu Chiang, Chun-Jung Su, Tien-Sheng Chao, “High-K Dielectrics Deposited by Thermal/Remote Plasma ALD with Different Post-Metal Annealing for

## 五、参考文献

### 参考文献

- [1] F. Hayashi, H. Ohkubo, T. Takahashi, S. Horiba, K. Node, T. Uchida, T. Shimizu, N. Sugawara, and S. Kumashiro, "A highly stable SRAM memory cell with top-gate P-N drain poly-Si TFT of 1.5V operation," in *IEDM Tech. Dig.*, pp. 283-286, 1996.
- [2] H. J. Cho, F. Nemati, P. B. Griffin, and J. D. Plummer, "A novel pillar DRAM cell for 4 Gbit and beyond," in *VLSI Symp. Tech. Dig.*, pp. 38-39, 1998.
- [3] Y. H. Lin, C. H. Chien, T. H. Chou, T. S. Chao, and T. F. Lei, "Impact of channel dangling bonds on reliability characteristics of flash memory on poly-Si thin films," *IEEE Electron Device Lett.*, vol. 28, no. 4, pp. 267-269, 2007.
- [4] H. Yamamoto, H. Matsumaru, K. Shirahashi, M. Nakatani, A. Sasano, N. Konishi, K. Tsutsui, and T. Tsukada, "A new a-Si TFT with Al<sub>2</sub>O<sub>3</sub>/SiN double layered gate insulator for 10.4-inch diagonal multicolor display," in *IEDM Tech. Dig.*, pp. 851-854, 1990.
- [5] G. Kawachi, E. Kimura, Y. Wakui, N. Konishi, H. Yamamoto, Y. Matsukawa, and A. Sasano "A novel technology for a-Si TFT-LCDs with buried ITO electrode structure," *IEEE Trans. Electron Device*, vol. 41, no. 7, pp. 1120-1124, 1994.
- [6] T. Y. Chiang, M. W. Ma, Y. H. Wu, P. Y. Kuo, K. T. Wang, C. C. Liao, C. R. Yeh, and T. S. Chao, "MILC-TFT With High- $\kappa$  Dielectrics for One-Time-Programmable Memory Application," *IEEE. Electron Devices Lett.*, vol. 30, no. 9, pp. 954-956, Sep. 2009.
- [7] P. G. Lecomber, W. E. Spear, and A. Ghaith, "Amorphous silicon field device and possible application," *Electronics. Lett...*, vol. 15, pp. 179-181, 1979.
- [8] J. D. Blauwe, "Nanocrystal nonvolatile memory devices," *IEEE Trans. Nanotechnol.*, vol. 1, p. 72-77, 2002.
- [9] R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, "Nonvolatile Si quantum memory with self-aligned doubly-stacked dots," *IEEE Trans. Electron Devices*, vol. 49, no. 8, pp. 1392-1398, Aug. 2002.
- [10] P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, and T.-J. King, "FinFET SONOS flash memory for embedded applications," in *IEDM Tech. Dig.*, pp. 609-613, 2003.
- [11] C. W. Oh, S. D. Suk, Y. K. Lee, S. K. Sung, J. D. Choe, S. Y. Lee, D. U. Choi, K. H. Yeo, M. S. Kim, S. M. Kim, M. Li, S. H. Kim, E. J. Yoon, D. W. Kim, D. Park, K. Kim and B. I. Ryu, "Damascene gate FinFET SONOS memory implemented on bulk silicon wafer,"

- in IEDM Tech. Dig., pp. 893-896, 2004.
- [12] M. She and T. J. King, "Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance," *IEEE Trans. Electron Devices*, vol. 50, no. 9, pp. 1934-1940, Sep. 2003.
- [13] M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J.-C. Shim, H. Kurino, and M. Koyanagi, "New nonvolatile memory with extremely high density metal nano-dots," in *IEDM Tech. Dig.*, pp. 553-556, 2003.
- [14] M. K. Cho and D. M. Kim, "High performance SONOS memory cells free of drain turn-on and over-erase: compatibility issue with current flash technology" *IEEE Electron Device Lett.*, vol. 21, no. 8, pp. 399-401, 2000.
- [15] T. Y. Chan, K. K. Young, and C. Hu, "A true single-transistor oxide-nitride-oxide EEPROM device" *IEEE Electron Device Lett.*, vol. 8, no. 3, pp. 93-95, 1987.
- [16] Y. K. Lee, T. H. Kim, S. H. Lee, J. D. Lee and B. G. Park, "Twin-bit silicon-oxide-nitride-oxide-silicon (SONOS) memory by inverted sidewall patterning (TSM-ISP)," *IEEE Transactions on Nanotechnology*, vol. 2, pp. 246-252, 2003.
- [17] E. Lusky, Y. Shacham Diamand, I. Bloom and B. Eitan, "Electrons retention model for localized charge in oxide-nitride-oxide (ONO) dielectric," *IEEE Electron Device Lett.*, vol. 23, pp. 556-558, 2002.
- [18] W. J. Tsai, N. K. Zous, C. J. Lie, C. C. Liu, C. H. Chen and T. Wang, "Data retention behavior of a SONOS type two-bit storage flash memory cell," in *IEDM Tech. Dig.*, pp. 719-722, 2001.
- [19] T. Sugizaki, M. Kobayashi, M. Minakata, M. Yamaguchi, Y. Tannura, Y. Sugiyama, T. Nakanishi and H. Tanaka, "Novel multi-bit SONOS type flashing memory using a high-k trapping layer," in *VLSI Symp. Tech. Dig.*, pp. 27-28, 2003.
- [20] S. K. Samanta, P. K. Singh, W. J. Yoo, G. Samudra, Y. C. Yeo, L. K. Bera and N. Balasubramanian, "Enhancement of memory window in short channel non-volatile memory devices using double layer tungsten nanocrystals," in *IEDM Tech. Dig.*, pp. 170-173, 2005.
- [21] Y. H. Lin, C. H. Chien, C. T. Lin, C. Y. Chang, and T. F. Lei, "Novel two-bit HfO<sub>2</sub> nanocrystal nonvolatile flash memory," *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 782-789, Apr. 2006.
- [22] T. Baron, F. Martin, P. Mur, C. Wyon, M. Dupuy, C. Busseret, A. Souifi, and G. Guillot, "Low pressure chemical vapor deposition

- growth of silicon quantum dots on insulator for nanoelectronics devices,” *Appl. Surface Science*, vol. 164, pp. 29-34, Sep. 2000.
- [23] T. Baron, F. Martin, P. Mur, C. Wyon, and M. Dupuy, “Silicon quantum dot nucleation on Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub> and SixNy substrates for nanoelectronic devices,” *Journal of Crystal Growth*, vol. 209, pp. 1004-1008, 2000.
- [24] K. S. Cho, N. M. Park, T. Y. Kim, K. H. Kim, G. Y. Sung, and J. H. Shin, “High efficiency visible electroluminescence from silicon nanocrystals embedded in silicon nitride using a transparent doping layer,” *Appl. Phys. Lett.*, vol. 86, 071909, 2005.
- [25] S. Choi, H. Choi, T. W. Kim, H. Yang, T. Lee, S. Jeon, C. Kim, and H. Hwang “High density silicon nanocrystal embedded in SiN prepared by low energy (<500eV) SiH<sub>4</sub> plasma immersion ion implantation for non-volatile memory application,” in *IEDM Tech. Dig.*, 2005.
- [26] H. Tomyie, T. Terano, K. Nomoto and T. Kobayashi, “A novel 2-bit/cell MONOS memory device with a wrapped-control-gate structure that applies source-side hot electron injection” *VLSI Tech. Symp.*, pp.206-207, 2002.
- [27] A. K. Sharma, “Semiconductor Memories Technology, Testing and Reliability” IEEE Press, Piscataway, 1997, pp. 122-135.
- [28] Y. W. Chang, T. C. Lu, S. Pan, and C. Y. Lu, “Modeling for the second bit effect of a nitride-based trapping storage Flash EEPROM cell under two-bit operation,” *IEEE Electron Device Lett.*, vol. 25, no. 2, pp. 95–97, 2004.
- [29] H. T. Lue, T. H. Hsu, M. T. Wu, K. Y. Hsieh, R. Liu and C. Y. Lu, “Studies of the reverse read method and second-bit effect of 2-bit/cell nitride-trapping device by quasi-two-dimensional model,” *IEEE Trans. Electron Devices*, vol. 53, pp. 119-125, 2006.
- [30] Y. K. Lee, T. H. Kim, S. H. Lee, J. D. Lee, B. G. Park, “Twin-bit silicon–oxide–nitride–oxide–silicon (SONOS) memory by inverted sidewall patterning (TSM-ISP)”, *IEEE Digest of Silicon Nanoelectronics Workshop*, pp. 92–93, 2003.
- [31] E. Lusky, Y. Shacham-Diamand, I. Bloom, B. Eitan, “Electrons retention model for localized charge in oxide–nitride–oxide (ONO) dielectric”, *IEEE Electron Dev. Lett.*, vol. 23, pp.556–558, 2002.
- [32] W. J. Tsai, N.K. Zous, C. J. Lie, C. C. Liu, C. H. Chen, T. Wang, “Data retention behavior of a SONOS type two-bit storage flash memory cell”, in *IEDM Tech. Dig.*,

- pp.719-722, 2001.
- [33] K. T. Chang, W. M. Chen, C. Swift, J. M. Higman, W. M. Paulson, and K. M. Chang, "A New SONOS Memory Using Source-Side Injection for Programming", *IEEE Electron Device Lett.*, vol. 19, pp. 253-255, 1998.
- [34] F. Assaderaghi, D. Sinitsky, S. Parke, J. Boker, P. K. Ko, and C. Hu, "A dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage operation," in *IEDM Tech. Dig.*, pp. 809–812, 1994.
- [35] S. J. Chang, C. Y. Chang, T. S. Chao, and T. Y. Huang, "High performance 0.1  $\mu\text{m}$  Dynamic threshold MOSFET using indium channel implantation," *IEEE Electron Device Lett.*, vol. 21, p. 127, Mar. 2000.
- [36] T. Tanaka, Y. Momiyama, and T. Sugii, "Fmax enhancement of dynamic threshold-voltage MOSFET (DTMOS) under ultra-low supply voltage," in *IEDM Tech. Dig.*, pp. 423-426, 1997.
- [37] S. J. Chang, C. Y. Chang, C. Chen, T. S. Chao, Y. J. Lee, and T. Y. Huang, "High-Performance and High-Reliability 80-nm Gate-Length DTMOS with Indium Super Steep Retrograde Channel," *IEEE Trans. Electron Devices*, Vol. 47, pp. 2379-2384, 2000.
- [38] T. Hiramoto and M. Takamiya, "High Drive-Current Electrically Induced Body Dynamic Threshold SOI MOSFET (EIB-DTMOS) with Large Body Effect and Low Threshold Voltage," *IEEE Trans. Electron Devices*, Vol. 48, pp. 1633-1640, 2001.
- [39] J. D. Blauwe, "Nanocrystal Nonvolatile Memory Devices," *IEEE Transaction on Nanotechnology*, vol. 1, pp. 72-77, 2002.
- [40] Y. T. Lin, P. Y. Chiang, C. S. Lai, S. S. Chung, George Chou, C. T. Huang, Paul Chen, C. H. Chu, and C. C.-H. Hsu, "New insights into the charge loss components in a SONOS flash memory cell before and after long term cycling" Physical and Failure Analysis of Integrated Circuits, IPFA 2004, pp. 239-242.
- [41] P.-Y. Kuo, Y.-S. Huang, Y. H. Lue, T. S. Chao, C.-C. and T. F. Lei, "The Characteristics of n- and p-Channel Poly-Si Thin-Film Transistors with Fully Ni-Salicided S/D and Gate Structure," *J. Electrochem. Soc.*, vol. 257, no. 1, pp. H113–H119, 2010.
- [42] F. Silveira, D. Flandre, and P. G. A. Jespers, "A gm=ID methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *IEEE J. Solid- State Circuits*, vol. 31, pp. 1314–1319, Sept. 1996.
- [43] I. P. Colinge, "Thin-film,

- accumulation-mode p-channel SO1 MOSFETs,” *Electron Lett.*, vol. 24, no. 5, pp. 257-258, 1988.
- [44] S. I.Hsieh, H. T.Chen, Y. C.Chen, C. L.Chen, J. X.Lin, and Y. C.King, “Reliability and Memory Characteristics of Sequential Laterally Solidified Low Temperature Polycrystalline Silicon Thin Film Transistors with an Oxide-Nitride-Oxide Stack Gate Dielectric”, *Japanese Journal of Applied Physics*, Vol. 45, No. 4B, pp.3154-3158, 2006.
- [45] H. T.Lue, Y. H.Hsiao, Y. H.Shih, E. K.Lai, K. Y.Hsieh, R.Liu, and C. Y.Lu, “Study of Charge Loss Mechanism of SONOS-type Devices Using Hot Hole Erase and Methods to Improve the Charge Retention”, *IEEE 44th Annual International Reliability Physics Symposium*, San Jose, pp.523-529, 2006.
- [46] Y. H. Shih, E. K. Lai, K. Y.Hsieh, R.Liu, and C. Y.Lu, “Two-bit/cell Nitride Trapping Nonvolatile Memory and Reliability”, *Solid-State and Integrated Circuit Technology*, pp.752-755, Oct. 2006.
- [47] M. K. Cho and D. M. Kim “Simultaneous hot-hole injection at drain and source for efficient erase and excellent endurance in SONOS flash EEPROM cells,” *IEEE Electron Device Lett.*, vol. 24, pp. 260-262, 2003.
- [48] W. C. Wu, T. S. Chao, W. C. Peng, W. L. Yang, J. H. Chen, M. W. Ma, C. S. Lai, T. Y. Yang, C. H. Lee, T. M. Hsieh, J. C. Liou, T. P. Chen, C. H. Chen, C. H. Lin, H. H. Chen, and J. Ko “Optimized ONO thickness for multi-level and 2-bit/cell operation for wrapped-select-gate (WSG) SONOS memory,”
- [49] G. Puzzilli and F. Irrera, “Data Retention of Silicon Nanocrystal Storage Nodes Programmed With Short Voltage Pulses” *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 775-781, 2006.
- [50] J. Sarkar, S. Dey, D. Shahrjerdi, and S. K. Banerjee, “Vertical Flash Memory Cell With Nanocrystal Floating Gate for Ultradense Integration and Good Retention” *IEEE Electron Device Lett.*, vol. 28, no. 5, pp. 449-451, May 2007.