

# 行政院國家科學委員會補助專題研究計畫 期末進度報告

## 16 奈米矽多重閘極電晶體中隨機摻雜導致之特性 擾動及其抑制方法

### Characteristic Fluctuation and Its Suppression in 16 nm FinFETs and Multi-Gate Transistors

計畫類別：個別型計畫

計畫編號：NSC-97-2221-E-009-154-MY2

執行期間：2008 年 8 月 1 日至 2010 年 7 月 31 日

計畫主持人：李義明 教授

計畫參與人員：博士生：黃至鴻(已畢業)、鄭惠文

碩士生：李典燁(已畢業)、李國輔(已畢業)、韓銘鴻(已畢業)

執行單位：國立交通大學電機工程學系

中華民國 99 年 10 月 16 日

# 16 奈米矽多重閘極電晶體中隨機摻雜導致之特性擾動及其抑制方法

## Characteristic Fluctuation and Its Suppression in 16 nm FinFETs and Multi-Gate Transistors

計畫編號：NSC-97-2221-E-009-154-MY2

執行期間：2008 年 8 月 1 日至 2010 年 7 月 31 日

主持人：國立交通大學電機工程學系李義明教授

### 一、中文摘要

超大型積體電路元件已進入次 16 奈米技術世代，除了傳統製程變異效應，隨機摻雜問題所造成的擾動已嚴重的影響了場效應電晶體的特性與可靠度。此研究中，使用等效原子層級離散摻雜暨量子傳輸方程的大尺度統計運算方法，吾人發展了三維度元件模擬技術，並成功地用以分析 16 奈米場效應電晶體特性擾動以及擾動壓抑。結果顯示隨機摻雜原子所引起的電特性擾動可從元件以及電路層級方面來做有效之壓抑。元件層級的擾動壓抑上，本計畫研究了 High- $\kappa$  技術、鰭式(多重閘極)場效應電晶體、增加元件閘極寬度、垂直摻雜濃度分布、通道左右不對稱摻雜濃度分布等方法。電路層級方面，以並聯兩個  $n$  型元件研究反相器擾動的壓抑。本研究對於電晶體擾動壓抑之推估以及下世代電晶體特性擾動分析極有助益。本年度的計畫已成功達成預期目標，相關成果並發表於國際頂尖電子元件會議與期刊。同時，本計畫之進度超前，研究結果進一步指出 16 奈米靜態隨機讀取記憶體靜態雜訊邊界擾動成因與壓抑。總之，本計畫研究成果達到預期目標，摻雜擾動的研究居世界領先之研究群。

### 英文摘要

The random dopant fluctuations may result in significant threshold voltage, delay and timing variations in the examined 16-nm-gate device / circuits. Suppression techniques from the device and circuit viewpoints are proposed and implemented to examine the associated characteristic

fluctuations. The usage of FinFET structure in the device shows good performance as planar with EOT  $< 0.4$  nm without leakage current problem. The usage of shunted transistors in the digital circuit exhibits interesting suppression to the use of device with wider width. However, both the approaches increase chip area. To avoid the increase of chip area, the channel engineering approaches (both vertical and lateral directions) are further proposed to show their effectiveness on the reduction of timing variability. Moreover, we find that the SNM (static noise margin) of 6T FinFETs SRAM replaced the planar MOSFETs in 6T SRAM is enlarged and the variation of SNM ( $\sigma$ SNM) is suppressed significantly. However, the vertical approach induces serious short channel effect in 6T planar SRAM. The usage of 6T FinFET or 8T planar SRAM with extra chip area are successfully to improve the SNM. Cross links should be established between circuit design and fundamental device technology to allow circuits and systems to accommodate the individual behavior of every nanoscale device on a silicon chip.

### 關鍵字

隨機摻雜、3D 元件模擬、元件特性擾動、電路特性擾動、擾動壓抑技術、High- $\kappa$  技術、多重閘極元件、鰭式場效應電晶體、垂直摻雜濃度分布、通道左右不對稱摻雜濃度分布、電路層級壓抑方法、靜態隨機讀取記憶體、靜態雜訊邊界

### 二、前言、研究目的與文獻探討

繼續微縮元件的尺寸，從延續摩爾定律

觀點而言仍是半導體製造上獲得高速、低功率以及高密度元件晶片最有效的策略方案。新材料、新製程與新結構的開發提供了多樣化的研究主題與技術發展方向；然而隨著矽半導體元件微縮至次65奈米，製程中的不確定性，如離子佈殖與熱退火，已對元件與電路的穩定性帶來重大的影響[1,2-11]。元件電特性的擾動的來源可分為由閘極長度暨製程線寬變化(gate length deviation / line edge roughness) [12] 以及隨機摻雜效應(或稱離散摻雜效應) (random dopant effect) 擾動兩種 [2-11]。其中隨機摻雜對電路系統的傳輸造成嚴重的延遲效應[13-15]。當元件尺寸微縮至16奈米，元件通道中等效的摻雜原子數目將降至數十個左右，相較於大尺度元件中動輒數千數萬的摻雜原子的數目，此數十個摻雜原子的數目以及位置對元件特性所造成的影響將變得十分顯著指重要。此外，根據載子穿透機率的計算，當元件尺寸縮小時，源極與汲極之間出現無摻雜通道的機率會大為增加，而此現象並不能以傳統連續型摻雜濃度描述之，進而需引入離散摻雜模型，描述通道受摻雜擾動之變化。

研究上，吾人注意到製程變異所造成的擾動可因製程精準控制技術的演進而降低，然而離散摻雜所造成之擾動是屬於物理上所存在的本質隨機變數，難以衡量且不易因製程技術演進而降低。近來相當多的隨機摻雜效應在元件和電路行為之研究已透過實驗與模擬的方式進行 [16-35]。雖有許多隨機摻雜效應之研究被發表。然對於16奈米多重閘極結構電晶體隨機摻雜效應擾動的分析與壓抑卻缺乏系列的整合研究。

因此，本兩年期計畫的第二年工作延續第一年的擾動成因分析之結果，在第二年研究上，吾人成功地分析16奈米矽場效應電晶體之元件與其CMOS反相電路特性擾動與壓抑。利用所發展之大刻度的統計分析技術將隨機摻雜的濃度轉成有效的原子數坎入經由非平衡格林函數理論校估過的量子擴散漂移傳輸 (Quantum drift-diffusion) 方程式 [36,37]中進行數值模擬，這種分析的技術可以有效且大規模地進行統計上不偏的理論分析。此分析方法不僅能成功研究元件特性

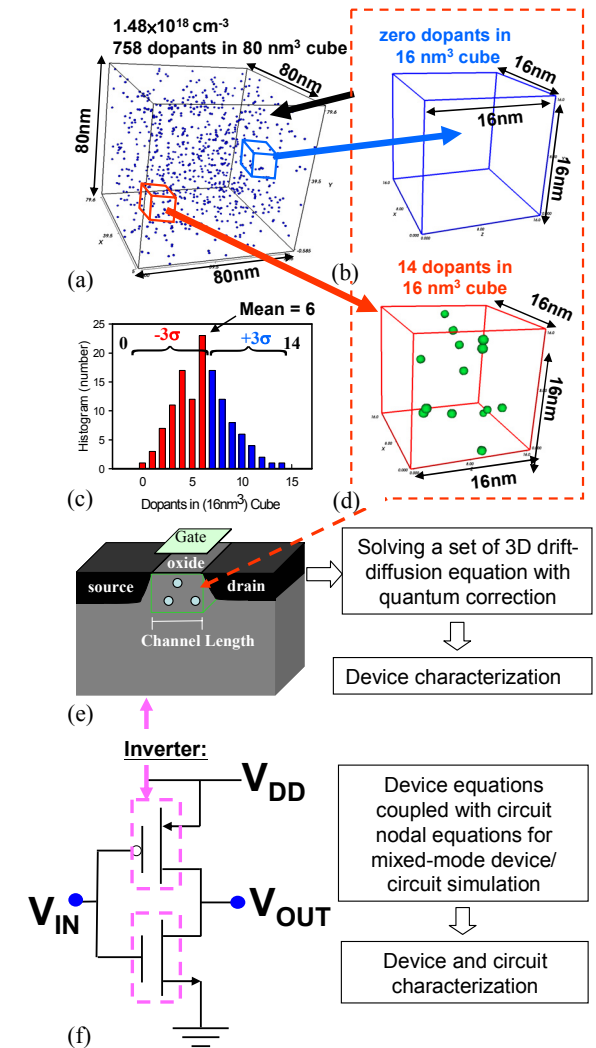


圖1：本計畫使用之大尺度統計元件模擬示意圖及元件暨電路整合模擬流程圖。

受隨機摻雜的擾動，同時量子擴散漂移傳輸也可以結合電路節點方程式作混合式的元件暨電路整合模擬[38,39]，分析隨機摻雜在數位電路上造成的動態特性擾動。在擾動壓抑方法上，研究中提出包括High-κ技術 [40]、鰭式場效電晶體[8,9]、增加元件閘極寬度、垂直摻雜濃度分布、通道左右不對稱摻雜濃度分布等，也將一併討論。

本報告內容之章節安排如下：第三節，描述實驗與模擬方法。在第四節，擾動壓抑分析與探討，最後為結論與展望。

### 三、模擬方法與實驗校估

在隨機摻雜效應的擾動分析中，傳統連續型摻雜濃度的模擬無法滿足小通道摻雜

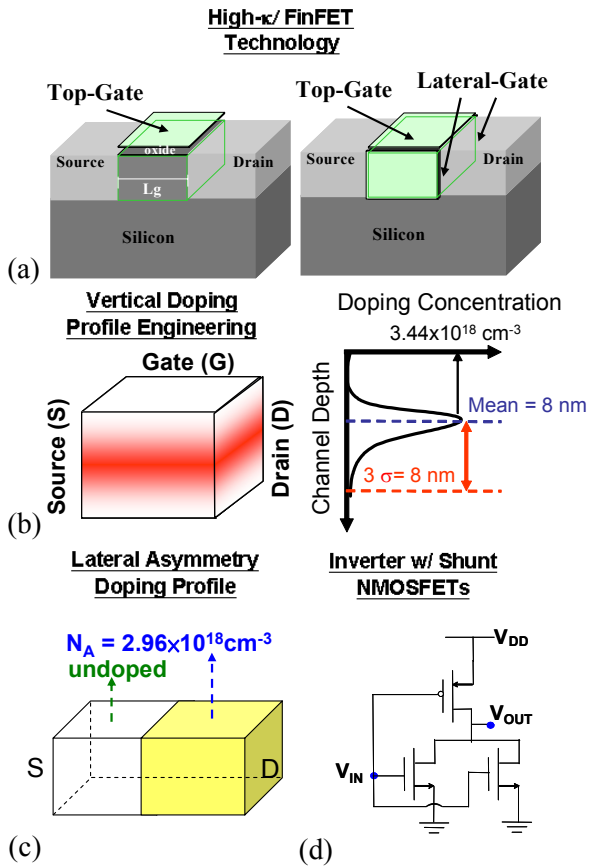


圖2：(a)平面和鳍式場效電晶體(b)垂直摻雜濃度分布及摻雜濃度對閘極通道深度之示意圖(c)左右不對稱摻雜濃度分布示意圖(d)兩個n型半導體並聯之CMOS反相器圖。

變化之物理，因此研究上使用離散摻雜模型來分析小尺寸元件的特性。圖1為具離散摻雜濃度分佈之元件模擬示意圖，首先是元件臨界電壓的校準與元件模型的設定。元件的通道摻雜濃度均為 $1.48 \times 10^{18} \text{ cm}^{-3}$ 、閘極長度是16奈米、閘極氧化層厚度是1.2奈米，通道外的元件背景濃度為 $1 \times 10^{15} \text{ cm}^{-3}$ 。在離散摻雜區域內，為引入摻雜物數量和位置的隨機擾動影響。我們首先在長方形固體半導體中，產生數千個雜質粒子，其等效摻雜濃度為 $1.48 \times 10^{18} \text{ cm}^{-3}$ ，如圖1(a)。每個雜質粒子就是一個摻雜原子。之後，吾人將此大長方形固體半導體分割為小立方體並映射至元件的通道區域做三維的元件模擬。小立方體中摻雜原子的數量與位置即為通道中摻雜原子的分布。元件通道中摻雜原子分布由0至14個，平均原子數為6個，此分布範圍包含 $\pm 3\sigma$ ，並可適當地反應統計上摻雜原子數量

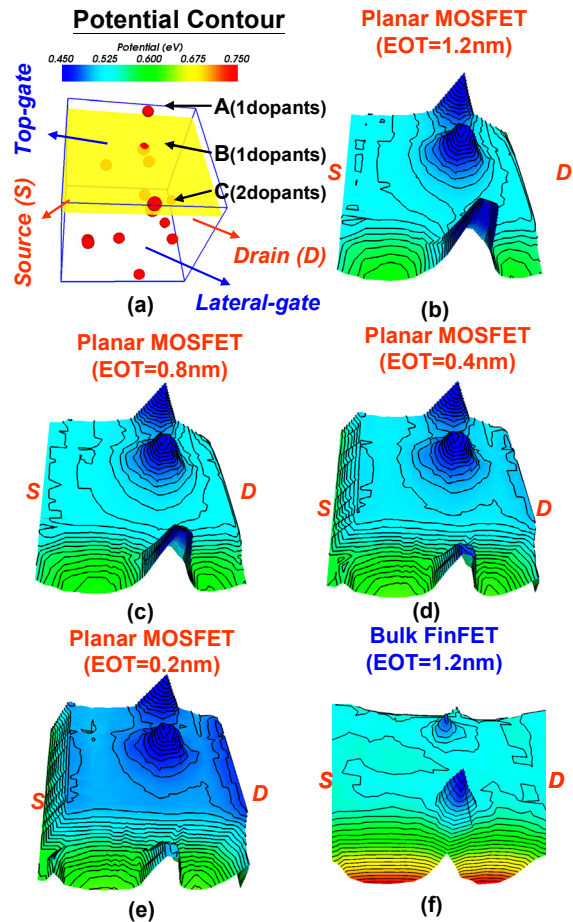


圖3：(a)平面場效電晶體在截止狀態下( $V_G = 1 \text{ V}$ ,  $V_D = 0 \text{ V}$ ) 閘極之電位。平面場效電晶體使用不同High- $\kappa$ ，即等效氧化層厚度(EOT)為：(b) 1.2 nm, (c) 0.8 nm, (d) 0.4 nm, (e) 0.2 nm, 以及(f) 鳍式場效電晶體EOT = 1.2 nm之電位，其中A, B和C三處有摻雜物存在。

與位置的亂度，如圖1(b)-(e)。在元件模擬方面，為分析摻雜原子在元件內之行為與擾動機制來源，吾人除了使用平行化的三維量子力學傳輸方程式去計算每個離散摻雜元件的電子特性擾動，也結合電路節點方程式模擬元件電路模擬，如圖1(f)。其中量子力學傳輸模擬行為是由三維密度梯度 (Density gradient) 量子修正方程式、泊松方程式 (Poisson) 與電子-電動電流連續方程 (Electron / hole continuity equation) 耦合所描述 [31-37]，此量子擴散漂移模擬已與非平衡格林函數理論校估過驗證其準確度，此大刻度的統計分析技術可以有效且大規模地進行統計上不偏的理論分析。針對隨機摻雜造成的元件擾動，可利用增加平面場效電晶體的閘極寬度、其閘極使用High- $\kappa$ 材料、

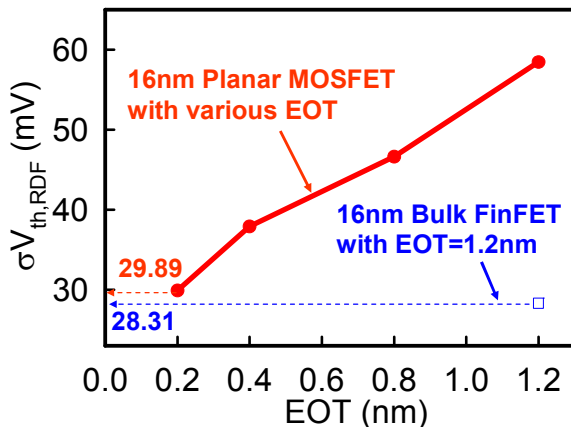


圖4：16奈米電晶體下，臨界電壓受隨機摻雜擾動之比較，其中紅色實點代表EOT = 1.2奈米, 0.8奈米, 0.4奈米和0.2奈米的平面場效電晶體的、藍色空心點代表EOT = 1.2奈米的鰭式場效電晶體。

使用垂直摻雜濃度分布(如圖1(b))及左右不對稱摻雜濃度分布(如圖1(c))，或是用鰭式場效電晶體代替平面場效電晶體，對壓抑隨機摻雜造成CMOS反相器電路中的擾動，研究中的作法是將兩個n型電晶體並聯，加強壓抑的效果，如圖2(d)。整合已發展的隨機摻雜導致之特性擾動分析技術 [6-7,23-30] 以及鰭式場效電晶體之工作 [26-30]；為了在比較有相似的比較基準來研究16奈米矽單閘極以及多閘極鰭式場效電晶體的元件和電路特性變異，電晶體之臨界電壓均調整至250毫伏特。

#### 四、結果與討論

微縮的元件尺寸，使得單閘極平面元件(planar device)通道控制能力隨之下降。因此我們使用高介電係數(High- $\kappa$ )絕緣材料作為閘極絕緣層，在獲得相同閘極電容值條件下，可允許採用較二氧化矽厚度  $\kappa/3.9$  倍之厚度，來抑制閘極漏電流外；也可藉由增加閘極數目，以提升元件通道控制能力，因此演化成多重閘極之鰭式場效電晶體。雖可使用閘極金屬功函數與 High- $\kappa$ 材料調整臨界電壓而不需通道摻雜，但其通道之控制能力會因缺乏通道摻雜而下降，進而導致其對製程變異所造成的擾動更加敏感，其電特性比通道有摻雜的電晶體差。因此適當的通道摻雜輔以擾動壓抑是電晶體設計中重要的一

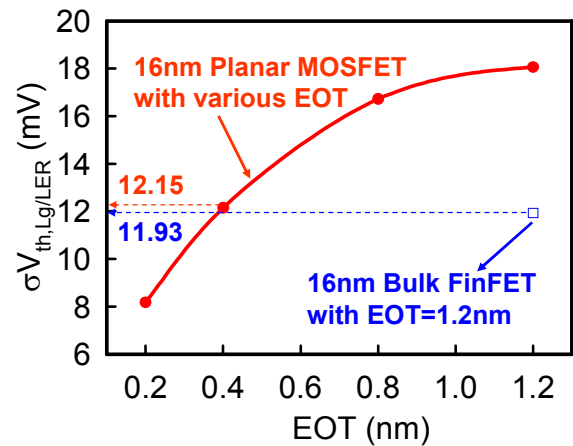


圖5：16奈米電晶體下，臨界電壓受製程線寬變化之比較，其中紅色實點代表EOT = 1.2奈米, 0.8奈米, 0.4奈米 and 0.2奈米的平面場效電晶體的、藍色空心點代表EOT = 1.2奈米的鰭式場效電晶體。

環。其第一步就是分析單閘極用不同厚度的High- $\kappa$ 材料和鰭式場效電晶體受離散摻雜擾動影響的程度與兩種元件設計對擾動壓抑擾動之可能性，因此吾人對於隨機摻雜擾動在16奈米單閘極用不同厚度的High- $\kappa$ 材料和鰭式場效電晶體所造成的影響做了以下的分析。

圖3(a)為隨機摻雜在電晶體閘極的分佈圖(紅點代表隨機摻雜物)，其中摻雜物落在表面通道有三處，分別是A(1顆)、B(1顆)和C(2顆)處，考慮到溫度對絕緣層上覆矽電晶體操作特性之影響，吾人使用3D量子流體力學模型(Quantum hydrodynamic model)包含了能量守恆的方程式做元件特性之模擬，能較比常用的量子擴散漂移傳輸模擬提供更精確的資訊。為比較所預期之電晶體特性與實際上受離散摻雜擾動電晶體特性之差別，舉例來說，單閘極用不同厚度的High- $\kappa$ 材料(EOT = 1.2奈米, 0.8奈米, 0.4奈米, 和0.2奈米)，其壓抑摻雜擾動的能力都不同。如圖3(b)所示，在16奈米(EOT = 1.2奈米)，其表面電位由於A、B和C處摻雜原子所引起之位能障礙(Potential barrier)，這些突起行為導致表面電位不平滑，進而造成臨界電壓的擾動，然而隨著EOT值的下降，突起的表面電位漸漸趨緩，如圖3(c)、3(d)、3(e)。表示EOT值越小，對應的介電常數越高，閘極的控制能力越好，但使用高介電常數材料會有他相關問題，例如：漏電流。我們發現若使用三

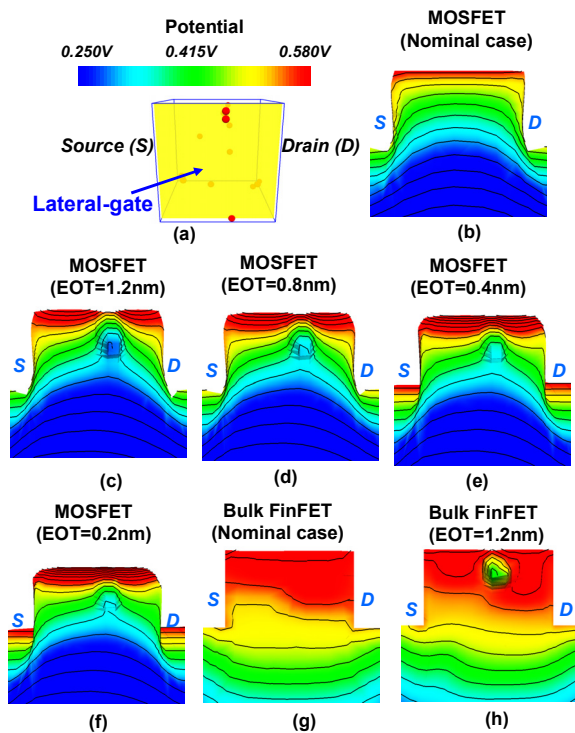


圖6：(a)電晶體通道剖面示意圖。(b)為預期之平面場效電晶體電位分布，為平面場效電晶體在EOT= (c) 1.2奈米，(d) 0.8奈米，(e) 0.4奈米和 (f) 0.2奈米下，離散摻雜擾動之電位分布。(g)為預期之鰭式場效電晶體電位分布(f)為鰭式場效電晶體在EOT=1.2奈米下之電位分布。

開極電晶體，不需要降低EOT值，元件效能就可以達到和平面場效電晶體用EOT = 0.2奈米的一樣好。

首先，我們先討論元件臨界電壓受線寬變異的擾動情形。就平面場效電晶體來說，預期的臨界電壓 (EOT = 1.2奈米) 擾動大約18毫伏特，隨著EOT值越小，其擾動的壓抑越好，如圖4所示，平面場效電晶體的臨界電壓擾動在EOT = 0.2奈米大約是8毫伏特，比預期的臨界電壓擾動大約小了44% (= 8 / 48 x 100%)。如果使用EOT = 1.2 nm的鰭式場效電晶體，其壓抑擾動的能力 (12.15毫伏特) 和EOT = 0.4奈米的平面場效電晶體 (11.93毫伏特) 差不多。接下來討論隨機摻雜對電晶體擾動的影響，就EOT = 1.2奈米的平面場效電晶體來說，隨機摻雜所造成的擾動是線寬變異的3.3倍(= 60 / 18)左右，因此需要抑制擾動能力更好的元件設計。由圖5可知，平面場效電晶體的EOT從1.2奈米降到0.2奈米，臨界電壓擾動小了50% (= 30 / 60 x 100%)。若用EOT = 1.2奈米的三開極電晶體

表1：受到不同設計電路和電晶體之CMOS反相器，其預期和擾動時間的變化量，其中 $t_f$ 為下降時間， $t_r$ 為上升時間， $t_{HL}$ 為高到低延遲時間， $t_{LH}$ 為低到高延遲時間充電時間。

	Circuit Design Viewpoint (I)	Device Design Viewpoint		
		(II)	(III)	(IV)
<b>Increment / decrement of the nominal timing characteristic</b>				
$t_f$	-6.86%	-4.56%	~0.0%	-1.29%
$t_r$	+18.84%	+20.25%	~0.0%	+1.42%
$t_{HL}$	-26.66%	-20.70%	~0.0%	-5.23%
$t_{LH}$	+35.53%	+37.23%	~0.0%	-0.36%
<b>Timing characteristic fluctuations</b>				
$\sigma_{f*}$	23.61%	9.88%	7.74%	8.47%
$\sigma_r$	-101.97%	-88.36%	11.32%	1.53%
$\sigma_{HL}$	34.76%	39.17%	18.42%	46.59%
$\sigma_{LH}$	5.79%	6.76%	0.52%	1.71%
Area cost	25%	~20%	~0%	~0%

(\* Fluctuation =  $(T_{ORIGINAL} - T_{SUPPRESSED}) / T_{ORIGINAL}$ )

，其擾動壓抑能力和EOT = 0.2奈米的平面場效電晶體一樣好。

以上是討論俯瞰開極上方的表面電位擾動，由於三開極電晶體多了兩個側開極，因此我們也從側開極的角度分析電位受隨機摻雜的擾動情形，其中在通道垂直剖面圖中有1顆摻雜物分布在通道表面，如圖6(a)所示。圖6(b)是預期之平面場效電晶體垂直剖面，表面電位分布均勻，如紅色所示。在EOT = 1.2奈米的平面場效電晶體，通道表面的摻雜物破壞電位的均勻性，如圖6(c)，接著隨EOT值越小，表面電位的均勻性越好，如圖6(c)-(e)，當平面場效電晶體的EOT = 0.2奈米時，開極的控制能力很好，表面電位幾乎不受摻雜物影響，如圖6(f)。鰭式場效電晶體的預期電位如圖6(g)所示，其三邊的開極均勻控制通道。摻雜物同樣在表面上，除了摻雜物的周圍有局部擾動外，其整體電位分布幾乎不受影響，依然很均勻，如圖6(h)所示。我們更進一步討論隨機摻雜在CMOS反相器的影響，因為隨機摻雜會造成元件臨界電壓的擾動，近而影響電路的效能表現。而降低電路的擾動可以從設計不同電路或元件方面著手，其中擾動的公式  $(T_{ORIGINAL} - T_{SUPPRESSED}) / T_{ORIGINAL}$ 。就電路層級，有兩個n型電晶體並聯的CMOS反相器(圖2(d))，

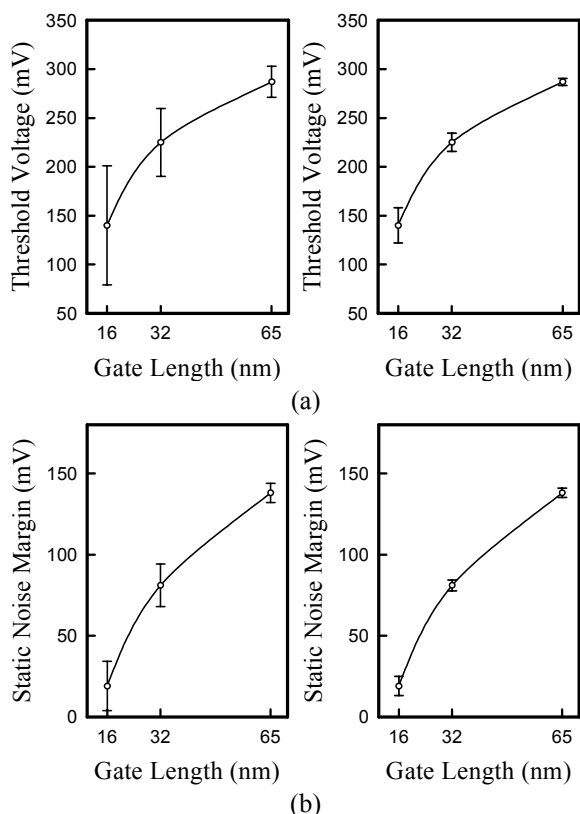


圖 7：由摻雜擾動及製程變異在不同開極長度的平面場效應電晶體所引起(a)臨界電壓(b)靜態雜訊邊界的擾動。

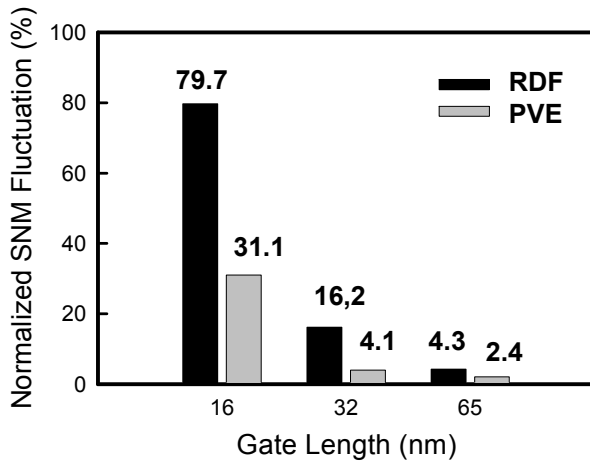
(I)，可降低上升時間和下降、高到低、低到高延遲擾動時間，但晶片面積會增加25%。就元件層級，增加COM反相器n型電晶體(II)的開極寬度，可降低下降、高到低延遲時間和下降、高到低、低到高擾動時間，晶片面積則增加20%，另外也可以設計計垂直濃度的分布(圖2(b),(III))，此設計可以降低上升、下降、高到低延遲、低高延遲擾動時間，也可以設計左右不同濃度分布(圖2(c),(IV))，可降低上升時間、上升、下降、高到低延遲、低到高延遲擾動時間，上面兩種元件方法都不佔晶片面積，如表1。因此，降低擾動的元件、電路設計，可針對欲改善的參數(上升、下降時間、高到低、低到高延遲時間)作調整。

此外，除了完成研究計劃之內容，研究上亦超前進度，研究16奈米互補式金氧半導體靜態隨機讀取記憶體靜態雜訊邊界參數遇到的製程過程的變異效應與隨機摻雜所導致的擾動。圖7(a)及圖7(b)分別表示了65奈米至16奈米n型平面場效應電晶體對臨界

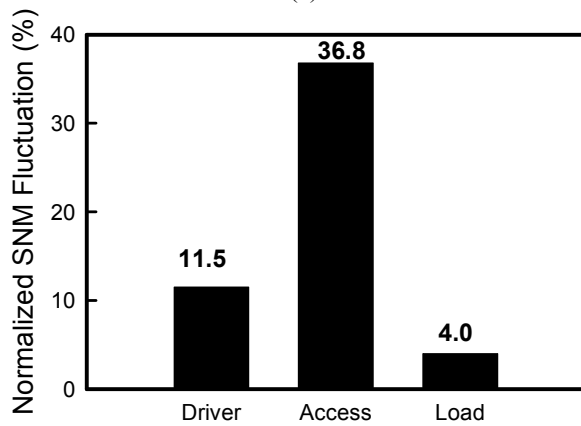
電壓以及靜態雜訊邊界的roll-off特性，圖中的點為隨機離散摻雜及製程過程變異。對每個技術點所引起的臨界電壓和靜態雜訊邊界擾動。當開極長度從65奈米縮小至16奈米，此時臨界電壓會跟著下降而總臨界電壓的擾動也顯著的從16毫伏特增加至64毫伏特。此外，隨機摻雜所導致的擾動是相當重要的來源，可能會比製程過程的變異效應引起的擾動所引起的大上2到4倍。根據分析的趨勢[20]，發現16奈米場效應電晶體的臨界電壓大約比65奈米場效應電晶體大4倍。然而當開極長度從65奈米縮小至16奈米時，靜態雜訊邊界會從138毫伏特明顯地下降至20毫伏特。將靜態雜訊邊界的擾動作標準化，發現隨機摻雜所導致的擾動所引起的靜態雜訊邊界擾動會從4.3%增加到80%，如圖8(a)所示。這個顯著的增加顯示了靜態雜訊邊界的擾動對於元件尺寸的高度相依性。為了要證明電路特性擾動模擬的準確性以及進一步的找出在靜態隨機讀取記憶體中最敏感的部份，因此我們將6T-靜態隨機讀取記憶體分類為driver，access以及load三部份電晶體，然後進行分析。我們研究了隨機摻雜所導致的擾動在靜態隨機讀取記憶體不同部分敏感度的分析，如圖8(b)所示，發現access電晶體造成了最大的靜態雜訊邊界擾動，這是因為在讀的操作過程中，所儲存的資料都會通過access電晶體。根據統計隨機變數獨立性的觀點，總靜態雜訊邊界的擾動( $\sigma_{SNM\_Total}$ )可表示如下：

$$\sigma_{SNM\_Total}^2 \approx \sigma_{SNM\_Driver}^2 + \sigma_{SNM\_Access}^2 + \sigma_{SNM\_Load}^2 \quad (1)$$

其中， $\sigma_{SNM\_Driver}$ 為driver電晶體所引起的靜態雜訊邊界擾動； $\sigma_{SNM\_Access}$ 為access電晶體所引起的靜態雜訊邊界擾動； $\sigma_{SNM\_Load}$ 為load電晶體雜訊邊界擾動。我們使用公式(1)的右手邊算出總靜態雜訊邊界的擾動( $\sigma_{SNM\_Total}$ )大約為36毫伏特，這與我們考慮全部電晶體所造成的總靜態雜訊邊界的結果吻合(38毫伏特)。由於六顆臨界電壓為140毫伏特場效應電晶體所組成的靜態隨機讀取記憶體有最差的操作特性，因此根據電路以及元件觀點，有很多擾動不同的改善方向及壓抑方法



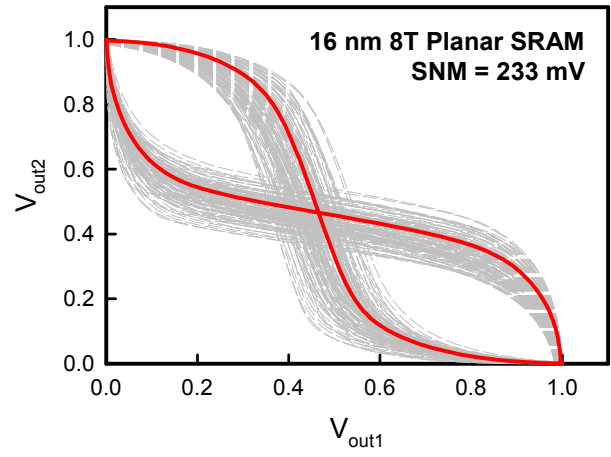
(a)



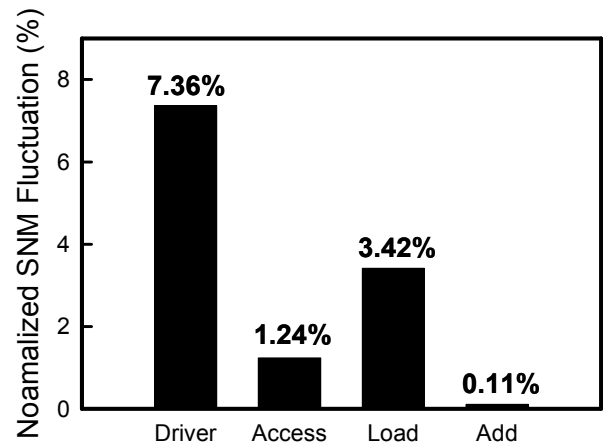
(b)

圖 8:(a) 靜態隨機讀取記憶體中，摻雜擾動及製程變異在不同閘極長度所引起的靜態雜訊邊界擾動。(b) 摻雜擾動在 6 顆平面靜態隨機讀取記憶體裡不同電晶體對中的影響。

被用來檢查 16 奈米場效應電晶體所組成的靜態隨機讀取記憶體的相關特性。先從電路的觀點，我們提出了有 8 顆場效應電晶體的靜態隨機讀取記憶體電路。圖 9(a) 為 8 顆臨界電壓為 140 毫伏特場效應電晶體所組成靜態隨機存讀記憶體的靜態轉置曲線，虛線為隨機摻雜所導致的擾動及製程過程變異效應的擾動情況，而實線是連續摻雜的情況。由於將 access 電晶體對分開，所以位元線 (bit-line) 所產生的影響下降而連續摻雜的靜態雜訊邊界增加到 233 毫伏特。由隨機摻雜所導致的擾動竟而所引起的靜態雜訊邊界擾動 ( $\sigma_{SNM\_Total}$ ) 為 22 毫伏特，低於 10% 的變異。因此我們和 6T-SRAM 所組成的靜態隨機讀取記憶體比較，發現連續摻雜的靜態雜訊



(a)



(b)

圖 9:(a) 8 顆平面靜態隨機讀取記憶體的靜態轉移特性。(b) 不同電晶體對在 8 顆平面靜態隨機讀取記憶體中的影響。

邊界大了 12 倍且隨機摻雜所引起的靜態雜訊邊界擾動有 8.4 倍的壓抑。

雖然 8 顆平面場效應電晶體所組成的靜態隨機讀取記憶體可增加靜態雜訊邊界與降低靜態雜訊邊界擾動，但是所佔的晶片面積增加了 30%。值得注意的是，6 顆平面場效應電晶體 (Cell Ratio = 2) 所組成的靜態隨機讀取記憶體在晶片上需要多花上額外 30% 的面積；然而，它的連續摻雜靜態雜訊邊界為 92 毫伏特，不足以用來做適當的電路操作，因此在這裡不討論它。圖 9(b) 為在 8 顆場效應電晶體所組成的靜態隨機讀取記憶體中的靜態雜訊邊界擾動敏感度分析，我們可以看到 access 電晶體所產生的影響大幅下降，因為讀取的操作不再經過 8 顆電晶體中的 access 電晶體，然而 driver 變成了主要的靜態



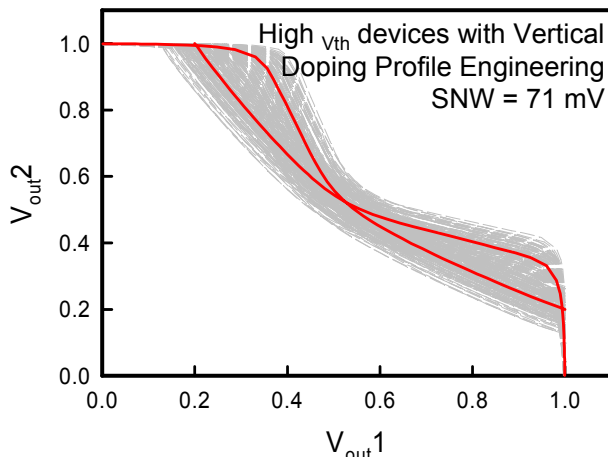


圖 10：改善 6 顆靜態隨機讀取記憶體之靜態轉移特性，元件的臨界電壓上升至 350 毫伏特。

雜訊邊界擾動的因素。因此為了要進一步壓抑隨機摻雜所導致的擾動所引起的靜態雜訊邊界擾動，我們使用了垂直摻雜分布的方法(vertical doping profile engineering)來降低隨機摻雜所導致的擾動在臨界電壓隨機靜態存取記憶體所引起的較高擾動，如圖 10(a) 所示。圖 10(b) 為使用 16 奈米高臨界電壓元件及垂直摻雜分布方法組成的靜態隨機讀取記憶體的靜態轉移特性。我們發現垂直摻雜分布方法可以進一步壓抑隨機摻雜所導致的擾動所產生的靜態雜訊邊界擾動，從 41.7 毫伏特下降至 30.5 毫伏特；然而，它可能也受到嚴重的短通道效應的影響，使得靜態雜訊邊界下降至 71 毫伏特。除此之外，製程過程的變異效應所引起的靜態雜訊邊界擾動也由 18 毫伏特增加到 24.4 毫伏特。為了要減輕這樣的情況，根據相同的 16 奈米閘極平面場效電晶體佈局面積，我們用 16 奈米閘極絕緣層上矽鍍式場效電晶體取代平面場效電晶體，如圖 11(a) 左圖所示。在不失一般性的原則下，等效的摻雜濃度為  $1.48 \times 10^{18} \text{ cm}^{-3}$  以及連續摻雜的閘極絕緣層上矽鍍式場效電晶體臨界電壓為 140 毫伏特。摻雜顆粒數目從 2 顆到 24 顆且平均為 13 顆，如圖 11(a) 右圖所示。圖 11(b) 為 16 奈米絕緣層上矽鍍式場效電晶體組成的靜態隨機讀取記憶體的靜態轉移特性，在圖中的表格為隨機摻雜所導致的擾動及製程過程的變異效應所引起的臨界電壓擾動。我們和原來的的情況比較，六顆絕緣層上矽鍍式場效電晶體組成靜態隨機讀取記憶體的靜態雜訊邊界為 125 毫伏特

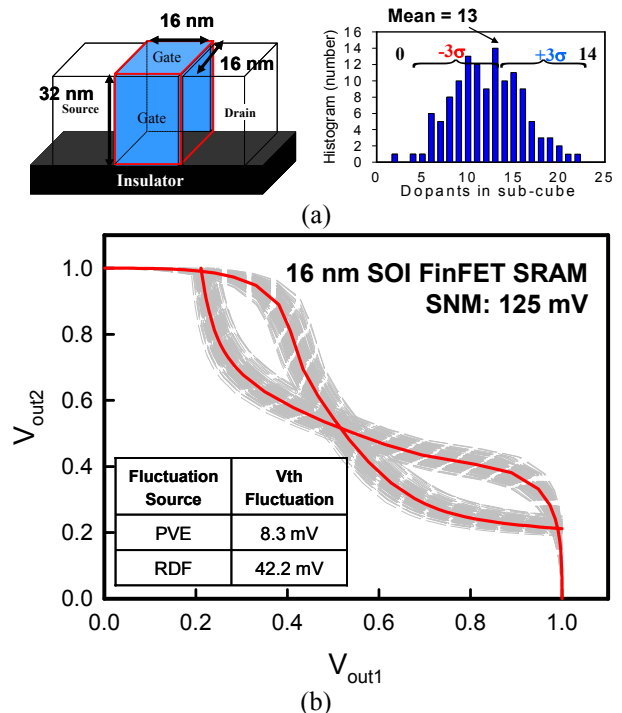


圖 11：(a) 絕緣層上矽鍍式場效電晶體結構及隨機摻雜的分布 (b) 靜態轉移特性在 16 奈米絕緣層上矽鍍式場效電晶體下預期及擾動的結果。

而且靜態雜訊邊界擾動很顯著地可被壓抑到 5.4 毫伏特(其為 4.3% 標準值的靜態雜訊邊界擾動)。

最後，我們以圖 12 來總結各種變化擾動的重要技術。從電路觀點來看，8T 平面場效應電晶體所組成的靜態隨機讀取記憶體雖然需要額外的 30% 晶片面積，但是其靜態雜訊邊界擴大到 230 毫伏特且靜態雜訊邊界擾動減少到 22 毫伏特。為了防止晶片面積的增加，我們用絕緣層上矽鍍式場效電晶體取代原本在 6 顆靜態隨機讀取記憶體中的平面場效電晶體。6 顆靜態隨機讀取記憶體絕緣層上矽鍍式場效電晶體的靜態雜訊邊界為 125 毫伏特且靜態雜訊邊界擾動壓抑至 5.4 毫伏特。(4.3% 標準值的靜態雜訊邊界擾動)。8T 靜態隨機讀取記憶體架構可以提供最大的靜態雜訊邊界和有利於未來的設計；為了避免晶片面積的增加和壓抑擾動，發展次 22 奈米絕緣層上矽鍍式場效電晶體靜態隨機讀取記憶體製造技術是重要的。

## 五、結論

本研究使用三維原子層級模擬分析奈米

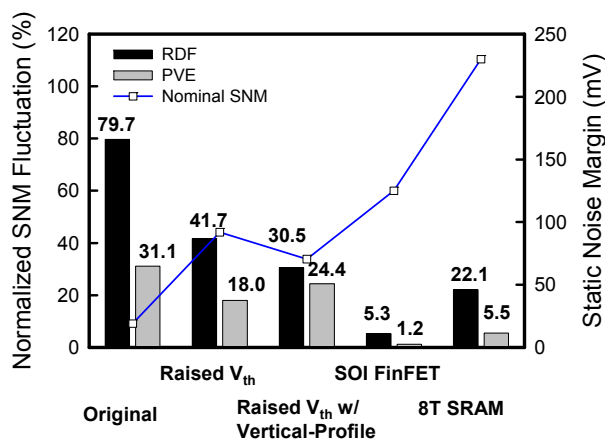


圖 12：對靜態雜訊邊界及靜態雜訊邊界擾動不同改善技術的總結。

尺度平面場效電晶體及矽鍺式場效電晶體之電特性擾動，並從元件和電路的觀點，發展出抑制此擾動的技術。就元件層級來說，可用鍺式場效電晶體，其對閘極有較佳的控制能力，亦即有較佳的電位擾動壓抑，而平面場效電晶體則需要High- $\kappa$ 技術且EOT需在0.4奈米以下，才会有相同的壓抑能力，但會有漏電流的問題。或是在閘極區域使用垂直或通道左右不對稱濃度分布的方法壓抑擾動，也可以增加閘極的寬度，但此法會增加20%的晶片面積。就電路層級來說，使用兩個n型電晶體並聯可抑制在CMOS反相器的擾動，缺點是會增加25%的晶片面積。總之本年度計畫已成功分析擾動來源並提供奈米等級電晶體電路不同層級的擾動壓抑方法。從元件技術或電路設計之角度，提供設計者與製造者不同的參考觀點。執行計畫期間，研究團隊已發表3篇以上電子電機領域頂尖之IEEE T ED期刊論文、1篇頂尖電子元件IEDM國際會議論文、以及1篇頂尖積體電路電腦模擬ICCAD國際會議論文，以及包含更多篇優秀之SCI/IEEE期刊與會議論文。

另外，在完成計畫書之內容後，我們也超前了研究進度，進一步研究16奈米閘極靜態隨機讀取記憶體電路，結果發現從電路的觀點來看，8顆16奈米場效應電晶體所組成的靜態隨機讀取記憶體雖然多了額外30%晶片面積但是其靜態雜訊邊界擴大到230毫伏特且靜態雜訊邊界變異減少到22毫伏特。為了提升元件性能，在6顆16奈米場效電晶體所組成的靜態隨機讀取記憶體，我們

用絕緣層上矽鍺式場效電晶體結構取代平面場效應電晶體來做進一步研究。6顆絕緣層上矽鍺式場效電晶體靜態隨機讀取記憶體的靜態雜訊邊界下降至大約125毫伏特，然而靜態雜訊邊界變異壓抑到剩下5.4毫伏特。結果顯示絕緣層上矽鍺式場效電晶體的製程技術發展在16奈米技術的時代是相當重要與值得研究的方向之一。

## 誌謝

此研究感謝行政院國科會科計畫(NSC) (計畫編號：NSC-97-2221-E-009-154-MY2) 之經費補助。並感謝台積電提供元件樣本製造與實驗量測的幫忙與討論。

## 參考文獻

- [1] International Technology Roadmap for Semiconductors, <http://www.itrs.net/>
- [2] Millar, C.; Reid, D.; Roy, G.; Roy, S.; Asenov, A. *IEEE Electron Device Letters* 2008, 29, 846.
- [3] Wong, H.-S.; Taur, Y. and Frank, D. J. *Microelectronics Reliability* 1999, 38, 1447.
- [4] Brown, A.; Asenov, A. *J. Comp. Elect.* 2008, 7, 115.
- [5] Asenov, A.; Saini, S. *IEEE Trans. Electron Device* 1999, 46, 1718.
- [6] Li, Y.; Yu, S.-M.; Hwang, J.-R.; Yang, F.-L. *IEEE Trans. Electron Device* 2008, 55, 1449.
- [7] Li, Y.; Yu, S.-M. *IEEE Trans. Semi. Manufacturing* 2007, 20, 432.
- [8] Li, Y.; Hwang, C.-H. *J. Appl. Phy.* 2007, 102, 084509.
- [9] Li, Y.; Hwang, C.-H.; Huang, H.-M. *Physica Status Solidi (a)* 2008, 205, 1505.
- [10] Mahmoodi, H.; Mukhopadhyay, S.; Roy, K. *IEEE Journal of Solid-State Circuits* 2005, 40, 1787.
- [11] Balasubramanian A; Fleming, P. R.; Bhuvana, B L; Sternberg, A. L.; Massengill, L. W. *IEEE Trans. Device Mater. Reliab.* 2003, 8, 135.
- [12] Asenov, A.; Kaya, S.; Brown, A. R. *IEEE Transactions on Electron Devices* 2003, 50, 1254.
- [13] Brown A.; Asenov, A. *J. Comp. Elect.* 2008, 7, 115.
- [14] Mahmoodi, H.; Mukhopadhyay, S.; Roy, K. *IEEE Journal of Solid-State Circuits* 2005,

- 40, 1787.
- [15] Tang, X.; Bowman, K. A.; Eble, J. C.; De, V. K.; Meindl, J. D. *Proc. 29th European Solid-State Device Research Conf.* 1999, 184.
- [16] Keyes, R. W. *Appl. Phys.* 1975, 8, 251.
- [17] Francis, P.; Terao, A.; Flandre, D. *IEEE Trans. Electron Devices* 1994, 41, 715.
- [18] Tang, X.-H.; De, V. K.; J. D. Meindl *IEEE Trans. VLSI Syst.* 1997, 5, 369.
- [19] Stolk, P. A.; Widdershoven, F. P.; Klaassen, D. B. M. *IEEE Trans. Electron Devices* 1998, 45, 1960.
- [20] Li, Y.; Yu, S.-M. *Jpn. J. Appl. Phys.* 2006, 45, 6860.
- [21] Yang, F.-L.; Hwang, J.-R.; Li, Y. *IEEE Custom Integrated Circuits Conf.* 2006 691
- [22] Li, Y.; Yu S.-M.; Chen, H.-M. *Microelectron. Eng.* 2007, 84, 2117.
- [23] Yasuda, Y.; Takamiya, M.; Hiramoto, T. *IEEE Trans. Electron Devices* 2000, 47, 1838.
- [24] Asenov A.; Saini, S. *IEEE Trans. Electron Devices* 1999, 46, 1718.
- [25] Noda, K.; Tatsumi, T.; Uchida, T.; Nakajima, K.; Miyamoto, H.; Hu C. *IEEE Trans. Electron Devices* 1998, 45, 809.
- [26] Takeuchi, K.; Tatsumi, T.; Furukawa, A. *IEDM Tech. Dig.*, 1997, 841.
- [27] Roy, G.; Brown, A. R.; Adamu-Lema, F.; Roy, S.; Asenov, A. *IEEE Trans. Electron Devices* 2006, 53, 3063.
- [28] Gross, W. J.; Vasileska, D.; Ferry, D. K. *IEEE Electron Device Lett.* 1999, 20, 463.
- [29] Li, Y.; Hwang, C.-H. *Microelectron. Eng.* 2007, 84, 2093.
- [30] Tanabe, R.; Ashizawa,; Oka, Y. H. *Proc. Simulation of Semiconductor Processes and Device Conf.* 2006, 103.
- [31] Cheng, B.; Roy, S.; Roy, G.; Asenov, A. *Proc. Int. Solid-State Integrated Circuit Technol. Conf.*, 2006, 1290
- [32] Cheng, B. S.; Roy, Roy, G.; Brown, A.; Asenov A. *Proc. 36th Eur. Solid-State Device Research Conf.* 2006, 258.
- [33] Mahmoodi, H.; Mukhopadhyay, S.; Roy, K. *IEEE J. Solid-State Circuits* 2005, 40, 1787.
- [34] Tang, X.; Bowman, K. A.; Eble, J. C.; De, V. K.; Meindl, J. D. *Proc. 29th Eur. Solid-State Device Research Conf.* 1999, 184
- [35] Springer, S.; Lee, K. S.; Lu, N.; Nowak, E. J.; Plouchart, J.-O.; Watts, J. S.; Williams, R. Q.; Zamdmer N. *IEEE Trans. Electron Devices* 2006, 53, 2168.
- [36] Ancona, M. G.; Tiersten, H. F. *Phys. Rev. B* 1987, 35, 7959.
- [37] Li, Y.; Lu, H.-M.; Tang, T.-W.; Sze, Simon M. *Math. Comp. Simulation* 2003, 62, 413.
- [38] Li, Y.; Sze, S. M.; Chao, T. S. *Eng. Comput.* 2002, 18, 124.
- [39] Li, Y.; Huang, J.-Y.; Lee, B.-S. *Semiconductor Science and Technology* 2008, 23, 015019.
- [40] Li, Y.; Yu, S.-M.; Hwang J.-R.; Yang, F.-L. *IEEE Trans. Electron Device* 2008, 55, 1449.