

混合基片奈米 CMOS 元件技術中各種應力效應 對傳輸特性及可靠性影響的研究

Investigation of Strain Effects on the Transport and Reliabilities in The Hybrid Nanoscale CMOS Devices

計畫編號：NSC96-2628-E009-168-MY3

執行期限：96年8月1日至97年7月31日

主持人：莊紹勳 教授 國立交通大學電子工程學系

一、 中文摘要

當超大型積體電路元件進入奈米世代之後(<100nm)，元件通道長度將因為進入奈米尺度，載子傳輸的彈道傳輸特性將越來越重要。在本計劃第一年中，吾人將研究應變矽工程(strain engineering)對於 CMOS 元件的導通電流與其彈道傳輸特性之關聯與影響。而這之中的關聯可以以通道載子向後散射率(channel backscattering rate)以及載子入射速度(injection velocity)，這兩個實驗參數來描述。

我們探討了 nMOSFET 與 pMOSFET 的通道載子彈道傳輸特性與不同元件基底方向之關聯，藉由選擇不同元件基底方向，可以達成減低通道載子向後散射率以及提高載子入射速度。

本次計劃結果指出:(1)對於 nMOSFETs 而言，(100)的元件基底方向比其他元件基底方向有著較好的載子彈道傳輸特性。另一方面，(2)對於 pMOSFETs 而言(110)方向的元件其載子彈道傳輸特性相較於其他的方向有更好的載子彈道傳輸特性，又使用 <112>通道方向的元件其電流增強性非常顯著。

最後針對本次計劃結果，一個關於如何設

計一個高效能的 CMOS 元件的設計準則被提出。將對通道長度為 45nm 及其以後的 CMOS 元件設計方向將有顯著貢獻。

關鍵詞：CMOS 元件、彈道傳輸、應變工程、元件可靠性

Abstract

As device channel length continues to scale beyond 90nm, carrier transport in the ballistic regime becomes critically important. The channel backscattering and injection velocity of carriers in advanced CMOS devices are the two key parameters for achieving high drain current enhancement. For the first time, an extensive study of these transport parameters for different substrate orientations has been evaluated for both nMOSFET and pMOSFET. By suitably choosing the substrate orientation, it may achieve a reduced backscattering and an increased injection velocity, which is preferable for designing high performance logic CMOS devices. Results show that, in pMOSFET, (110) substrate is preferred and current enhancement can be greatly enhanced in the <112> channel. In comparison, (110) substrate in nMOSFET has an adverse effect in reducing driving

current as a result of poorer transport characteristics. Therefore, (100) substrate is expected for nMOSFET design. A guideline is then summarized for the optimum design of high performance CMOS devices.

二、 計劃緣由與目的

CMOS 元件通道長度微縮到 90nm 以下，降低氧化層厚度及提昇通道載子移動率(mobility)，可以大幅提昇驅動電流大小。提昇 nMOSFET 及 pMOSFET mobility(即 mobility enhancement)是目前 logic technology 繼續往下 scaling 的關鍵技術之一。此一 mobility enhancement 大致分為 uniaxial strain 及 biaxial strain 二種。Uniaxial strain 大多以製程方式產生，如 SiN capping layer [1]、STI [2]、embedded S/D[3]等。Biaxial strain 大多為二維形式的 strain，有 Si/SiGe[4-7]、不同 substrate orientation[8-9]等。

前者 uniaxial strain [1-3]，使用製程簡單的方式使元件產生 strain，較容易實現，目前一致的見解是 nMOS 與 pMOS 採用不同的 strain。就後者 biaxial strain[4-9]技術而言，提昇元件 mobility，以及它的 driving current，製程及結構上有二種途徑，例如，其中一系列採用 (100) substrate 的 strained-Si/SiGe/bulk 結構 [4-5]、strained-Si/SiGe/SOI 結構 [6-7]。這二種結構的效果是可以大幅提昇 n-MOSFET 及 p-MOSFET mobility。惟缺點是 n-MOSFET 提昇程度較 p-MOSFET 高很多，在 logic CMOS 的應用上，產生 driving current 的不平衡。因此，有另一種採用 hybrid substrate[8-9]，來有效提昇 p-MOSFET mobility，例如：**(110)-surface strained** 的

結構[6-7]，可以大幅提昇 hole mobility 以及小幅提昇 electron mobility。現階段，各種 strained-Si 結構，多屬研究階段，必須經過一段時日驗證後，才有可能為工業界採用。總之，strained-Si 技術雖有優點：如提昇二倍 mobility，進而提高 driving current；但有多項問題待釐清，例如：Ge 含量的控制、Ge 跑到 SiO₂-Si 界面引起的可靠性、V_T 的不易控制、NBTI(Negative Bias Instability)及溫度效應等問題[10]。

另一方面，有關上述元件的 driving current 的提昇，可以 ballistic transport 理論來描述，此一理論為 I_{dsat} 決定於二重要參數 V_{inj}、r_c：[11]

$$I_{dsat} = W * V_{inj} * C_{eff} * (V_G - V_{t,sat}) * (1 - r_c) / (1 + r_c)$$

其中，V_{inj}、r_c 分別為載子入射速度及反射係數。好的元件設計，V_{inj} 越大 r_c 越小，是最佳選擇。Strain 過後的元件，V_{inj} 通常較 control 元件提高很多，r_c 則是代表載子由 source 到達 drain 之後反射量的多寡。圖 1 概念式地展示了通道載子傳輸的彈道傳輸特性。當載子通過通道時，通道能障會使得部份載子被反射，這個現在可以用 r_c 來描述。根據這個概念。吾人利用不同地溫度量測方法。可以利用實驗的方法將載子傳輸效率與入射速度粹取出來。如表 1 所示。以往有很多的研究探討：(1) V_{inj}、r_c 係數的計算[12-13]，(2) 結構改變對 transport 參數的影響[14]。在本次計劃中，對於 nMOSFET 和 pMOSFET 的通道載子彈道傳輸特性與通道方向和基底方向的關聯將被有系統完整地探討。本次的工作將提供如何設計高效能的 CMOS 元件的一些設計準則。

利用前瞻的 CMOS 邏輯元件半導體製造技

術，吾人製備了一系列通道短于100nm的各式不同通道和基底方向的nMOSFET和pMOSFET元件，如圖2所示，有<100>/<110>、<111>/<110>、和<112>/<110>各式不同的方向，圖3展示了基底方向為(100)和(110)的矽晶體方向。圖4展示了這些元件的載子遷移率，吾人觀察到對於nMOSFET而言(100)/<100>方向之元件有較好的電流增強效應，另一方面，對於pMOSFET而言(110)/<111>和(110)/<112>方向之元件有著較好的電流增強效應。

三、 結果與討論

圖5展示了 λ/l_0 值對不同的通道長度之圖，可以透過此值來計算不同的通道長度之 r_c 值。如果 r_c 越小，則元件的效能表現會越好。因此同樣的道理，我們希望得到較高的 λ/l_0 值。圖6展示了 r_c 對不同的通道長度之圖。更進一步地，我們利用了 $B_{sat} = (1 - r_c)/(1 + r_c)$ 來求得不同通道長度的 B_{sat} 值。圖7為nMOSFET和pMOSFET的 B_{sat} 值對不同通道長度之圖。我們觀察到pMOSFET的<112>/<110>之 B_{sat} 值比其他的方向都要來的大。另一方面nMOSFET的<111>/<110>之 B_{sat} 值亦比其他的方向都要來的大。這表示了在這些方向中pMOSFET或nMOSFET的通道載子遭受較小的散射效應。圖8展示了入射速度對於不同通道長度在不同的通道方向之圖，圖9展示了利用Fowler-Nordheim萃取有效質量對於不同通道與基底方向之圖形。此圖說明了有較小有效質量的元件能夠得到較大的 V_{inj} 。圖10進一步地展示了電流增強與 B_{sat} 和 V_{inj} 之對應關係。對於通道長度為<112>基底長度為(110)的nMOSFET而言。 B_{sat} 和 V_{inj} 之值都比控制樣品的值還小，但是通道長度為<111>而基底長度為(110)的nMOSFET的 B_{sat} 值在

短通道時候增加的比較明顯。這表示了如果我們針對<111>/<110>的nMOSFET繼續微縮下去的話， r_c 將可被改善。因此，對於nMOSFET而言 V_{inj} 的減少是導致 I_{Dsat} 衰退的原因。同樣地，吾人亦對pMOSFET做了電流增強與 B_{sat} 和 V_{inj} 之對應關係之圖，如圖11所示。我們在這張圖觀察到：(1)對於通道方向為<112>而基底方向為(110)的pMOSFET而言， B_{sat} 和 V_{inj} 都有所增強，但是對於通道方向為<111>而基底方向為(110)的pMOSFET而言， B_{sat} 卻是減小的。(2)對於這兩個通道方向而言， I_{dsat} 的增加皆來自於 V_{inj} 的增強。最後表2整理了本次結果的重點。此表強調了對於nMOSFET和pMOSFET而言， V_{inj} 是造成 I_{dsat} 增強的重要因素，特別是針對pMOSFET而言， B_{sat} 和 V_{inj} 皆能增強通道方向為<112>基底方向為(110)元件的導通電流。

針對不同通道和基底方向對於驅動電流增強的影響，吾人在這一計劃中首次完整且詳細的研究。我們利用了通道載子彈道傳輸特性的兩個重要的參數- B_{sat} 和 V_{inj} 來探討nMOSFET和pMOSFET的通道載子傳輸特性。針對一個最佳化的CMOS設計準則必須提升 V_{inj} 並降低 r_c 。這本計劃中發現到：(1)對於pMOSFET設計而言，通道方向為<112>而基底方向為(110)能夠同時提升 V_{inj} 與 B_{sat} ，為最好的設計方案。但是另一方面，對於nMOSFET而言，基底為(110)方向的元件卻不能提升元件的驅動電流，這是因為較差的傳輸特性所致。不過(100)基底却有著不錯的傳輸特性表現。總而言之，這更進一步證明了為什麼混合基底型的元件技術能夠實現CMOS元件的驅動電流最佳化。

四、 計劃成果自評

本計劃第一年，研究混合型晶格方向通道對元件之驅動電流與載子彈道傳輸特性之影響，將其研究成果應用於新型的不同混合型晶格通道元件上，此一研究方向，是目前最為有效能夠實現 CMOS 元件的驅動電流最佳化的主題。且利用載子彈道特性來解釋元件驅動電流與不同晶格方向之元件，亦是一大突破。相關的論文也陸續發表中，也有部份可以提出專利申請。研究的成果已發表 2 篇國際會議論文 [15-16]。第二年的研究重點為探討元件受應變結構影響與可靠性的關係。

五、參考文獻

- [1] K. Ota et al., in *Tech. Dig. IEDM*, pp. 27-30, 2002.
- [2] K. Ota et al., in *Symposium on VLSI Tech.*, pp. 138-139, 2005.
- [3] T. Ghani et al., in *Tech. Dig. IEDM*, pp. 978-979, 2003.
- [4] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 59-60, 2001.
- [5] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 98-99, 2002.
- [6] T. Mizuno et al., in *Symposium on VLSI Tech.*, pp. 106-107, 2002.
- [7] T. Mizuno et al., in *IEDM Tech. Digest*, p. 31-34, 2002.
- [5] J. R. Hwang et al., in *Symposium on VLSI Tech.*, pp. 90-91, 2004.
- [8] M. Yang et al., in *Tech. Dig. IEDM*, pp. 453-456, 2003.
- [9] S. S. Chung et al., in *Tech. Dig. IEDM*, pp. 567-570, 2005.
- [10] S. S. Chung et al., in *Symposium on VLSI Technology*, pp. 86-87, 2005.
- [11] M. Lundstrom, *IEEE EDL*, p. 361, 1997.
- [12] M. J. Chen et al., *IEEE Trans. on Electron Devices*, Vol. ED-51, p. 1409, 2004.
- [13] H. N. Lin et al., in *Symposium on VLSI Technology*, p. 174, 2005.
- [14] H. N. Lin et al., in *Tech. Dig. IEDM*, p. 147, 2005.
- [15] Y. J. Tsai et al., *Proc. of VLSI-TSA*, pp. 33-34, 2007.
- [16] Y. J. Tsai et al., *Silicon Nanoelectronics Workshop*, pp. 19-20, 2007.

$$I_{D,sat} @ V_G - V_{T,sat} = 1V = V_D$$

$$V_{T,sat} = V_{T,0} @ |VD|=25mV - DIBL$$

$$r_c = \frac{1}{1 + \lambda_0 / l_0} \quad B_{sat} = \frac{1 - r_c}{1 + r_c}$$

$$V_{inj} = \frac{I_{D,sat}}{W \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})}$$

$$\alpha = \frac{I_{D,sat} - I_{D,sat1}}{(T_1 - T_2) \cdot I_{D,sat}} \quad \eta = \frac{V_{T,sat1} - V_{T,sat2}}{T_1 - T_2}$$

$$\frac{\lambda_0}{l_0} = \frac{4}{0.5 - [\alpha + \frac{\eta}{(V_D - V_{T,sat})}] \cdot T} - 2$$

表一 此表的公式流程圖用來決定通道載的彈道傳輸的兩個主要的係數, 載子入射係數, V_{inj} , 和載子彈道傳輸係數, B_{sat} .

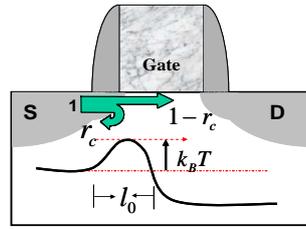


圖1 此一概念圖展示了載子傳輸的機制, 圖中 r_c 為backs -cattering coefficient. $k_B T$ 是通道能障高度利用 r_c 可以決定載子的入射速度, injection velocity, V_{inj}

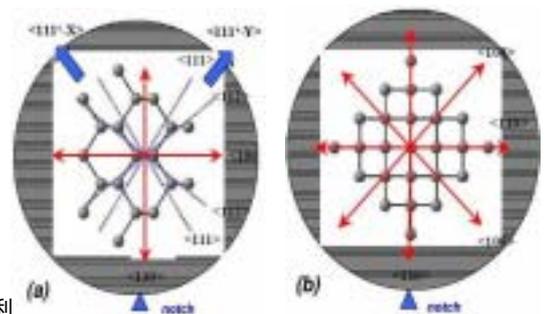


圖3 此圖為矽晶圓(110)和(100)晶格方向的俯視圖

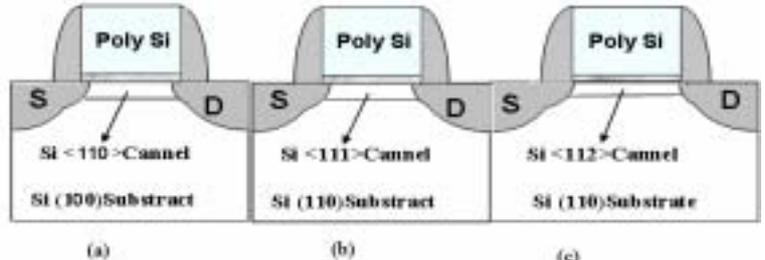


圖2 本計劃使用到的nMOSFET與pMOSFET之顏面圖, (a)control (b)<111>/<110> (c)<112>/<110>

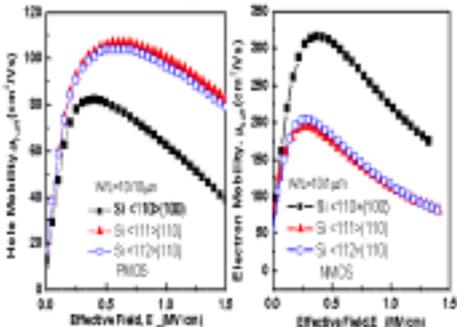


圖4 不同矽晶圓方向的載子遷移率. 我們觀察到pMOSFET的<111>和<112>通道其載子遷移率最大.

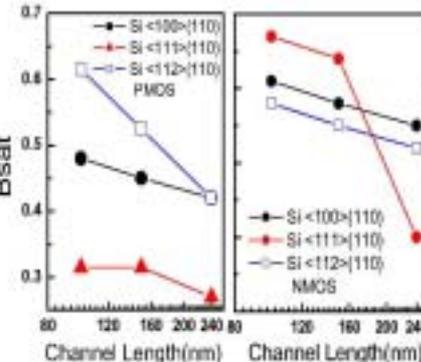


圖7 此圖展示了從實驗數值中計算得到的參數, B_{sat} . $B_{sat} = (1 - r_c) / (1 + r_c)$

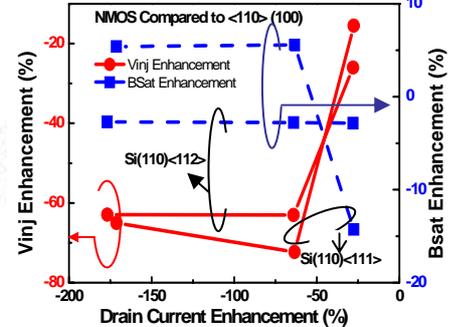


圖10 針對pMOSFETs, B_{sat} 和 V_{inj} 增強比例對導通電流 I_{dsat} 作圖我們觀察到<112>/<110>的 B_{sat} 和 v_{inj} 增強效果顯著

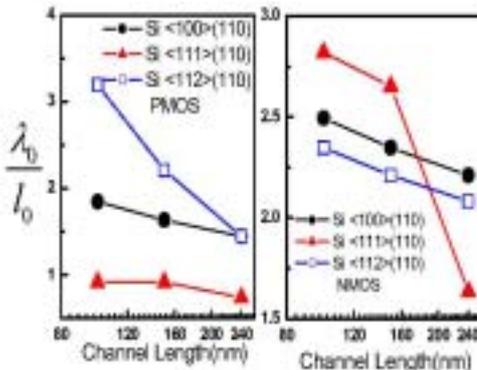


圖5 從實驗值中所粹取的表一中的物理參數值

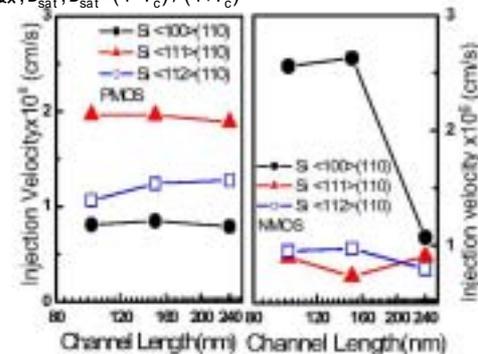


圖8 此圖展示了從實驗數值中計算得到的參數, V_{inj}

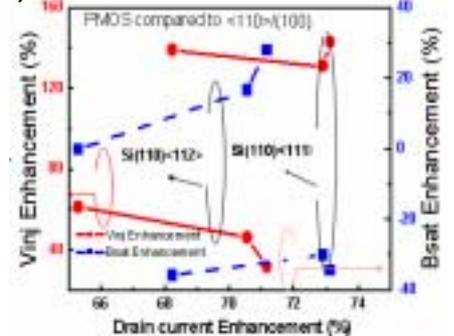


圖11 針對nMOSFETs, B_{sat} 和 V_{inj} 增強比例對導通電流 I_{dsat} 作圖我們觀察到<111>/<110>的 v_{inj} 增強效果顯著

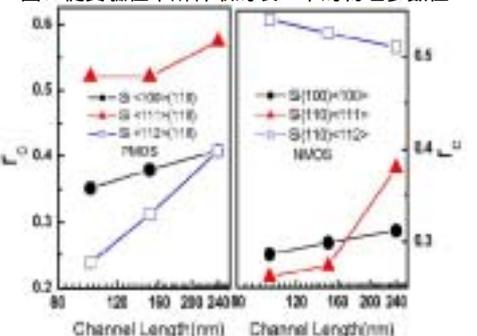


圖6 此圖展示了從實驗數值中計算得到的參數, r_c . 我們觀察到對於pMOS而言<112>/<110>以及對於nMOS而言<111>/<110>的 r_c 值最低

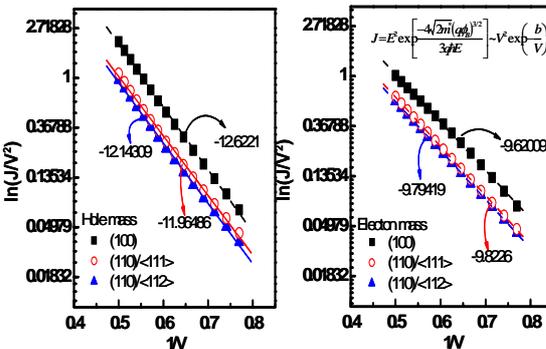


圖9 此圖使用了Fowler-Nordheim電流來決定有效質量. 有效質量與 V_{inj} 是自洽的

	B_{sat}	V_{inj}
NMOS	(110) <111>	↑
	(110) <112>	↓
PMOS	(110) <111>	↓
	(110) <112>	↑

表2 針對所有的測試元件, 我們將其 B_{sat} 和 V_{inj} 的特性做一整理比較