

混合基片奈米 CMOS 元件技術中各種應力效應 對傳輸特性及可靠性影響的研究(2/3)

Investigation of Strain Effects on the Transport and Reliabilities in the Hybrid-Substrate Nanoscale CMOS Devices

計畫編號：NSC96-2628-E009-168-MY3

執行期限：97年8月1日至98年7月31日

主持人：莊紹勳 教授 國立交通大學電子工程學系

一、 中文摘要

當超大型積體電路元件進入奈米世代之後(<90nm), 元件通道長度將因進入奈米尺度後, 載子傳輸的彈道傳輸特性將越來越重要。本計劃第二年, 吾人研究應變矽工程(strain engineering), 單軸(uniaxial)與雙軸(biaxial)效應對於 CMOS 元件的趨動電流(driving current)與其彈道傳輸(ballistic transport)特性之關聯與影響。

我們製作了不同應變效應的 nMOSFET 與 pMOSFET 的元件。藉由選擇不同的應變作用力施加於元件上, 可以達成減低通道載子向後散射率(backscattering)以及提高載子入射速度(injection velocity)。

本次計劃, 我們提供一項 CMOS 元件應變技術的技術藍圖。實驗結果進一步指出:(1) 對於 nMOSFETs 而言, 施加接觸孔蝕刻停止層(CESL)之單軸伸張應力(uniaxial tensile-stress)較應變矽鍺(strained-SiGe)之雙軸應力(biaxial stress)更加提高驅動電流。另一方面, (2) 對於 pMOSFETs 而言, 施加壓縮應力(compressive strain) 且同時使用接觸孔蝕刻停止層與雙軸應力時, 可同時提高載子入射速度及降低載子向後散射率。

最後, 我們提出關於如何設計一個高效能的 CMOS 元件的設計準則。對通道長度為 45nm 及其以後的 CMOS 元件設計方向將有顯著貢獻。

關鍵詞：CMOS 元件、彈道傳輸、應變工程、元件可靠性

Abstract

As device channel length continues to scale beyond 90nm, carrier transport in the ballistic regime becomes critically important. In the second year, the focus has been paid on studying the correlation between the strain techniques and the CMOS driving current as well as the transport characteristics.

We have fabricated nMOSFET and pMOSFET with various strains. By using these techniques, driving current can be enhanced in reducing the backscattering and increasing the injection velocity.

For the first time, a roadmap has been established from experimental strained CMOS devices. Experimental verifications further showed that: (1) For nMOSFETs, it shows that uniaxial tensile-stress using CESL is more efficient in current

enhancement than the biaxial stress with bulk strained-SiGe technique. (2) For the pMOSFETs, compressive stress using uniaxial or biaxial has been evaluated for various structures. It was found for the first time that both reflection coefficient and the injection velocity can be enhanced in a specific pMOSFET structure with a combination of CESL and biaxial strain. These results provide a guideline for designing high performance strained technology for CMOS devices with 45nm technology node in the ballistic transport regime.

二、 計劃緣由與目的

CMOS 元件通道長度微縮到 90nm 以下，降低氧化層厚度及提昇通道載子移動率(mobility)，可以大幅提昇驅動電流大小。提昇 nMOSFET 及 pMOSFET mobility(即 mobility enhancement)是目前 logic technology 向下 scaling 的關鍵技術之一。此一 mobility enhancement 方法大致分為 uniaxial strain 及 biaxial strain 二種。Uniaxial strain 多以製程方式產生，如 SiN capping layer [1]、STI [2]、embedded S/D[3] 等。Biaxial strain 大多為二維形式的 strain，有 Si/SiGe[4-7]、不同 substrate orientation[8-9] 等。

前者 uniaxial strain [1-3]，使用製程簡單的方式使元件產生 strain，較容易實現，目前一致的見解是 nMOS 與 pMOS 採用不同的 strain。就後者 biaxial strain[4-9] 技術而言，提昇元件 mobility，以及它的 driving current，製程及結構上有二種途徑，例如，其中一系列採用 (100) substrate 的

strained-Si/SiGe/bulk 結構 [4-5]、strained-Si/SiGe/SOI 結構[6-7]。這二種結構的效果是可以大幅提昇 nMOSFET 及 pMOSFET mobility。惟缺點是 nMOSFET 提昇程度較 pMOSFET 高很多，在 logic CMOS 的應用上，產生 driving current 的不平衡。因此，有另一種採用 hybrid substrate[8-9]，來有效提昇 p-MOSFET mobility，例如：**(110)-surface strained** 的結構[6-7]，可以大幅提昇 hole mobility 以及小幅提昇 electron mobility。現階段，各種 strained-Si 結構，多屬研究階段，必須經過一段時日驗證後，才有可能為工業界採用。總之，strained-Si 技術雖有優點：如提昇二倍 mobility，進而提高 driving current；但有多項問題待釐清，例如：Ge 含量的控制、Ge 跑到 SiO₂-Si 界面引起的可靠性、VT 的不易控制、NBTI (Negative Bias Instability) 及溫度效應等問題[10]。

另一方面，有關上述元件的 driving current 的提昇，可以 ballistic transport 理論來描述，此一理論為 $I_{d,sat}$ 決定於二重要參數 V_{inj} 、 r_c [11]:

$$I_{dsat} = W * V_{inj} * C_{eff} * (V_G - V_{t,sat}) * (1 - r_c) / (1 + r_c)$$

其中， V_{inj} 、 r_c 分別為載子入射速度及反射係數。好的元件設計， V_{inj} 越大而 r_c 越小，是最佳選擇。受 Strain 之元件， V_{inj} 通常較 control 元件提高很多， r_c 則是代表載子由源極(source)入射經通道(channel)到達汲極(drain)之間反射機率的高低。**圖 1** 展示了通道載子傳輸的彈道傳輸特性。當載子通過通道時，通道能障會使得部份載子被反射，由上述理論可以用 r_c 來描述。根據這個概念，吾人利用變動溫度量測的方法，經由實驗將載子傳輸效率與入射速

度粹取出來。如表 1 所示。以往有許多的研究探討: (1) V_{inj} 、 r_c 係數的計算[12-13]，(2) 結構改變對 transport 參數的影響[14]。在本次計劃中,對於 nMOSFET 和 pMOSFET 的通道載子彈道傳輸特性與受不同應變作用力之元件的關聯,將完整且有系統的探討,並於不同應變作用力方面,提出高效能 CMOS 元件的設計準則。

利用前瞻的 CMOS 邏輯元件半導體製造技術,吾人製備了一系列 70nm 到 120nm 之通道長度,包含三種應力條件: tensile-cap (uniaxial) Si-channel, strained-Si/SiGe, compressive SiGe-channel 的 nMOSFET 和 pMOSFET 元件,各自有 1.4nm 的閘極氧化層 (gate oxide)。此外,為了表現高效能的元件特性,分別為 nMOS 選擇了 (100)/ $\langle 110 \rangle$ 的基底和矽晶體方向,為 pMOS 選擇了 (110)/ $\langle 110 \rangle$ 的方向,如圖 2 所示。

三、 結果與討論

(1) Uniaxial 和 Biaxial Strained nMOSFET

第一組探討的元件為 nMOSFET 之 tensile-cap layer 和 control sample,其剖面圖如圖 3 所示。圖 4 表示受 tensile-cap 之元件較 control sample 提高了 34% 之電流。而藉由表 1 之分析流程,吾人將此二種元件與不同通道長度的 r_c 與 V_{inj} 量測結果表示於圖 5。圖 6 則表示由圖 5 所計算而得之彈道傳輸效率 (Ballistic efficiency)。為了研究單軸 (uniaxial) 與雙軸應力 (biaxial-stress) 的不同效應,吾人準備了另一組 nMOSFET 包含 bulk-Si 與 biaxial strained-Si/SiGe 元件,如圖 7 所示。圖 8 表示兩者之 $I_{on}-I_{off}$ 特性,顯示 biaxial

strained-Si/SiGe 較 bulk-Si 元件增強了 30%。同時,吾人遵循表 1 之實驗流程,將此組元件之不同通道長度的 r_c 與 V_{inj} 量測結果示於圖 9。為了瞭解 B_{sat} 和 V_{inj} 在不同應力情況增加的現象,電流增強與其函數關係圖形表示於圖 10。結果顯示:因 uniaxial-strained 元件對於 biaxial 元件有較大的 B_{sat} 和 V_{inj} 的增強效果,故前者有較大的汲極電流增強,尤其在 V_{inj} 上,uniaxial-strained 有極大的增強效果。這表示對 nMOSFET 施加單軸應力對於電流提升有相當大的助益。

(2) 高電流增益 SiGe-Channel pMOSFET

為了探討矽鍺通道 (SiGe-channel) pMOSFET 元件的載子傳輸特性,吾人準備了數種不同的元件,包括 bulk-Si、biaxial strained-Si/SiGe 和加入 strained-cap 之 SiGe-channel,如圖 11 所示,並在圖 12 表示其電流增強效果。特別要提的是,元件 (c) 的結構為矽鍺通道 (SiGe-channel) 加上接觸孔蝕刻停止層 (CESL)。結果顯示:biaxial strained-Si/SiGe 元件較 bulk-Si 元件增強了 5% 的電流,而 strained-cap 之 SiGe-channel 元件則大幅增加了 22% 的電流。圖 13 與圖 14 分別表示經計算而得的 r_c 、 V_{inj} 與電流增強與其函數關係圖形,結果顯示同時有 SiGe 與 CESL 的元件 (c) 在 B_{sat} 和 V_{inj} 上均有增加,此結果與之前報導的有 SiGe S/D 之單軸應力元件與有 CESL 之單軸應力元件結果有若干不同[13-14]。經由這些驗證過程,同時使用雙軸應力與 CESL 之 pMOSFET 元件可以大幅增強 B_{sat} 和 V_{inj} 。

(3) 高效能 CMOS 元件設計準則

吾人將上述包括 nMOSFET 與 pMOSFET 結果整理如圖 15，可得到以下重要結果：

(1) 對於 nMOSFET 而言，使用 CESL 或者 uniaxial strain 對於電流增強有較好的效果。(2) Strain-Si/SiGe 之雙軸應力技術，對於元件效能並無助益，因其電流增強效果不佳與鍍外擴散(Ge out-diffusion)效應。(3) 對於 pMOSFET 而言， B_{sat} 在 SiGe-channel 同時有 CESL 的結構下，有顯著的增加。而 uniaxial strained [13]和 SiGe S/D [14]元件反而下降。因此，由此次研究結果，提供了同時達成 B_{sat} 和 V_{inj} 增強的方法，亦是在此工程領域中首次提出此重大的發現。最後，反射係數 r_c 與元件通道長度的技術藍圖如圖 16 所示，其中本計劃所使用的元件擁有最好的效能與最低的反射係數，有著令人耳目一新的亮眼表現。

針對不同通道應力作用對於驅動電流增強的影響，吾人在這一計劃中首次完整且詳細的研究。我們利用了通道載子彈道傳輸特性的兩個重要的參數： B_{sat} 和 V_{inj} 來探討 nMOSFET和pMOSFET的通道載子傳輸特性。針對一個最佳化的CMOS設計準則必須提升 V_{inj} 並降低 r_c 。本次計劃中發現到：(1)對於nMOSFETs而言，施加接觸孔蝕刻停止層(CESL)之單軸伸張應力(uniaxial tensile-stress)較應變矽鍍(stained-SiGe)之雙軸應力(biaxial stress)能提高驅動電流。另一方面，(2)對於pMOSFETs而言，施加壓縮應力(compressive stress)且同時使用接觸孔蝕刻停止層(CESL)與雙軸應力(biaxial strained)時，可同時提高載子入射速度及降低載子向後散射率。吾人最後提出了應變矽工程(strain engineering)對於 CMOS元件的Roadmap，並提供可應用於 45nm及以下的CMOS元件技術設計準則。

四、計劃成果自評

本計劃第二年，研究不同應變矽工程對元件之驅動電流與載子彈道傳輸特性之影響，將其研究成果做為選擇元件施加應力的考量，此一研究方向，是目前最為有效能夠實現 CMOS 元件的驅動電流最佳化的主題。且利用載子彈道特性來解釋元件驅動電流與不同應變力之關聯性，亦是一大突破。相關的論文也陸續發表中，也有部份可以提出專利申請。研究的成果已發表四篇國際會議論文[15-18]。另外，一篇 APL 期刊也正投稿中；其中一篇是該領域頂尖會議 IEDM 的邀請演講論文[18]，顯見本研究群在該領域的多年來研究，已受到國際的重視與肯定。本計劃的完成將對學術研究水準的提昇及工業界的實際應用上都有莫大的助益。

五、參考文獻

- [1] K. Ota et al., in *Tech. Dig. IEDM*, pp. 27-30, 2002.
- [2] K. Ota et al., in *Symposium on VLSI Tech.*, pp. 138-139, 2005.
- [3] T. Ghani et al., in *Tech. Dig. IEDM*, pp. 978-979, 2003.
- [4] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 59-60, 2001.
- [5] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 98-99, 2002.
- [6] T. Mizuno et al., in *Symposium on VLSI Tech.*, pp. 106-107, 2002.
- [7] T. Mizuno et al., in *IEDM Tech. Digest*, p. 31-34, 2002.
- [5] J. R. Hwang et al., in *Symposium on VLSI Tech.*, pp. 90-91, 2004.
- [8] M. Yang et al., in *Tech. Dig. IEDM*, pp. 453-456, 2003.

- [9] S. S. Chung et al., in *Tech. Dig. IEDM*, pp. 567-570, 2005.
- [10] S. S. Chung et al., in *Symposium on VLSI Technology*, pp. 86-87, 2005.
- [11] M. Lundstrom, *IEEE EDL*, p. 361, 1997.
- [12] M. J. Chen et al., *IEEE Trans. on Electron Devices*, Vol. ED-51, p. 1409, 2004.
- [13] H. N. Lin et al., in *Symposium on VLSI Technology*, p. 174, 2005.
- [14] H. N. Lin et al., in *Tech. Dig. IEDM*, p. 147, 2005.
- [15] Y. J. Tsai et al., *Proc. of VLSI-TSA*, pp. 33-34, 2007.
- [16] Y. J. Tsai et al., *Silicon Nanoelectronics Workshop*, pp. 19-20, 2007.
- [17] (invited) S. S. Chung et al., *Proceedings of 9th ICSICT*, session A3.1, 2008.
- [18] (invited) S. S. Chung et al., in *Tech. Dig. IEDM*, p. 435, 2008.

$$I_{D,sat} = W \cdot V_{inj} \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})$$

$$I_{D,sat} @ V_G - V_{T,sat} = 1V = V_D$$

$$V_{T,sat} = V_{T,lin} @ |VD|=25mv - DIBL$$

$$r_c = \frac{1}{1 + \lambda_0/l_0} \quad B_{sat} = \frac{1 - r_c}{1 + r_c}$$

$$V_{inj} = \frac{I_{D,sat}}{W \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})}$$

$$\alpha = \frac{I_{D,sat1} - I_{D,sat2}}{(T_1 - T_2) \cdot I_{D,sat2}} \quad \eta = \frac{V_{T,sat1} - V_{T,sat2}}{T_1 - T_2}$$

$$\frac{\lambda_0}{l_0} = \frac{4}{0.5 - [\alpha + \frac{\eta}{(V_G - V_{T,sat})}] \cdot T} - 2$$

表1 此表的公式流程圖用來決定通道子載的彈道傳輸的兩個主要的係數,載子入射係數, V_{inj} , 和載子彈道傳輸係數, B_{sat} 。

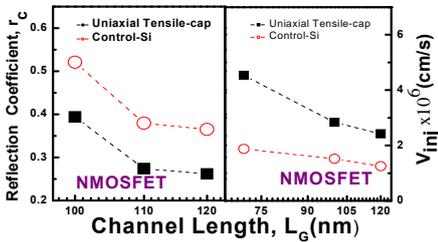


圖5 經由實驗結果計算而得之 r_c 與 V_{inj} 。Uniaxial strained 之 V_{inj} 對於 control device 有較大的提升。

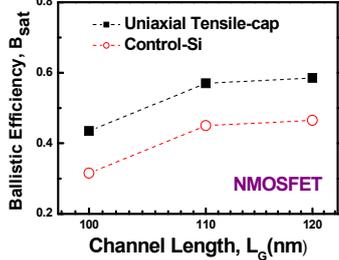


圖6 經由實驗結果計算而得之 B_{sat} 。Uniaxial tensile cap 之 B_{sat} 對於 control device 有相當大的提升。

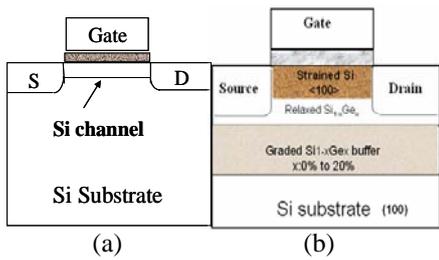


圖7 (a) Bulk-Si 與 (b) Biaxial strain-Si/SiGe nMOSFET 之剖面圖。

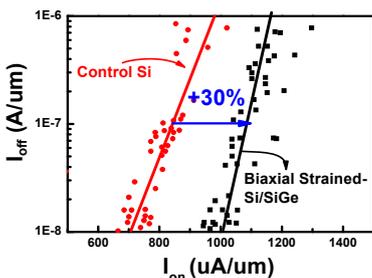


圖8 nMOSFET 之 I_{on} - I_{off} 特性。Biaxial-strain 較 control-Si 元件有 30% 的增強效果。

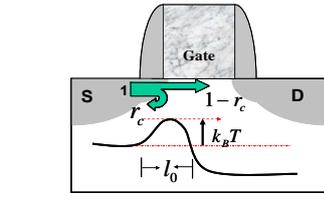


圖1 此一概念圖展示載子傳輸的機制, 圖中 r_c 為 backscattering coefficient, $k_B T$ 是通道能障高度利用 r_c 可以決定載子的入射速度, injection velocity, V_{inj} 。

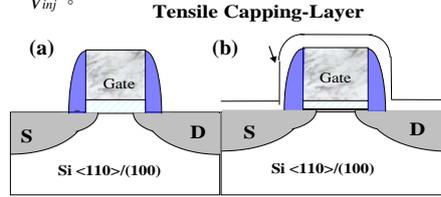


圖3 不同元件之剖面圖 (a) bulk-Si device (b) Si channel <110> with tensile-cap layer.

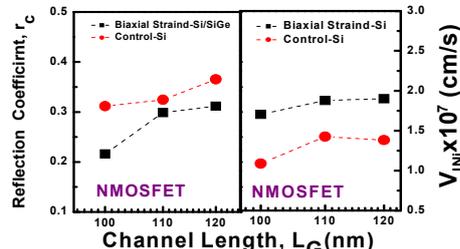


圖9 經由實驗結果計算而得之 r_c 與 V_{inj} 。兩個參數對於 Biaxial strained 均有較大的提升。

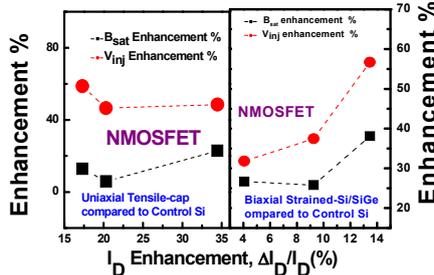


圖10 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。 V_{inj} 為決定 I_{on} 大小之關鍵參數。

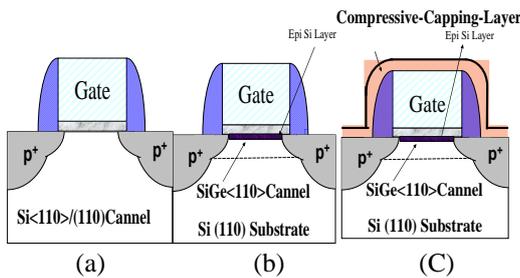


圖11 (a) Bulk-Si (b) Biaxial strained-Si/SiGe, 和 (c) SiGe channel 與 strained-Si cap 之 nMOSFET 剖面圖。

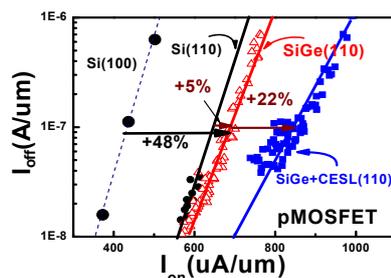


圖12 前述圖11中數種不同的 pMOSFET 元件之 I_{on} - I_{off} 特性。

Mobility	NMOSFET	PMOSFET
	Orientation (Substrate)/<channel>	Orientation (Substrate)/<channel>
High	(100)/<110>	(110)/<110>
Low	(111)/<112>	(110)/<100>
	(110)/<100>	(111)/<112>
	(110)/<110>	(100)/<110>

圖2 混合基片與奈米 CMOS 元件技術與電子遷移率 (mobility) 之關係。第一組為最好的 mobility 與 I_{on} 之增強效果。

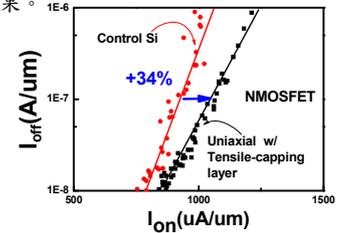


圖4 nMOSFET 之 I_{on} - I_{off} 電流特性之比較。結果顯示 Tensile-cap 較 Control-Si 元件有 34% 的提升效果。

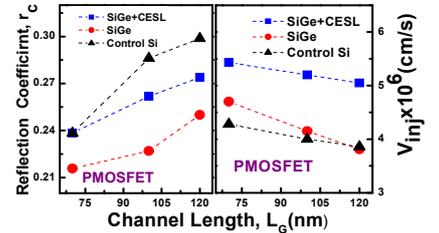


圖13 經由實驗結果計算而得之 r_c 與 V_{inj} 。Biaxial strained 對於 r_c 有改善, 而 uniaxial strain 使 r_c 變差。另外, 兩者均可使 V_{inj} 增強。

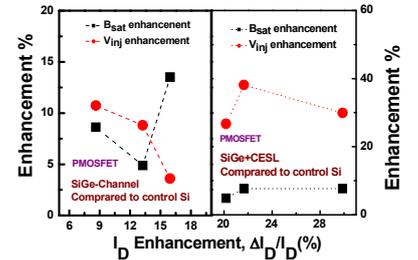


圖14 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。對於 SiGe+CESL, V_{inj} 為重要的決定因素, 而 SiGe channel 則否。

	NMOSFET Tensile-Strain		PMOSFET Compressive-Strain		Biaxial-Strain + CESL (this work)
	Biaxial-strain	Uniaxial-Strain (CESL)	Uniaxial-Strain (S/D) [14]	Uniaxial-Strain (CESL) [13]	
B_{sat}	↑	↑	↓	↓	↑
V_{inj}	↑	↑	↑	↑	↑

compared to control-Si device

圖15 不同元件結構對於 V_{inj} 與 B_{sat} 的效果摘要。而 pMOSFET 中, 先前的報導結果顯示 B_{sat} 變差效果, 而本計劃中之元件有改善效果。

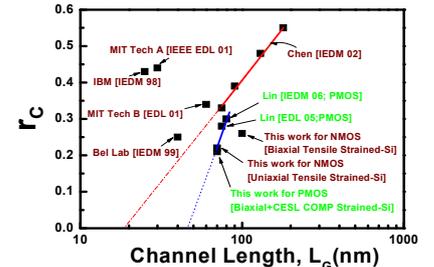


圖16 目前報導過的與本計劃的元件反射係數與其通道長度之技術藍圖。Strain 元件有較好的效能。