

混合基片奈米 CMOS 元件技術中各種應力效應 對傳輸特性及可靠性影響的研究

Investigation of Strain Effects on the Transport and Reliabilities in the Hybrid Nanoscale CMOS Devices

計畫編號：NSC96-2628-E009-168-MY3

執行期限：96年8月1日至99年7月31日

主持人：莊紹勳 教授 國立交通大學電子工程學系

一、 中文摘要

當超大型積體電路元件的發展進入奈米世代之後(<90nm),在準彈道傳輸下的載子傳輸特性愈趨於重要。而通道的後散射率(r_c)和載子的入射速度(V_{inj})是先進元件達到高導通電流增益的關鍵參數。我們研究應變矽工程(strain engineering)對於 CMOS 元件的導通電流與其彈道傳輸特性之關聯與影響。在本計劃第一年,我們探討了 nMOSFET 與 pMOSFET 的通道載子彈道傳輸特性與不同元件基底方向之關聯,藉由選擇不同元件基底方向,可以達成減低通道載子後散射率以及提高載子入射速度。結果指出:(100) 對於 nMOSFET 及(110) 對於 pMOSFET 的元件基底方向的元件其載子對於其他元件基底方向有較好的彈道傳輸特性,且使用<112>通道方向的 pMOSFET 元件其導通電流增強性非常顯著。此外,一個關於如何設計一個高效能的 CMOS 元件的設計準則被提出,將對先進 CMOS 元件設計方向將有顯著貢獻。

本計劃第二年,我們製作了不同應變效應的 nMOSFET 及 pMOSFET 元件來研究應變效應對於彈道傳輸參數的關連性且發表一對於應變 CMOS 元件的技術藍圖。實驗指出(1)對於 nMOSFETs 而言,

施加接觸孔蝕刻停止層(CESL)之單軸伸張應力(uniaxial tensile-stress)較應變矽鍺(strained-SiGe)之雙軸應力(biaxial stress)更加提高驅動電流。另一方面,(2) 對於 pMOSFETs 而言,施加壓縮應力(compressive strain)且同時使用接觸孔蝕刻停止層與雙軸應力時,可同時提高載子入射速度及降低載子向後散射率。

本計畫的最後一年,我們發表了一個決定彈道傳輸參數的新實驗方法,稱做飽和電壓方法($V_{D,sat}$ method)。利用這個方法,我們在對元件施以熱載子加壓(HC stress)的實驗結果顯示,後散射率的變化主導了導通電流的衰減。此外,入射速度對於導通電流的增強有強烈相關性,因而可被作為評估應變矽元件導通電流增強性的良好評估依據。最後,根據實驗的結果列出射入速度的技術藍圖,提供做為先進應變 CMOS 元件的設計參考。

關鍵詞：CMOS 元件、彈道傳輸、應變工程、元件可靠性

Abstract

As device channel length continues to scale beyond 90nm, carrier transport in the ballistic regime becomes critically important. The channel backscattering (r_c) and injection velocity (V_{inj}) of carriers in advanced

CMOS devices are the two key parameters for achieving high I_d current enhancement. In the first year, an extensive study of these transport parameters for different substrate orientations has been evaluated for both nMOSFET and pMOSFET. By suitably choosing the substrate orientation, it may achieve a reduced r_c and an increased V_{inj} . Results show that, (100) substrate in nMOSFET and (110) substrate in pMOSFET exhibit better transport characteristics than the other substrate orientations, and the high I_d enhancement of pMOSFET demonstrates in <112> channel orientation. Moreover, a guideline is then summarized for the optimum design of high performance CMOS devices.

In the second year, we have fabricated nMOSFET and pMOSFET with various strains for study on the relation between strain effect and ballistic transport parameters, and first established a roadmap from experimental strained CMOS devices. Experimental verifications showed that: (1) For nMOSFET, it shows that uniaxial tensile-stress using CESL is more efficient on I_d enhancement than the biaxial stress with bulk strained-SiGe technique. (2) For the pMOSFET, compressive stress using uniaxial or biaxial has been evaluated for various structures. It was found for the first time that both r_c and V_{inj} can be enhanced in a specific pMOSFET structure with a combination of CESL and biaxial strain.

In the last year, we have developed a new simple approach called $V_{D,sat}$ method to determine the transport parameters. For the first time, the carrier transport properties

after HC stress were also examined. It was found that stress induced variation of r_c dominates $I_{D,sat}$ degradation as a result of the increase in interface scatterings. Besides, we concluded the I_d enhancement is strongly related to V_{inj} , which is a good monitor for the strain design and I_d enhancement. Finally, a roadmap of the V_{inj} for reported results has been provided which serves as a good reference for designing high performance strain-based CMOS devices.

Keywords: CMOS device, ballistic transport, strain engineering, reliability

二、計劃緣由與目的

CMOS 元件通道長度微縮到 90nm 以下，降低氧化層厚度及提昇通道載子移動率 (mobility)，可以大幅提升驅動電流大小。提升 nMOSFET 及 pMOSFET 移動率是目前元件技術繼續往下微縮的關鍵之一。利用應變矽技術達到移動率提升，大致分為 uniaxial strain 及 biaxial strain 二種。Uniaxial strain 大多以製程方式加入，如 SiN capping layer [1]、STI [2]、embedded S/D [3] 等。Biaxial strain 大多為二維形式的應變技術，有 Si/SiGe [4-7]、不同 substrate orientation [8-9] 等。

前者 uniaxial strain [1-3]，使用製程簡單的方式使元件產生 strain，較容易實現，目前一致的見解是 nMOSFET 與 pMOSFET 採用不同的 strain。就後者 biaxial strain [4-9] 技術而言，提昇元件移動率，以及它的驅動電流，製程及結構上有二種途徑，例如，其中一系列採用 (100) substrate 的 strained-Si/SiGe/bulk 結構 [4-5]、

strained-Si/SiGe/SOI 結構[6-7]。這二種結構的效果是可以大幅提昇nMOSFET及pMOSFET移動率。惟缺點是nMOSFET提昇程度較pMOSFET高很多，在logic CMOS的應用上，產生驅動電流的不平衡。因此，有另一種採用 hybrid substrate[8-9]，來有效提昇pMOSFET mobility，例如：(110)-surface strained 的結構[6-7]，可以大幅提升hole mobility以及小幅提升electron mobility。現階段，各種應變矽結構，多屬研究階段，必須經過一段時日驗證後，才有可能為工業界採用。總之，應變矽技術雖有優點：如提昇二倍移動率，進而提高驅動電流；但有多項問題待釐清，例如：Ge 含量的控制、Ge 跑到SiO₂-Si界面引起的可靠性、V_T 的不易控制、NBTI(Negative Bias Instability)及溫度效應等問題[10]。

另一方面，有關上述元件的driving current 的提昇，可以ballistic transport 理論來描述，此一理論為I_{dsat} 決定於二重要參數V_{inj}、r_c: [11]

$$I_{dsat} = W * V_{inj} * C_{eff} * (V_G - V_{T,sat}) * (1 - r_c) / (1 + r_c)$$

其中，V_{inj}、r_c 分別為載子入射速度及反射係數。好的元件設計，V_{inj} 越大 r_c 越小，是最佳選擇。受到 Strain 的元件，V_{inj} 通常較傳統元件提高很多，r_c 則是代表載子由 source 到達 drain 之後反射量的多寡。**圖 1** 概念式地展示了通道載子傳輸的彈道傳輸特性。當載子通過通道時，通道能障會使得部份載子被反射，這個現在可以用 r_c 來描述。根據這個概念。吾人利用不同地溫度量測方法。可以利用實驗的方法將載子傳輸效率與入射速度粹取出來。如**表 1** 所示。以往有很多的研究探討：(1) V_{inj}、

r_c 係數的計算[12-13]，(2) 結構改變對 transport 參數的影響[14]。在本次計劃中，對於 nMOSFET 和 pMOSFET 的通道載子彈道傳輸特性與通道方向和基底方向的關聯將被有系統完整地探討。本次的工作將提供如何設計高效能的 CMOS 元件的一些設計準則。

利用前瞻的CMOS邏輯元件半導體製造技術，在第一年，對於 substrate orientation的研究，我們製備了一系列通道短于100nm的各式不同通道和基底方向的nMOSFET和pMOSFET元件，如**圖2到圖3**所示，有<100>/<110>、<111>/<110>、和<112>/<110>各式不同的方向，和(100)和(110)的兩種矽晶體方向。進入第二年，我們對於不同的應變矽探討其彈道傳輸參數的能力，使用了通道長度由70nm~ 120nm的元件並包含了三種不同的應力：tensile-cap (uniaxial) Si-channel、strained-Si/SiGe 和 compressive SiGe-channel。此外，為了表現高效能的元件特性，分別為nMOSFET選擇了(100)/<110>的基底和矽晶體方向，為pMOSFET選擇了(110)/<110>的方向，如**圖12**所示。最後，在第三年的研究中，我們則以通道長度40nm~ 100nm的應變矽元件包含eSiGe S/D、eSiC S/D和eSiC S/D-E(如**圖27**)，以我們所發表的新實驗方法對彈道傳輸特型進行更進一步的討論。

三、 結果與討論

圖 5 到圖 7 展示了 λ_0/l_0 值轉換成 r_c 及 B_{sat} 對不同的通道長度條件的結果。 λ_0/l_0 、r_c 和 B_{sat} 的轉換關係可由**表 1** 清楚地被定義。我們觀察到 pMOSFET 的<112>/<110>之 B_{sat} 值比其他的方向都要來的大。另一

方面 nMOSFET 的 $\langle 111 \rangle / (110)$ 之 B_{sat} 值亦比其他的方向都要來的大。這表示了在這些方向中 pMOSFET 或 nMOSFET 的通道載子遭受較小的散射效應。圖 8 展示了 V_{inj} 對於不同通道長度在不同的通道方向之圖，圖 9 展示了利用 Fowler-Nordheim 萃取有效質量對於不同通道與基底方向之圖形。此圖說明了有較小有效質量的元件能夠得到較大的 V_{inj} 。圖 10 進一步地展示了電流增強與 B_{sat} 和 V_{inj} 之對應關係。對於通道長度為 $\langle 112 \rangle$ 基底長度為 (110) 的 nMOSFET 而言， B_{sat} 和 V_{inj} 之值都比控制樣品的值還小，但是通道長度為 $\langle 111 \rangle$ 而基底長度為 (110) 的 nMOSFET 的 B_{sat} 值在短通道時候增加的比較明顯。這表示了如果我們針對 $\langle 111 \rangle / (110)$ 的 nMOSFET 繼續微縮下去的話， r_c 將可被改善。因此，對於 nMOSFET 而言 V_{inj} 的減少是導致 I_{Dsat} 衰退的原因。此外，亦對 pMOSFET 做了電流增強與 B_{sat} 和 V_{inj} 之對應關係之圖，由圖 11 觀察到：(1) 對於通道方向為 $\langle 112 \rangle$ 而基底方向為 (110) 的 pMOSFET 而言， B_{sat} 和 V_{inj} 都有所增強，但是對於通道方向為 $\langle 111 \rangle$ 而基底方向為 (110) 的 pMOSFET 而言， B_{sat} 卻是減小的。(2) 對於這兩個通道方向而言， I_{dsat} 的增加皆來自於 V_{inj} 的增強。最後表 2 整理了本次結果的重點。此表強調了對於 nMOSFET 和 pMOSFET 而言， V_{inj} 是造成 I_{dsat} 增強的重要因素，特別是針對 pMOSFET 而言， B_{sat} 和 V_{inj} 皆能增強通道方向為 $\langle 112 \rangle$ 基底方向為 (110) 元件的導通電流。針對一個最佳化的 CMOS 設計準則必須提升 V_{inj} 並降低 r_c 。這本實驗中發現到：(1) 對於 pMOSFET 設計而言，通道方向為 $\langle 112 \rangle$ 而基底方向為 (110) 能夠同時提升 V_{inj} 與 B_{sat} ，為最好的設計方案；但是另一方面，對於 nMOSFET 而言，基底為 (110) 方向的元件卻不能提升元件的

驅動電流，這是因為較差的傳輸特性所致。不過 (100) 基底却有著不錯的傳輸特性表現。

接著，討論對於不同類型的應變矽元件對傳輸參數的關連性。首先對於 nMOSFET 的應變矽元件 tensile-cap layer 了解其 I_{on}/I_{off} ratio 約提高了 34% 的驅動電流和其傳輸參數結果 (圖 13 到 圖 16)。為了研究單軸 (uniaxial) 與雙軸應力 (biaxial-stress) 的不同效應，準備了另一組 nMOSFET 包含 bulk-Si 與 biaxial strained-Si/SiGe 元件，如圖 17 所示。相同地，於圖 18、19 表示出其元件的 I_{on}/I_{off} 及傳輸參數的特性結果。整理這兩組數據做對照，由圖 20 顯示：因 uniaxial-strained 元件對於 biaxial 元件有較大的 B_{sat} 和 V_{inj} 的增強效果，故前者有較大的電流特性增益，尤其在 V_{inj} 上，uniaxial-strained 有極大的增強效果。這表示對 nMOSFET 施加單軸應力對於電流提升有相當大的助益。之後，pMOSFET 探討矽鍺通道 (SiGe-channel) 對傳輸參數的影響，包括 bulk-Si、biaxial strained-Si/SiGe 和加入 strained-cap 之 SiGe-channel，如圖 21 所示，並在圖 22 表示其電流增強效果。特別要提的是，元件 (c) 的結構為矽鍺通道 (SiGe-channel) 加上接觸孔蝕刻停止層 (CESL)。結果顯示：biaxial strained-Si/SiGe 元件較 bulk-Si 元件增強了 5% 的電流，而 strained-cap 之 SiGe-channel 元件則大幅增加了 22% 的電流。圖 23 和 圖 24 表示傳輸參數求得結果與電流增強與其函數關係圖形，結果顯示：同時有 SiGe 與 CESL 的元件 (c) 在 B_{sat} 和 V_{inj} 上均有增加，此結果與之前報告的有 SiGe S/D 之單軸應力元件與有 CESL 之單軸應力元件結果有若干不同 [13-14]。經由這些驗證過程，同時使用雙軸應力與

CESL 之 pMOSFET 元件可以大幅增加 B_{sat} 和 V_{inj} 。最後於圖 25 和 26 簡述實驗結果及提出了應變矽工程(strain engineering)對於 CMOS 元件傳輸參數 r_c 的 Roadmap，作為應用於 45nm 及以下的 CMOS 元件技術設計準則。

在本計畫的最後一年，使用了傳統元件及應變矽元件(如圖 27)作為實驗的對照。我們發展了一套嶄新的實驗方法來評估傳輸參數，稱做 $V_{D,sat}$ Method。利用簡單的模型建立起適用於在準彈道傳輸表像下的飽和電流公式，成功重新詮釋傳輸參數，並有別於傳統實驗採用的溫度相依法(TDM)的繁雜程度，而擁有其簡單、快速和可靠的優點。表 4 展示該方法所用的公式，可由式(5)和式(6)在 I_D - V_{DS} 的量測數據上分別計算出 B_{sat} 值和 V_{inj} 值，如圖 28 所示。在圖 29 和 30 中，同時以 $V_{D,sat}$ method 和 TDM 對同一元件求取 B_{sat} 、 V_{inj} ，並得到互相符合的實驗結果，證實了 $V_{D,sat}$ method 可成功用於評測量子機制下的元件傳輸特性。接著，探討 $I_{D,sat}$ 衰減和傳輸參數的變動關係，先對 control 元件作 stress，nMOSFET 和 pMOSFET 分別施以 HC 和 NBTI stress，圖 31 顯示其結果：在導通電流下降的同時，兩個元件的傳輸參數也都跟著下降，另外 B_{sat} 下降的幅度又明顯大於 V_{inj} 。我們再用直條圖來分析傳輸參數在 $I_{D,sat}$ 衰減下而衰減的比例關係，如圖 32 所示，觀察出 B_{sat} 的衰減部分的确是直接造成導通電流下降的主因，這可以由圖 33 解釋：在經過 stress 過後，有大量的 trap 會在 drain 端形成，這些大量的 trap 會對通道形成傳輸的屏障，因而造成 B_{sat} 的下降，直接影響到 $I_{D,sat}$ 。更進一步，我們探討了應變矽元件在 stress 後的變化。由圖 34 到 36 可看出 SiC S/D-E nMOSFET

因為 C 的 out-diffusion 效應造成了 B_{sat} 和 V_{inj} 有最大幅度的變動。另一方面，SiGe S/D pMOSFET 因為其 EDB (Embedded Diffusion Barrier) 的特殊結構阻擋了 Ge 的擴散機制，所以壓制了 B_{sat} 和 V_{inj} 的變動，因此可以觀察到元件在 stress 過後其 $I_{D,sat}$ 的衰減也較低。最後，我們在圖 37 所列對於 V_{inj} 增強性的技術藍圖，提供做為發展未來元件的設計基準。

四、 計劃成果自評

本計劃的研究著重於先進應變矽元件在彈道傳輸特性上的探討。第一年，研究混合型晶格方向通道對元件之驅動電流與載子彈道傳輸特性之影響，將其研究成果應用於新型的不同混合型晶格通道元件上。第二年，研究不同應變矽工程對元件之驅動電流與載子彈道傳輸特性之影響，將其研究成果做為選擇元件施加應力的考量。第三年，利用新的實驗方法求取傳輸參數，並且研究對於元件加壓後的效能衰減對其傳輸能力的關係。這些研究都是目前最為有效能夠實現 CMOS 元件的驅動電流最佳化的主題。且利用載子彈道特性用於解釋元件驅動電流和可靠度，亦是一大突破。研究的成果已發表 10 篇國際會議及期刊論文 [15-24]，其中三篇是該領域頂尖會議 IEDM/VLSI 論文，之中有一篇為邀請演講論文 [23]，相關的論文也持續發表中，也有部份可以提出專利申請。顯見我們在該領域的多年來研究，已受到國際的重視與肯定。本計劃的完成將對學術研究水準的提昇及工業界的實際應用上都有莫大的助益。

五、参考文献

- [1] K. Ota et al., in *Tech. Dig. IEDM*, pp. 27-30, 2002.
- [2] K. Ota et al., in *Symposium on VLSI Tech.*, pp. 138-139, 2005.
- [3] T. Ghani et al., in *Tech. Dig. IEDM*, pp. 978-979, 2003.
- [4] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 59-60, 2001.
- [5] K. Rim et al., in *Symposium on VLSI Tech.*, pp. 98-99, 2002.
- [6] T. Mizuno et al., in *Symposium on VLSI Tech.*, pp. 106-107, 2002.
- [7] T. Mizuno et al., in *IEDM Tech. Digest*, p. 31-34, 2002.
- [5] J. R. Hwang et al., in *Symposium on VLSI Tech.*, pp. 90-91, 2004.
- [8] M. Yang et al., in *Tech. Dig. IEDM*, pp. 453-456, 2003.
- [9] S. S. Chung et al., in *Tech. Dig. IEDM*, pp. 567-570, 2005.
- [10] S. S. Chung et al., in *Symposium on VLSI Technology*, pp. 86-87, 2005.
- [11] M. Lundstrom, *IEEE EDL*, p. 361, 1997.
- [12] M. J. Chen et al., *IEEE Trans. on Electron Devices*, Vol. ED-51, p. 1409, 2004.
- [13] H. N. Lin et al., in *Symposium on VLSI Technology*, p. 174, 2005.
- [14] H. N. Lin et al., in *Tech. Dig. IEDM*, p. 147, 2005.
- [15] Y. J. Tsai et al., *Proc. of VLSI-TSA*, pp. 33-34, 2007.
- [16] Y. J. Tsai et al., *Silicon Nanoelectronics Workshop*, pp. 19-20, 2007.
- [17] S. S. Chung et al., *Extended Abs. SSDM*, pp.40-41, 2007.
- [18] (Invited) S. S. Chung et al., "Roadmaps on the Ballistic Transport in Strain Engineered Nanoscale CMOS Devices," in *IEEE EDSSC*, pp. 23-26, 2007.
- [19] E.R. Hsieh et al., VLSI-TSA, April 21-23, 2008.
- [20] S. S. Chung et al., in *Symposium on VLSI Technology*, pp. 158-159, 2009.
- [21] (invited) S. S. Chung et al., *Proceedings of 9th ICSICT*, session A3.1, 2008.
- [22] E. R. Hsieh et al., in *Tech. Dig. IEDM*, p. 779, 2009.
- [23] (invited) S. S. Chung et al., in *Tech. Dig. IEDM*, p. 435, 2008.
- [24] E. R. Hsieh, *Applied Physics Lett.*, 96, 093501, 2010.

$$I_{D,sat} @ V_G - V_{T,sat} = 1V = V_D$$

$$V_{T,sat} = V_{T,low} @ |V_D| = 25mV - DIBL$$

$$r_c = \frac{1}{1 + \lambda_0 / l_0} \quad B_{sat} = \frac{1 - r_c}{1 + r_c}$$

$$V_{inj} = \frac{I_{D,sat}}{W \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})}$$

$$\alpha = \frac{I_{D,sat1} - I_{D,sat2}}{(T_1 - T_2) \cdot I_{D,sat}} \quad \eta = \frac{V_{T,sat1} - V_{T,sat2}}{T_1 - T_2}$$

$$\frac{\lambda_0}{l_0} = \frac{4}{0.5 - [\alpha + \frac{\eta}{(V_G - V_{T,sat})}] \cdot T} - 2$$

表一 此表的公式流程圖用來決定通道子載的彈道傳輸的兩個主要的係數，載子入射係數， V_{inj} ，和載子彈道傳輸係數， B_{sat} 。

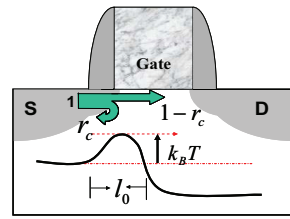


圖1 此一概念圖展示了載子傳輸的機制，圖中 r_c 為backscattering coefficient， $k_B T$ 是通道能障高度利用 r_c 可以決定載子的入射速度，injection velocity, V_{inj}

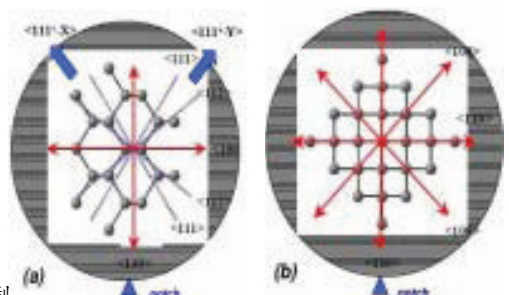


圖3 此圖為矽晶圓(110)和(100)晶格方向的俯視圖

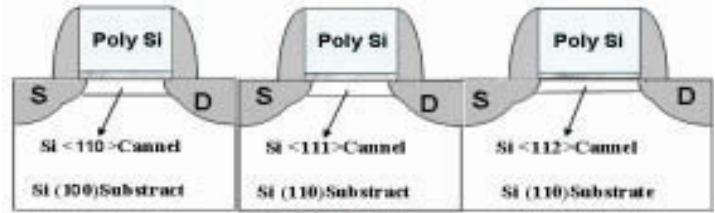


圖2 本計劃使用到的nMOSFET與pMOSFET之橫面圖，(a)control (b)<111>/<110> (c)<112>/<110>

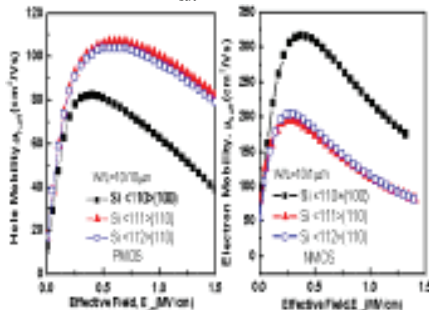


圖4 不同矽晶圓方向的載子遷移率。我們觀察到pMOSFET的<111>和<112>通道其載子遷移率最大。

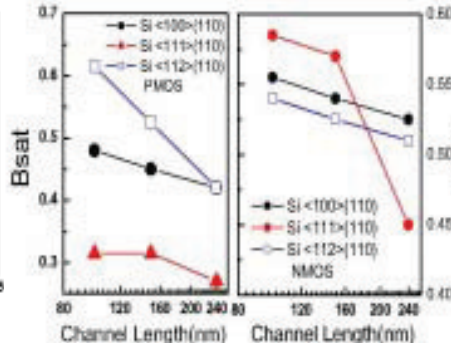


圖7 此圖展示了從實驗數值中計算得到的參數， B_{sat} ， $B_{sat} = (1 - r_c) / (1 + r_c)$

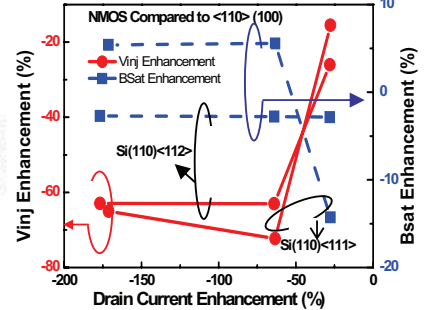


圖10 針對pMOSFETs, B_{sat} 和 V_{inj} 增強比例對導通電流 I_{dsat} 作圖我們觀察到<112>/<110>的 B_{sat} 和 v_{inj} 增強效果顯著

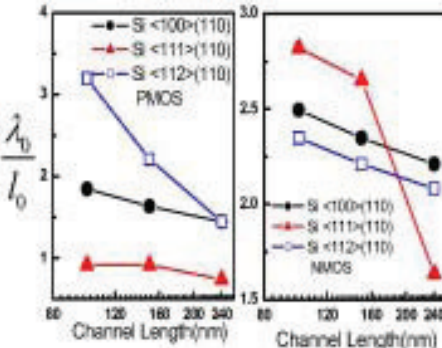


圖5 從實驗值中所採取的表一中的物理參數值

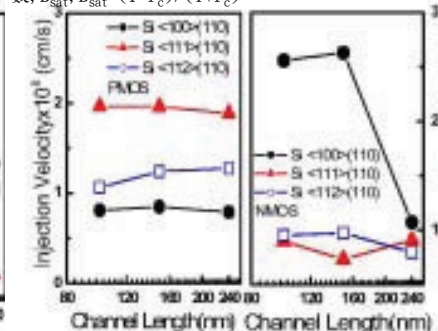


圖8 此圖展示了從實驗數值中計算得到的參數， V_{inj}

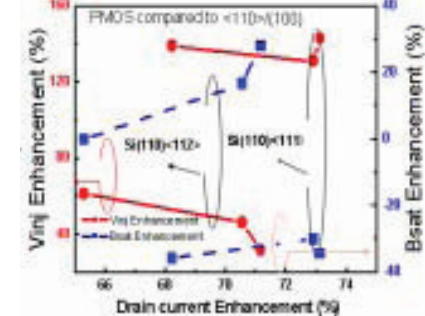


圖11 針對nMOSFETs, B_{sat} 和 V_{inj} 增強比例對導通電流 I_{dsat} 作圖我們觀察到<111>/<110>的 v_{inj} 增強效果顯著

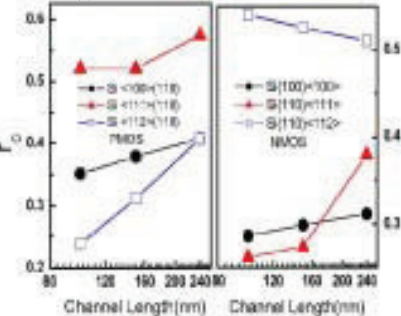


圖6 此圖展示了從實驗數值中計算得到的參數， r_c 。我們觀察到對於pMOS而言<112>/<110>以及對於nMOS而言<111>/<110>的 r_c 值最低

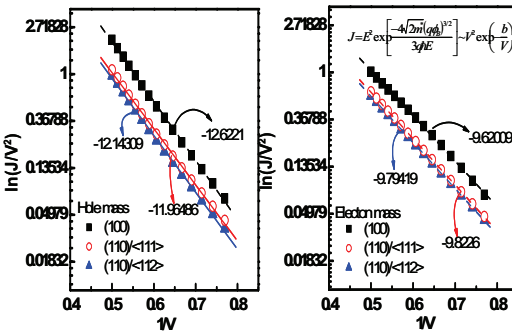


圖9 此圖使用了Fowler-Nordheim電流來決定有效質量 m^* 有效質量與 V_{inj} 是自洽的

| | | B_{sat} | V_{inj} |
|------|-------------|-----------|-----------|
| NMOS | (110) <111> | ↑ | ↓ |
| | (110) <112> | ↓ | ↓ |
| PMOS | (110) <111> | ↓ | ↑ |
| | (110) <112> | ↑ | ↑ |

表2 針對所有的測試元件，我們將其 B_{sat} 和 V_{inj} 的特性做一整理比較

$$I_{D,sat} = W \cdot V_{inj} \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})$$

$$I_{D,sat} @ V_G - V_{T,sat} = 1V = V_D$$

$$V_{T,sat} = V_{T,lin} @ |V_D| = 25\text{mv} - DIBL$$

$$r_c = \frac{1}{1 + \lambda_0 / l_0} \quad B_{sat} = \frac{1 - r_c}{1 + r_c}$$

$$V_{inj} = \frac{I_{D,sat}}{W \cdot C_{eff} \cdot B_{sat} \cdot (V_G - V_{T,sat})}$$

$$\alpha = \frac{I_{D,sat1} - I_{D,sat2}}{(T_1 - T_2) \cdot I_{D,sat2}} \quad \eta = \frac{V_{T,sat1} - V_{T,sat2}}{T_1 - T_2}$$

$$\lambda_0 = \frac{4}{0.5 - [\alpha + \frac{\eta}{(V_G - V_{T,sat})}] \cdot T} - 2$$

此表的公式流程圖用來決定通道子載的彈道傳輸的兩個主要的係數,載子入射係數, V_{inj} , 和載子彈道傳輸係數, B_{sat} 。

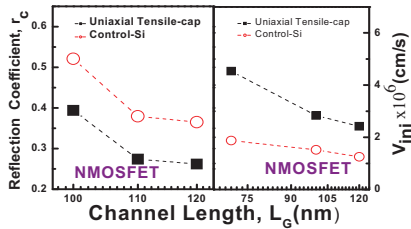


圖15 經由實驗結果計算而得之 r_c 與 V_{inj} 。Uniaxial strained 之 V_{inj} 對於 control device 有較大的提升

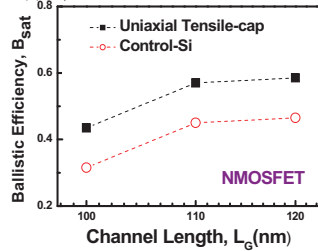


圖16 經由實驗結果計算而得之 B_{sat} 。Uniaxial tensile cap 之 B_{sat} 對於 control device 有相當大的提升。

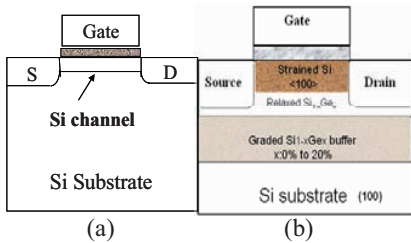


圖17 (a) Bulk-Si 與 (b) Biaxial strain-Si/SiGe nMOSFET 之剖面圖。

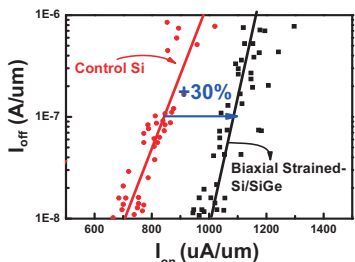
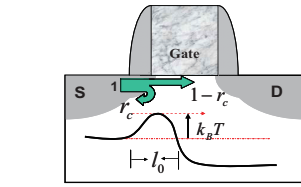


圖18 nMOSFET 之 I_{on} - I_{off} 特性。Biaxial-strain 較 control-Si 元件有30%的增強效果。



此一概念圖展示載子傳輸的機制, 圖中 r_c 為 backscattering coefficient. $k_B T$ 是通道能障高度利用 r_c 可以決定載子的入射速度, injection velocity, V_{inj} 。

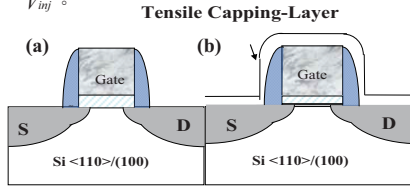


圖13 不同元件之剖面圖 (a) bulk-Si device (b) Si channel <110> with tensile-cap layer.

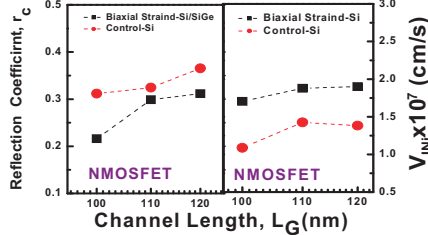


圖19 經由實驗結果計算而得之 r_c 與 V_{inj} 。兩個參數對於 Biaxial strained 均有較大的提升

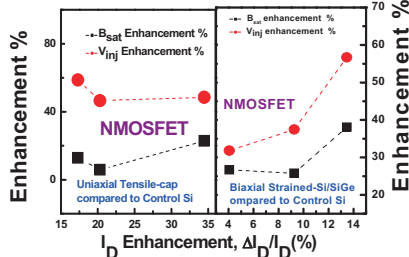


圖20 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。 V_{inj} 為決定 I_{on} 大小之關鍵參數。

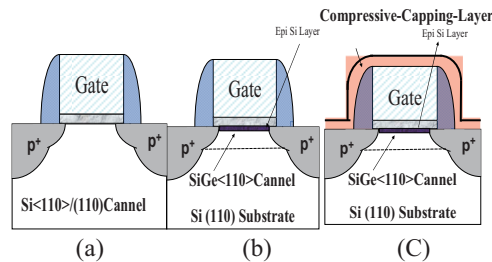


圖21 (a) Bulk-Si (b) Biaxial strained-Si/SiGe, 和 (c) SiGe channel 與 strained-Si cap 之 nMOSFET 剖面圖。

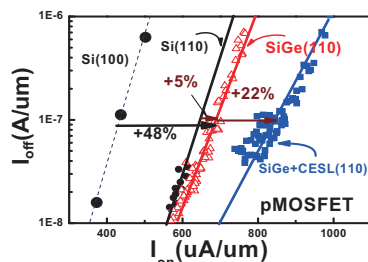


圖22 前述圖11中數種不同的pMOSFET 元件之 I_{on} - I_{off} 特性。

| Mobility | NMOSFET | PMOSFET |
|----------|----------------------------------|----------------------------------|
| | Orientation (Substrate)<channel> | Orientation (Substrate)<channel> |
| High | (100)<110> | (110)<110> |
| Low | (111)<112> | (110)<100> |
| | (110)<100> | (111)<112> |
| | (110)<110> | (100)<110> |

圖12 混合基片與奈米 CMOS 元件技術與電子遷移率 (mobility) 之關係。第一組為最好的 mobility 與 I_{on} 之增強效果。

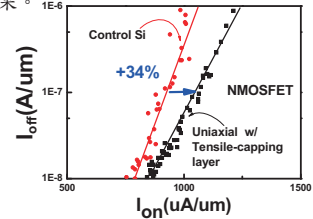


圖14 nMOSFET 之 I_{on} - I_{off} 電流特性之比較。結果顯示 Tensile-cap 較 Control-Si 元件有 34% 的提升效果。

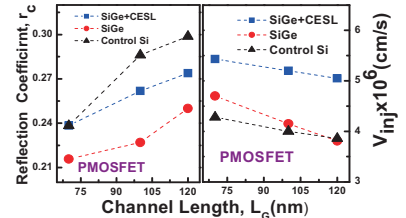


圖23 經由實驗結果計算而得之 r_c 與 V_{inj} 。Biaxial strained 對於 r_c 有改善, 而 uniaxial strain 使 r_c 變差。另外, 兩者均可使 V_{inj} 增強。

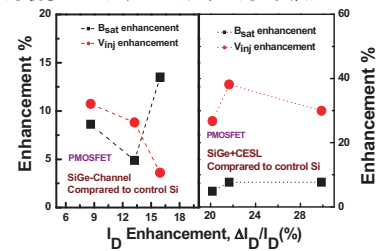


圖24 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。對於 SiGe+CESL, V_{inj} 為重要的決定因素, 而 SiGe channel 則否。

| | NMOSFET Tensile-Strain | PMOSFET Compressive-Strain |
|-------------------------------|------------------------|---|
| | Biaxial-Strain (CESL) | Uniaxial-Strain (S/D) [14] / Biaxial-Strain (CESL) [13] (this work) |
| B_{sat} | ↑ | ↓ |
| V_{inj} | ↑ | ↑ |
| compared to control-Si device | | |

圖25 不同元件結構對於 V_{inj} 與 B_{sat} 的效果摘要。而 pMOSFET 中, 先前的報導結果顯示 B_{sat} 變差效果, 而本計劃中之元件有改善效果。

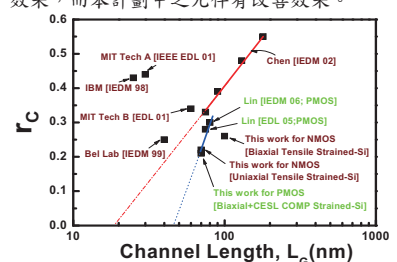


圖26 目前報導過的與本計劃之元件反射係數與其通道長度之技術藍圖。Strain 元件有較好的效能。

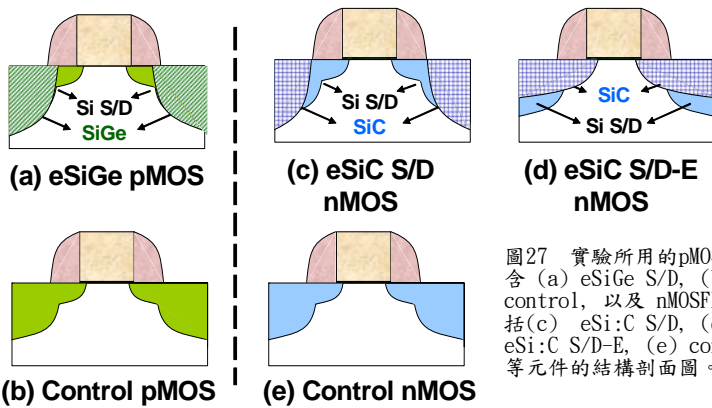


圖27 實驗所用的pMOSFETs 含 (a) eSiGe S/D, (b) control, 以及 nMOSFETs 包括 (c) eSi:C S/D, (d) eSi:C S/D-E, (e) control 等元件的結構剖面圖。

(New) $V_{D,sat}$ Method

From Velocity Saturation Theory

$$I_{D,sat} = C_{ox} W V_{sat} (V_{GS} - V_{th}) \frac{1 - \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/V_{sat}}}{1 + \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/V_{sat}}} \quad 1$$

$$= C_{ox} W V_{sat} (V_{GS} - V_{th}) \frac{1 - \gamma_q}{1 + \gamma_q} \quad 2$$

$$= C_{ox} W V_{sat} (V_{GS} - V_{th}) \beta_{sat,q} \quad 3$$

And

$$V_{D,sat} = \frac{2(V_{GS} - V_{th})}{1 + \sqrt{1 + 2\mu_{eff}(V_{GS} - V_{th})/V_{sat}}} \quad 4$$

$$\beta_{sat,q} = 1 - \frac{V_{D,sat}}{(V_{GS} - V_{th})} \quad 5$$

$$V_{inj} = V_{sat} = \frac{I_{D,sat}}{C_{ox} W (V_{GS} - V_{th}) \beta_{sat,q}} \quad 6 \quad \text{Assume } V_{inj} = V_{sat}$$

表3 用來求取傳輸參數的新實驗方法 $V_{D,sat}$ 。

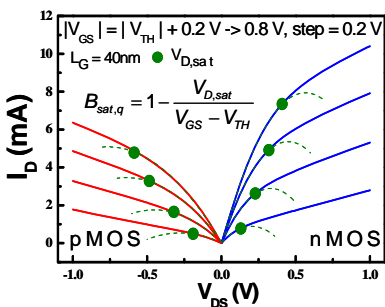


圖28 在 $I_D - V_{DS}$ 圖上, 利用 $V_{D,sat}$ method 求出 B_{sat} 。

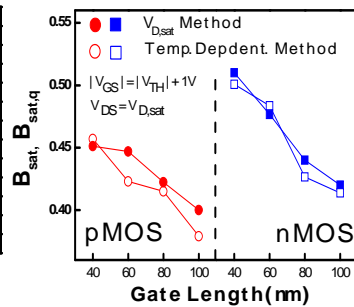


圖29 $V_{D,sat}$ method 對照 TDM 在傳統結構的元件上求取 $B_{sat}(B_{sat}, q)$ 有著近似的結果。

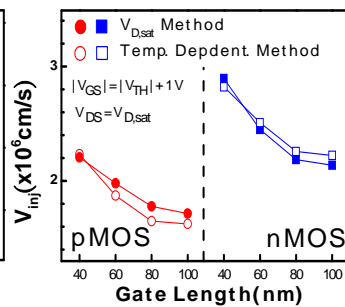


圖30 對於 V_{inj} 的實驗結果, $V_{D,sat}$ Method 也顯示了相符的數據。

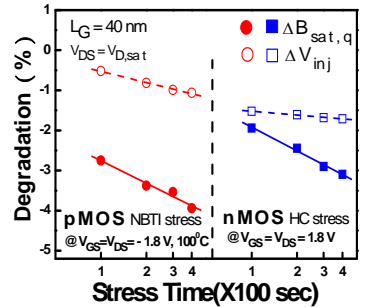


圖31 經由對於 nMOSFETs 和 PMOSFETs 分別施以 HC 和 NBTI stress 後, B_{sat} 和 V_{inj} 都顯示下降的趨勢, 而 B_{sat} 有顯著的差別。

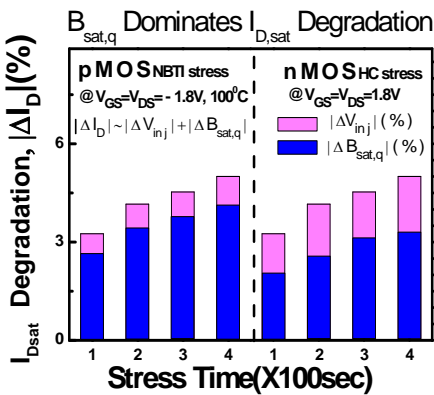


圖32 簡述在 stress 過後, $I_{D,sat}$ 的衰減幅度對於 B_{sat} 和 V_{inj} 的比重關係, 顯示 B_{sat} 的衰減主導了電流下降。

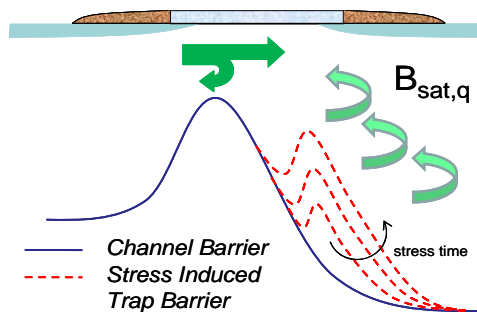


圖33 Stress 引起在 drain 端產生大量的 trap, 這些 trap 形成對通道導通的屏障, 造成 B_{sat} 的大幅衰減, 引起效能的劣化。

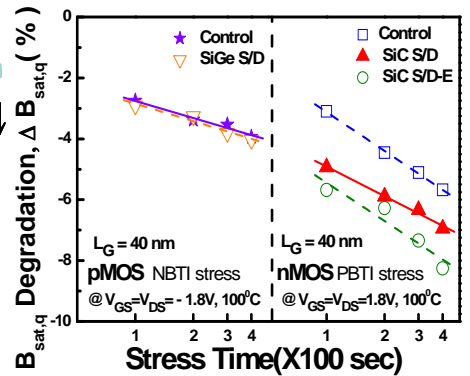


圖34 對於應變矽元件, stress 引起 B_{sat} 的衰減, SiC S/D-E nMOSFET 有最大幅度的變化, 但是 SiGe S/D pMOSFET 卻無明顯變動。

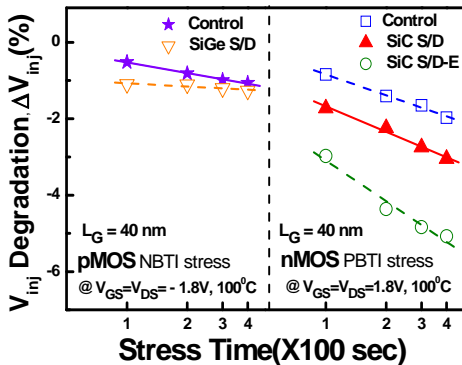


圖35 在 stress 應變矽元件過後, nMOSFET 和 pMOSFET 都顯示 V_{inj} 下降的結果, 但是 pMOSFET 明顯有比較少的衰減。

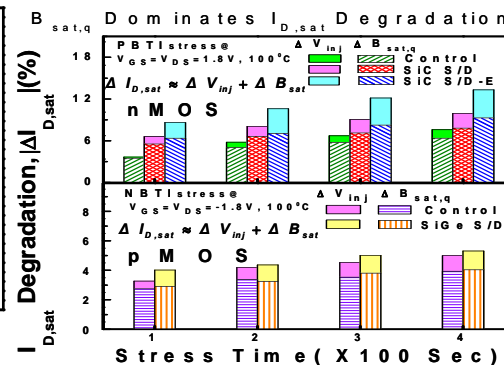


圖36 簡述對於應變矽元件 stress 後, 傳輸參數率減對於 $I_{D,sat}$ 衰減的比例關係。

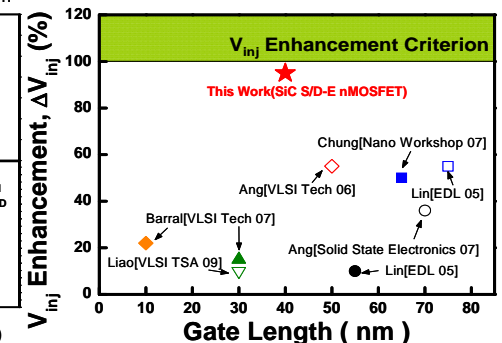


圖37 對 V_{inj} 增強性作一技術藍圖, 其中 SiC S/D nMOSFET 元件顯示高 V_{inj} 增強性, 有利於其之後的發展性。