

新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究

計劃編號: NSC 96-2221-E-009 -202 -MY3

執行期間 : 96 年 8 月 1 日~99 年 7 月 31 日

計劃主持人: 交通大學電子研究所 張俊彥教授

一、中文摘要

近年來，**薄膜電晶體(TFT)與奈米點(nanocrystal)的應用技術發展受到相當大的矚目**，薄膜電晶體目前廣為液晶顯示器(LCD)產業所大量使用，而奈米點則是可以運用於在非揮發性儲存記憶體上，因其可以解決傳統上利用複晶矽浮停閘(floating gate)做為載子儲存單元的非揮發性記憶體(例如，快閃記憶體)之元件微縮問題，而本計畫將兩者結合起來，並開發新穎結構的非揮發性奈米點記憶體在薄膜電晶體上，其功能可以運用在堆疊式(stacked)的積體電路晶片、軟性電子與省電的攜帶式產品上，對於SOC(System on Chip)的開發與研究提供一個新的元件結構。

複晶矽薄膜電晶體可以在低溫下成長，對於後段製程的熱預算(thermal budget)可以有效的降低，而與奈米點結合，則可以成為新結構的記憶體元件，本計畫即利用先前的薄膜電晶體與奈米點的製作成果技術相互結合來研究此元件的特性，第一年著重於大尺寸的新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與基本電性驗證，利用先前的薄膜電晶體技術與各種不同的奈米點結合(Si、Ge、NiSi、W)，並探討半導體與金屬這些不同材料特性會對非揮發性記憶體有何影響，第二年則進而會改變元件結構，利用多重通道與多重閘極，來研究新穎奈米點記憶體的寫入與抹除效應是否會提升其元件速度，且當元件通道結構微縮至奈米尺度時，邊角效應(corner effect)與奈米點的量子效應則會如何主導我們的薄膜電晶體的開關特性，是本計畫要釐清的重點之一。第三年則是著重於已製備完成的元件記憶體特性量測，本實驗團隊將進行記憶體的可靠度分析，

不僅進行DC與AC的加壓量測複晶矽薄膜電晶體元件，並改變環境溫度探討儲存載子的活化能影響及儲存效率，對於容忍度(endurance)與保存能力(retention)也將深入測試，藉此製作一個高效能的非揮發性奈米點結合薄膜電晶體的記憶體元件，以確保有機會可以運用在SOC開發上與其他省電的產品上。

關鍵詞: 奈米點、薄膜電晶體、非揮發性記憶體

Abstract

In recent years, the fundamental researches on nanocrystal and thin film transistor have received increasing attentions for the novel technology applications. Thin film transistors are widely used at present in a large amount by industry of the liquid crystal display, and it is known that nanocrystalline dots can be applied to the nonvolatile electrically erasable programmable read-only memory because it can solve the device non-scaling down problem in traditionally floating gate nonvolatile memory, such as flash, which using highly doped continuous poly-silicon as charge trapping layer. Therefore, we plan to combine those two together, i.e. to develop the novel structure which combines the nonvolatile nanocrystalline dots memory with thin film transistors. The functions of the novel device can be applied on stacked IC chips, on power-saving portable products, and it also can contribute to the development

and research of SOC.

Keywords:

nanocrystal, thin film transistor, nonvolatile memory

二、前言

近年來**複晶矽薄膜電晶體(TFT)**愈來愈受到重視，尤其在主動矩陣式液晶顯示器(AMLCD)上的應用更是不可限量，而主動矩陣式液晶顯示器也是我國重點產業之一，且因為複晶矽薄膜電晶體擁有較高的載子遷移率，在相同電壓操作下，可以比非晶矽薄膜電晶體提供較大的驅動電流，所以不僅可當開關元件，亦可以應用於系統電路的元件，複晶矽薄膜電晶體不僅製作成本低且又可運用於不同的低溫基板上(例如:玻璃、耐高溫的可撓式基板等)，對於我國開發軟性電子工業有正面的幫助(如圖1所示)，本實驗團隊將對**薄膜電晶體與非揮發性記憶體**的部分進行開發與研究。

三、實驗流程

1. 先在四吋P型矽晶圓表面上利用常壓化學氣相沉積系統(APCVD)熱成長一層3nm乾式氧化層當作穿隧氧化層

2. 接著使用反應式離子真空濺鍍系統於Ar/N₂(O₂) (24/10 24/2 sccm)下濺鍍一層10nm Ni_{0.3}Si_{0.7}當作電荷儲存層。

3.利用快速熱退火系統(RTA)於500、600°C，100s退火形成分離的奈米點晶體。

4. 再用化學氣相沉積系統沉積30nm的控制氧化層，最後再沉積上下Al電極並圖案化。

5. 利用HP4284精準半導體參數分析儀對此元件進行電性上的分析，穿透式電子顯微鏡(TEM)、X光光電子能譜儀及X光繞射分析儀對其進行結構與材料上的分析。

四、結果與討論

1. 圖1. STD及歷經600°C退火後之TEM截面圖，由圖中可發現在熱處理後奈米點自我析出形成於氮化矽中。

2. 圖2. 不同退火溫度下XPS及XRD分析圖，XPS中顯示經歷500、600°C熱退火後Si-N(398.5 eV)及Ni-N(396.8 eV)之訊號，其中可發現其Ni-N訊號衰減，只留下Si-N訊號，又由XRD中可發現在500、600°C熱退火後Ni-Si結晶的訊號，結合XPS及XRD可得知Ni-Si的奈米點形成於氮化矽層內。

3. 圖3. 在±10V的操作下，Ni-N及Ni-Si NCs分別具有1.5V及4.0V的記憶窗口。

4. 圖4. 在濺鍍過程中分別通入O₂(N₂)，再經600°C退火後Ni-Si NCs分別形成於二氧化矽與氮化矽之TEM截面圖。

5. 圖5. 在±10V的操作下，Ni-Si NCs形成於二氧化矽及氮化矽之記憶體結構分別具有1.5V及4.0V的記憶窗口。

6. 圖6. 表示載子儲存能力之特性，將載子寫入後再經過一段時間量測其C-V特性以觀察記憶窗口的變化，由圖中可發現載子儲存10年後，Ni-Si NCs埋入於氮化矽層(66%)相較於Ni-Si NCs埋入於二氧化矽層(50%)有較佳的載子儲存能力，這可以歸因於氮化矽相較於二氧化矽有就較多的電荷捕獲陷阱可以儲存載子並可以減輕儲存載子之間的庫倫斥力。

五、結論

本研究計畫已經成功的利用金屬奈米晶體取代傳統的浮置閘極來改善其記憶體特性，能夠在與傳統製程相容下製作出更具微縮可能性之記憶體結構，對於未來新穎記憶體技術應用於低溫薄膜電晶體製作上有更近一步的突破。

六、計畫成果自評

由實驗結果顯示今年度計畫已達成預計的90%，已經成功製作出適用薄膜電晶體之金屬奈米點結構。研究成果將發表於文獻如附錄所列。

七、Reference

- [1] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, Tech. Dig. - Int. Electron Devices Meet. **1995**, 521.
 [2] J. D. Blauwe, IEEE Trans. Nanotechnol. **1**, 72 (2002).
 [3] W. R. Chen, T. C. Chang, P. T. Liu, P. S. Lin, C. H. Tu, and C. Y. Chang, Appl. Phys. Lett. **90**, 112108 (2007).
 [4] M. Shalchian, J. Grisolia, G. Ben Assayag, H. Coffin, S. M. Atarodi, and A.

Claverie, Appl. Phys. Lett. **86**, 163111 (2005).

[5] J. H. Chen, Y. Q. Wang, W. J. Yoo, Y.-C. Yeo, G. Samudra, D. S. H. Chan, A. Y. Du, and D.-L. Kwong, IEEE Trans. Electron Devices **51**, 1840(2004)

[6] C. Y. Ng, T. P. Chen, L. Ding, and S. Fung, IEEE Electron Device Lett. **27**, 231 (2006).

[7] S. K. Samanta, P. K. Singh, W. J. Yoo, G. Samudra, Y.-C. Yeo, L. K. Bera, and N. Balasubramanian, Tech. Dig. - Int. Electron Devices Meet. **2005**, 170.

[8] T. Takagahara and K. Takeda, Phys. Rev. B **46**, 15578 (1992).

[9] R. Parthasarathy, X. M. Lin, and H. M. Jaeger, Phys. Rev. Lett. **87**, 186807 (2001).

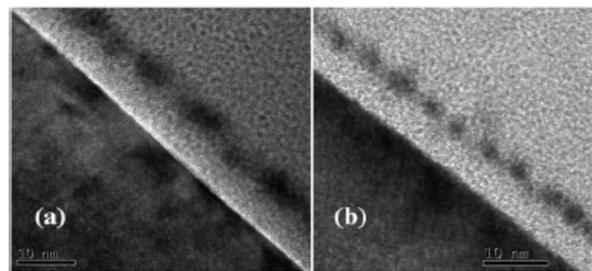


圖 1. (a)STD 與(b)經歷 600°C 退火在氮化矽中形成奈米晶體之 TEM 截面圖

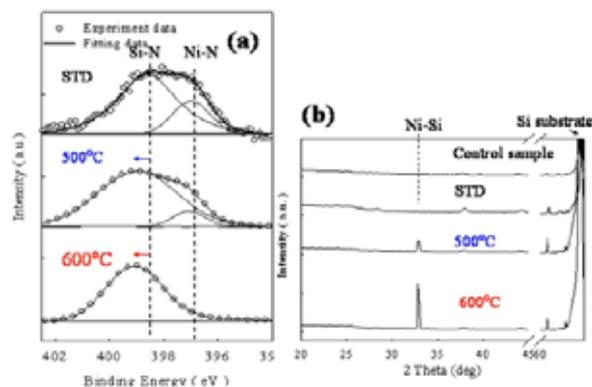


圖 2. 不同退火溫度下 (a)N 1s XPS 及 (b)XRD 分析圖

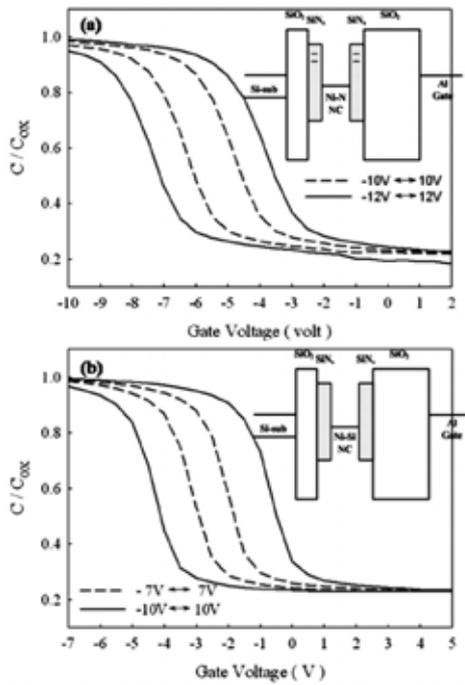


圖3. 在±10V操作下經歷(a)500°C退火(Ni-N NCs)(b) 600°C退火(Ni-Si NCs)之非揮發性記憶體分別具有1.5V及4.0V的記憶窗口

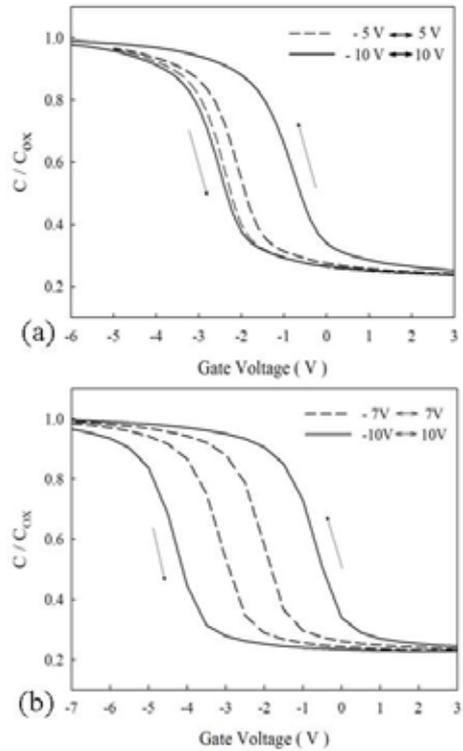


圖5. 在±10V操作下Ni-Si埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體分別具有2.0V及4.0V的記憶

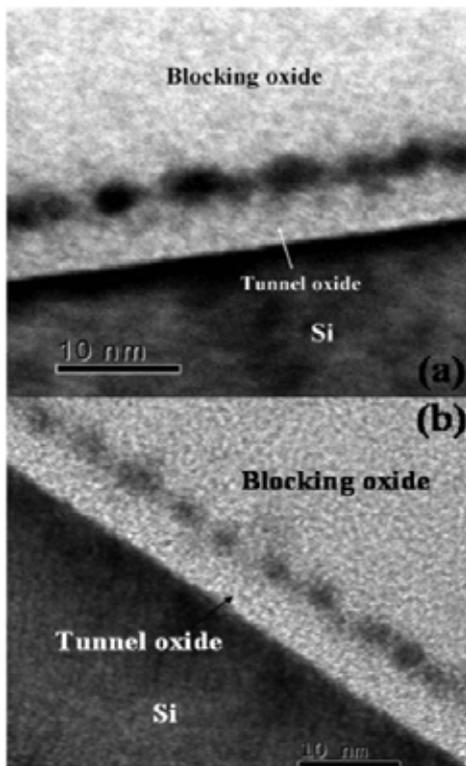


圖4. Ni-Si 奈米晶體分別埋入於(a)二氧化矽及(b)氮化矽Ni-Si之TEM截面圖

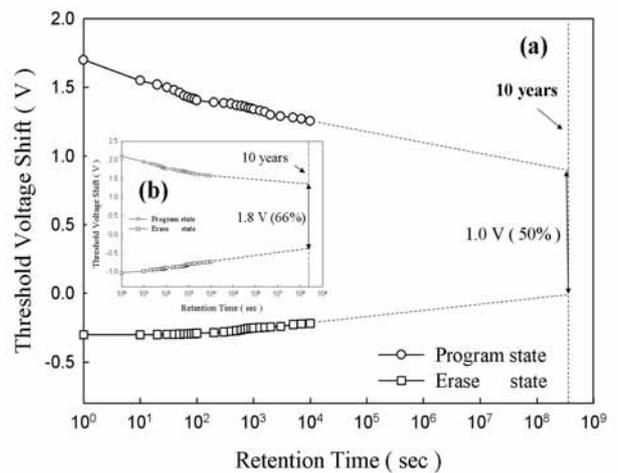


圖6. Ni-Si NCs 分別埋入於二氧化矽及氮化矽之載子儲存時間對記憶窗口比較圖。

附 錄

1. 預計 2009 年將發表兩篇國內專利。