

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

碳摻雜矽奈米線全包覆式閘極元件技術研究 (第 2 年)

A Study on Carbon-doped Si Nano Wire (SiNW)

Gate-All-Around (GAA) Devices Technology

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 96-2628-E-009-167-MY3

執行期間： 97 年 08 月 01 日至 98 年 07 月 31 日

計畫主持人：崔秉鉞

共同主持人：無

計畫參與人員： 李振銘、謝志民、蔡依成、賴瑞堯、羅子歆

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學 電子工程學系

中 華 民 國 98 年 06 月 11 日

中文摘要

本年度是此三年期計畫的第二年度，首先延續第一年度以碳離子植入改善鎳化矽(NiSi)熱穩定度的成果，分析碳離子植入對於 NiSi/Si 蕭基接面以及 n^+ -p 接面的影響。發現高濃度的碳摻雜，造成蕭基位障高度下降，推測原因是碳摻雜產生的表面應力造成能隙窄化的結果。對於 n^+ -p 接面，500°C 退火可以得到最低的漏電流，600°C 退火反而漏電流大幅增加，推測是因為高濃度碳造成額外的晶格缺陷，加速 Ni 原子擴散至接面附近。因此，在高溫穩定性與接面特性之間，必須適當取捨。

本年度也著手全包覆式(GAA)奈米線電晶體製作，近期製作成功通道長度僅 13nm 的全包覆式薄膜電晶體，通道厚度只有 9nm。短通道效應已經被有效控制，但是因為源極/汲極製程尚未最佳化，導通電流還有改善空間。奈米線金屬矽化物技術以及碳摻雜對接觸阻抗的影響等課題，都正在進行中，本年度結束前，可以有明確成果。

關鍵詞：鎳化矽、蕭基位障高度、全包覆式(GAA)奈米線電晶體。

Abstract

This is the 2nd year of the 3-year project. Following the observation that C ion implantation can improve the thermal stability of NiSi on Si substrate, the impact of C incorporation on the NiSi/Si Schottky barrier and the n^+ -p shallow junction were conducted. The Schottky barrier height is reduced due to the strain induced bandgap narrowing resulting from the high concentration carbon incorporation. For the n^+ -p shallow junction, NiSi formation at 500°C produces junctions with low enough leakage current. However, 600°C formation results in an abrupt increase of leakage current by >3 orders of magnitude because quick Ni diffusion along the extra defects generated by the high concentration C incorporation. Tradeoff between thermal stability and junction characteristics must be considered carefully.

In this year, we began to fabricate the gate-all-around (GAA) nano-wire MOSFETs. GAA thin-film-transistor with gate length of 13nm and channel thickness of 9 nm has been

fabricated successfully. Short channel effect can be well controlled. However, the driving capability is not high enough because the source/drain processes have not been optimized. Silicidation of nanowire and contact resistance extraction are under studying.

Keywords: NiSi, Schottky barrier height, Gate-All-Around nanowire transistor.

一、前言

金氧半場效電晶體 (MOSFET) 微縮到 65nm 以下時，NiSi 已經廣泛被使用作為源極/汲極 (source/drain) 的金屬矽化物接觸技術，NiSi 金屬矽化物有許多優點，包括低電阻率、低接觸阻抗、低溫製程、較低的矽消耗率、無線寬效應 (narrow line effect) 以及沒有橋接短路效應。然而，高溫熱穩定性成為 NiSi 金屬矽化物應用的最主要問題，一是 NiSi 薄膜在 700 °C 會發生結塊 (agglomeration) 現象，使得 NiSi 薄膜形成不連續薄膜，造成其片電阻值上升，二是 NiSi 晶相在 750 °C 會產生晶相轉換 (phase transformation)，變成較高電阻率的 NiSi₂ 晶相，故結塊和晶相轉換這兩種因素是造成高溫下，NiSi 金屬矽化物的片電阻值 (sheet resistance, R_s) 上升的主要原因。本計畫在第一年度已經證實碳摻雜可以大幅高晶相轉換以及結塊溫度，本年度重點在對接面特性的影響。

矽奈米線的製作是本計畫的首要條件，第一年度已開發出採取電子束微影製程製作約 50-60nm 的圖案，再經過光阻削減步驟，將線寬縮小到 20nm 左右的技術，本年度將利用此技術，製作全包覆式奈米線電晶體。

二、研究目的與文獻探討

目前有許多提升 NiSi 金屬矽化物熱穩定性的方法已經被提出，一是在形成 NiSi 金屬矽化物之前，利用離子植入 (ion implantation) 的方式將 F, N 或是 Ge 離子植入矽基材 [2-4]，二是利用 Ti 或是 Pt 薄膜作為覆蓋層 (capping layer) 或是介入層 (interposing layer) 的方式 [5, 6]，三是使用 Ni_{1-x}Ti_x 或是 Ni_{1-x}Pt_x 合金的方式來形成 NiSi 金屬矽化物 [7, 8]。

S. Zaima 等人提出在矽基材上，先用低壓

化學氣相沈積的方法 (low-pressure chemical vapor deposition, LPCVD) 成長一層 $p+\text{Si}_{0.996}\text{C}_{0.004}$ 後,再鍍 Ni 薄膜以及高溫熱退火形成 NiSi 金屬矽化物,其結果發現可以有效將 NiSi 金屬矽化物的結塊溫度提升到 750°C ,且晶相轉換的溫度也提升到 850°C [9]。近年陸續有文獻證實碳摻雜對於 NiSi 熱穩定性的影響 [10],本計畫在第一年度也發現碳離子植入可以大幅高晶相轉換以及結塊溫度。但是迄今很少有文獻報導碳摻雜對於界面特性的影響。

另一方面來說,當互補金氧半導體 (CMOS) 電晶體持續微縮下,所遭遇到的主要問題即是短通道效應 (Short Channel Effect, SCE) 所造成元件特性的劣化,為了克服短通道效應,許多的多閘極 (Multigate) 三微元件新型結構被提出,包含了鰭狀電晶體 (Fin FET) [11]、三閘極電晶體 (Tri-gate FET) [12]、Omega-gate 電晶體 [13]、Pi-gate 電晶體 [14] 等等,目的是縮減矽通道層的厚度以及增加電晶體閘極的數目,來增加閘極對於通道電位的控制能力,來降低短通道效應,目前最極致的結構是發展到全包覆式閘極 (Gate All Around, GAA) 電晶體 [15, 16]。本計畫第一年度已開發出採取電子束微影製程製作矽奈米線的技術,本年度利用此技術,展開全包覆式奈米線電晶體的製作與研究。

三、研究方法

A. 碳離子佈植對 NiSi/Si 蕭基位障的影響

首先在(100)晶片上利用 LOCOS 製程完成隔離結構,成長 70nm 厚的屏蔽氧化層 (screen oxide),接著以 35KeV 或是 40KeV 的能量植入碳離子,其峰值濃度的深度分別是 44nm 以及 59nm,比最終 NiSi/Si 界面的深度略深。在氮氣氣氛中, 1050°C 快速升溫退火 (RTA) 30 秒,以消除離子植入造成的損傷,並盡可能使碳原子位於替代位置 (substitutional site)。以稀釋的 HF 去除屏蔽氧化層後,以物理氣相沈積方式沈積 25nm 的 Ni,經過 $500\text{-}850^{\circ}\text{C}$ 快速熱退火形成 NiSi,再以 $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$ 溶液將未反應的 Ni 去除,即完成試片製作。

B. 碳離子佈植對 n^+p 接面的影響

和 A 部分類似,先完成 LOCOS 隔離結構

以及屏蔽氧化層,接著先以 40KeV 的能量植入碳離子,劑量是 1×10^{15} 以及 $5\times 10^{15}\text{ cm}^{-2}$,再經過 $1100^{\circ}\text{C}/30$ 秒的快速升溫退火。接著植入 As 離子,能量為 35KeV 或是 85KeV,劑量為 $5\times 10^{15}\text{ cm}^{-2}$ 。As 活化條件為 1050°C 突衝退火 (spike anneal)。NiSi 的製作方式和 A 部分不太一樣,為了精準控制 NiSi 的反應深度,採取兩段式退火。第一段是真空 $300^{\circ}\text{C}/45$ 分鐘,第二段是快速退火 30 秒,第二段退火溫度從 500°C 到 850°C 。試片製作流程如圖 5 所示,離子植入條件列於表 1。

C. 全包覆式奈米線電晶體的製作

這部分製程難度很高,因此先以自製的 poly-Si-on-insulator (PSOI) 基板進行研究,成之後,再轉換標準的 SOI 基板。PSOI 基板結構為 poly-Si(20nm)/ SiO_2 (200nm)/Si。首先以電子束微影 (E-beam lithography)、低溫光阻剝減 (PR ashing) 以及乾式蝕刻製程,形成線寬為 35nm 的多晶矽奈米線 (poly-Si nanowire)。利用緩衝二氧化矽蝕刻溶液將多晶矽奈米線下方的深埋氧化層去除,然後連續成長 35nm 的四乙氧基矽烷閘極氧化層 (TEOS oxide) 與 200nm 的臨場摻雜 N 型多晶矽閘極 (in-situ doped N+ poly-Si gate),經過電子束微影及乾式蝕刻後,完成全包覆式閘極 (GAA) 的元件結構,最小的閘極長度為 15nm。接著沈積 TEOS oxide 及氮化矽 (Silicon nitride),乾式蝕刻後形成閘極間隙壁。以稀釋的 HF 去除源極與汲極上的原生氧化層後,以物理氣相沈積沈積 6nm 的 Ni,以兩段式退火方式在源極/汲極形成 NiSi,第一段條件為真空退火 $300^{\circ}\text{C}/5$ 分鐘,第二段條件為快速升溫退火 $500^{\circ}\text{C}/30$ 秒,接著再進行 P 離子植入,植入條件為 10KeV 與 $5\times 10^{15}\text{ cm}^{-2}$,後續退火條件為 $600^{\circ}\text{C}/30$ 分鐘,形成修正型蕭基能障界面 (modified Schottky Barrier, MSB),即完成元件製作。

四、結果與討論

A. 碳離子佈植對 NiSi/Si 蕭基位障的影響

圖 1 顯示不同能量及劑量的碳植入對於 NiSi 熱穩定性的影響。因為高劑量以及低能量植入條件會使得較多的碳原子偏析於 NiSi 的

晶粒邊界，因此片電阻值會稍微上升約 10%-20%。碳摻雜會減緩片電阻上升的趨勢，當劑量增加到 $5 \times 10^{15} \text{ cm}^{-2}$ ，片電阻到 850°C 都還可以維持穩定。圖 2 的 SEM 表面形貌觀測顯示只有些微破洞，表示片電阻上升不是因為 NiSi 結塊所造成。圖 3 的 XRD 分析確認碳植入劑量 $1 \times 10^{15} \text{ cm}^{-2}$ 的試片，經過 800°C 退火，已經出現 NiSi₂ 的晶相，而劑量 $5 \times 10^{15} \text{ cm}^{-2}$ 的試片，即使經過 850°C 的退火，仍然維持 NiSi 的晶相。

圖 4 顯示蕭基位障接面的 I-V 特性。未經碳摻雜的 NiSi/Si 接面的電子蕭基位障高度是 0.66eV，碳摻雜劑量為 1×10^{15} 和 $5 \times 10^{15} \text{ cm}^{-2}$ 的位障高度降低到 0.60eV 和 0.52eV。推測是因為碳摻雜的應力造成能隙窄化，或是改變介面能態所致。這個發現表示碳摻雜有降低接觸阻抗的潛力。

B. 碳離子佈植對 n⁺-p 接面的影響的影響

圖 5 和圖 6 分別顯示 C1As35 和 C5As35 試片的典型 I-V 特性。 500°C 退火得到最低的漏電流，顯示大部分的晶格缺陷已經復原。C1As35 試片的漏電流隨退火溫度升高單調遞增，但是 C5As35 試片的漏電流出現特殊趨勢。 600°C 退火造成漏電流驟增 1000 倍，當退火溫度提高到 700 和 750°C ，漏電流稍微降低，到 800°C 漏電流再度上升。圖 7 和圖 8 顯示比較 As 植入能量 35KeV 和 85KeV 的試片的漏電流統計，確認前述漏電流變化趨勢的確存在。

圖 9 是 C5As85 試片的 C, As, Ni 三種原子以 SIMS 分析所得的縱深分佈。Ni 的兩段式分佈可能是在 NiSi 成長的退火過程，Ni 溶解並經由離子植入殘餘的缺陷快速擴散的結果。高劑量的碳植入產生較多的殘餘缺陷，Ni 溶解量及擴散速度在 600°C 退火都高於 500°C 退火，因此漏電流驟增。更高溫退火可能有較多的空穴(vacancy)注入，消除一部份晶格缺陷，並稍微增加界面深度，因此漏電流下降。 800°C 則造成大量的 Ni 擴散，使得漏電流再度升高。

這部分研究表示使用碳植入技術，必須在熱穩定性及界面特性之間適當取捨。

C. 全包覆式複晶矽奈米線電晶體的製作

圖 10 是製作完成的 GAA 複晶矽奈米線電晶體通道區域的 TEM 剖面圖。複晶矽通道層的厚度經過一連串製程，減薄到約 8-9nm，寬度約 36nm。TEOS 閘極介電層以及複晶矽閘極完整包覆此通道層。通道長度約 15nm，如圖 11 所示。

圖 12 是典型的 GAA 元件 I-V 特性圖。汲極引發能障降低(DIBL)約 123mV/V，次臨界擺幅(SS)約 356mV/decade，可見短通道效應已被有效抑制。在汲極電壓 2V 且閘極電壓高於臨界電壓 2V 的偏壓下，導通電流約 $45 \mu\text{A}/\mu\text{m}$ ，並不算高。原因是偏厚的閘極氧化層以及尚未最佳化的源極/汲極結構與製程。

五、成果自評

本年度的計畫進度進行順利，目前已經獲致幾項重要結論。首先，碳摻雜的應力造成矽能隙窄化，加上可能改變介面能態，使得蕭基位障高度降低，表示碳摻雜有降低接觸阻抗的潛力。高劑量的碳植入，在一般快速退火後，產生較多的殘餘缺陷，加速 Ni 溶解與擴散，使得淺界面漏電流上升。如果不能降低殘餘缺陷的密度，將必須在熱穩定性及界面特性之間適當取捨。

本年度已經完成第一批 GAA 複晶矽奈米線電晶體製作，通道長度僅 15nm 的全包覆式薄膜電晶體，通道厚度只有 8-9nm。短通道效應已經被有效控制，但是因為源極/汲極製程尚未最佳化，導通電流還有改善空間。

上述成果已經投稿一篇期刊論文、一篇國際研討會論文，都還在審查中。GAA 複晶矽奈米線電晶體的成果，將於近期投稿學術期刊。

六、參考文獻

- [1]. H. Iwai, T. Ohguro, and S. I. Ohmi, "NiSi salicide technology for scaled CMOS," Microelectronic Engineering, vol. 60, pp. 157-169, 2002.
- [2]. A. S. W. Wong, D. Z. Chi, M. Loomans, D. Ma, M. Y. Lai, W. C. Tjiu, S. J. Chua, C. W. Lim, and J. E. Greene, "F-enhanced morphological and thermal stability of NiSi films on BF₂⁺-implanted Si (001)," Appl. Phys. Lett., vol. 81, no. 27, pp. 5138-5140,

- 2002.
- [3]. P. S. Lee, K. L. Pey, D. Mangelinck, J. Ding, A. T. S. Wee, and L. Chan, "Improved NiSi Salicide Process Using Presilicide N₂⁺ Implant for MOSFETs," IEEE Electron Device Lett., vol. 21, no. 12, pp. 566-568, 2000.
- [4]. C. M. Hsieh, B. Y. Tsui, Y. R. Hung, T. Yang, R. Shen, S. Cheng, and T. Lin, "Thermal Stability Improvement of NiSi on Gate by High Dosage Germanium Implantation," Electro-chemical and Solid-State Lett., vol.12, pp.H226-H228, 2009.
- [5]. T. H. Hou, T. F. Lei, and T. S. Chao, "Improvement of junction leakage of nickel silicided junction by a Ti-capping layer," IEEE Electron Device Lett., vol. 20, no. 11, pp. 572-573, 1999.
- [6]. L. W. Cheng, S. L. Cheng, L. J. Chen, H. C. Chien, H. L. Lee, and F. M. Pan, "Formation of Ni silicides on (001) Si with a thin interposing Pt layer," J. Vac. Sci. Technol., vol. 18, no. 4, pp.1176-1179, 2000.
- [7]. R. T. P. Lee, D. Z. Chi, M.Y. Lai, N. L. Yakovlev, and S. J. Chua, "Effects of Ti Incorporation in Ni on Silicidation Reaction and Structural/Electrical Properties of NiSi," J. Electrochem. Soc., vol. 151, no. 9, pp. 642-647, 2004.
- [8]. D. Mangelinck, J. Y. Dai, J. S. Pan, and S. K. Lahiri, "Enhancement of thermal stability of NiSi films on (100) Si and (111) Si by Pt addition," Appl. Phys. Lett., vol. 75, no.12, pp. 1736-1738, 1999.
- [9]. S. Zaima, O. Nakatsuka, A. Sakai, J. Murota, and Y. Yasuda, "Interfacial reaction and electrical properties in Ni/Si and Ni/SiGe(C) contacts," Appl. Surface Science, vol. 224, pp. 215-221, 2004.
- [10]. R. T. P. Lee, L.T. Yang, T.Y. Liow, K. M. Tan, A. E.J. Lim, K. W. Ang, D. M. Y. Lai, K. M. Hoe, G. Q. Lo, G. S. Samudra, D. Z. Chi, and Y. C. Yeo, "Nickel-Silicide:Carbon Contact Technology for N-Channel MOSFETs With Silicon-Carbon Source/Drain," IEEE Electron Device Lett., vol. 29, no.1, pp. 89-92, 2008.
- [11]. H. Y. Chen; C. C. Huang; C. C. Huang; C. Y. Chang; Y. C. Yeo; F. L. Yang; C. Hu, "Scaling of CMOS FinFETs towards 10 nm," in Symp. on VLSI Tech., pp.46-47, 2003.
- [12]. B. S. Doyle, S. Datta, M. Doczy, S. Hareland, B. Jin, J. Kavalieros, T. Linton, A. Murthy, R. Rios, and R. Chau "High Performance Fully-Depleted Tri-Gate CMOS Transistors," IEEE Electron Device Lett., vol.24, No.4, pp.263-264, 2003.
- [13]. F. L. Yang, H. Y. Chen, F. C. Chen, C. C. Huang, C. Y. Chang, H. K. Chiu, C. C. Lee, C. C. Chen, H. T. Huang, C. J. Chen, H. J. Tao, Y. C. Yeo, M. S. Liang, C. Hu, "25 nm CMOS Omega FETs," in IEDM Tech. Dig., pp.255-258, 2002.
- [14]. J. T. Park, J. P. Colinge, C. H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Lett., vol.22, No.8, pp.405-408, 2001.
- [15]. K. H. Yeo, S. D. Suk, M. Li, Y. Y. Yeoh, K. H. Cho, K. H. Hong, S. K. Yun, M. S. Lee, N. Cho, K. Lee, D. Hwang, B. Park, D. W. Kim, D. Park, and B. I. Ryu, "Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires," in IEDM Tech. Dig., pp.539-542, 2006.
- [16]. N. Singh, F. Y. Lim, W. W. Fang, S. C. Rustagi, L. K. Bera, A. Agarwal, C. H. Tung, K. M. Hoe, S. R. Omampuliyur, D. Tripathi, A. O. Adeyeye, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Ultra-Narrow Silicon Nanowire Gate-All-Around CMOS Devices: Impact of Diameter, Channel- Orientation and Low Temperature on Device Performance," in IEDM Tech. Dig., pp.547-550, 2006.

表 1. NiSi 接觸之 n⁺-p 淺界面之試片編號及離子佈植條件。

Sample ID	C5As35	C5As85	C1As35	C1As85	C0As35	C0As85
C ⁺ Dose (cm ⁻²)	5x10 ¹⁵	5x10 ¹⁵	1x10 ¹⁵	1x10 ¹⁵	0	0
As ⁺ Energy (KeV)	35	85	35	85	35	85

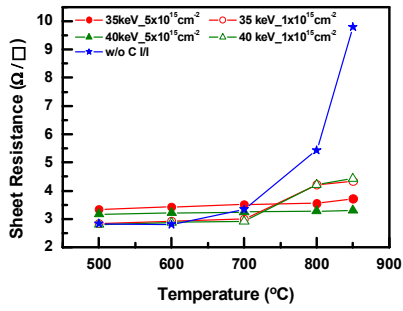


圖 1. 碳植入對於 NiSi/Si 結構經過不同溫度退火後的片電阻值影響。

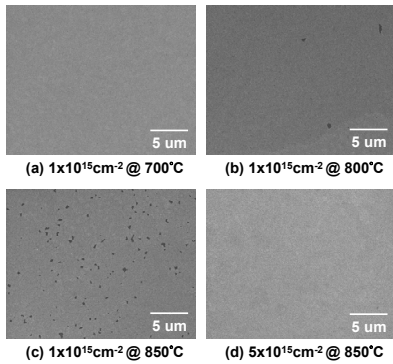


圖 2. NiSi 表面形貌的 SEM 觀測照片。

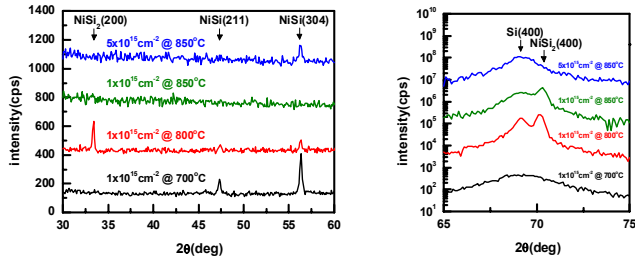


圖 3. 不同的碳植入條件的 NiSi/Si 結構經過不同溫度退火後的 XRD 繞射圖。

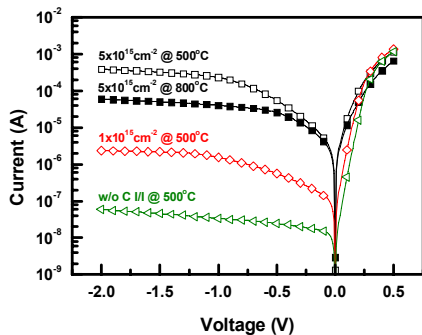


圖 4. 不同條件的碳植入以及退火溫度所製作出的 NiSi/Si 蕭基接面的 I-V 特性。

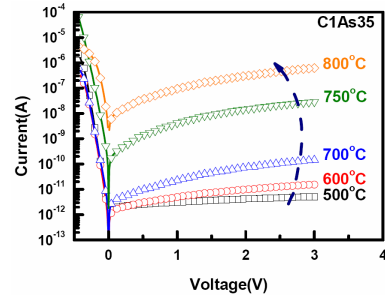


圖 5. C1As35 試片經過不同的 NiSi 形成溫度的 n⁺-p 淺接面 I-V 特性圖。

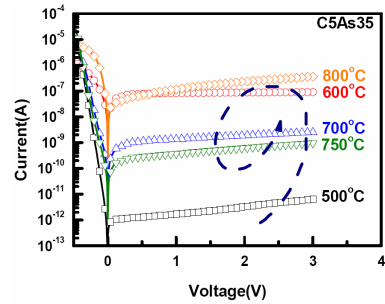


圖 6. C5As35 試片經過不同的 NiSi 形成溫度的 n⁺-p 淺接面 I-V 特性圖。

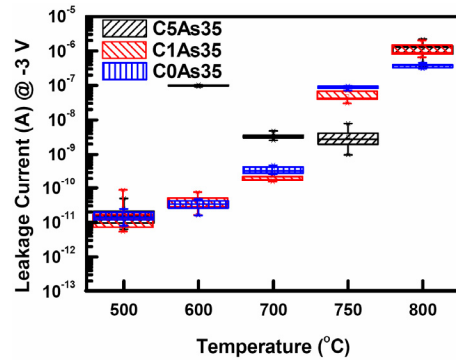


圖 7. As 植入能量 35Kev 的試片，經過不同的 NiSi 形成溫度的 n⁺-p 淺接面在 3V 的逆偏漏電流統計圖。

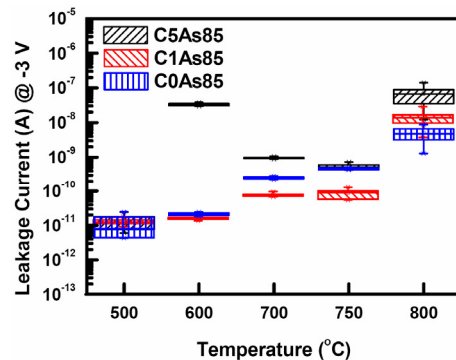


圖 8. As 植入能量 85Kev 的試片，經過不同的 NiSi 形成溫度的 n⁺-p 淺接面在 3V 的逆偏漏電流統計圖。

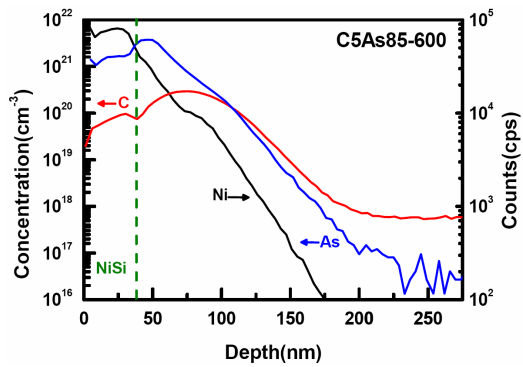


圖 9. C5As85 試片的 C, As, Ni 三種原子以 SIMS 分析所得的縱深分佈。

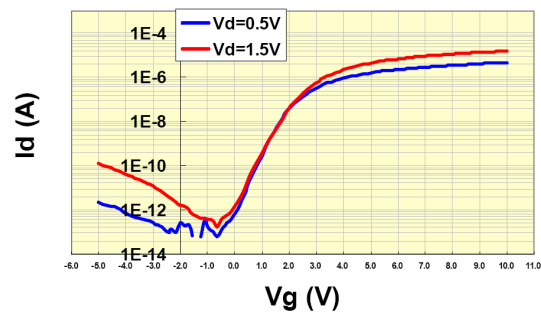


圖 12. GAA 複晶矽奈米線電晶體的典型 I-V 特性圖。

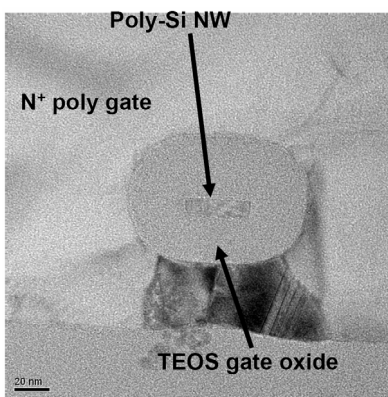


圖 10. 製作完成的 GAA 複晶矽奈米線電晶體通道區域的 TEM 剖面圖。通道厚度約 8-9nm。

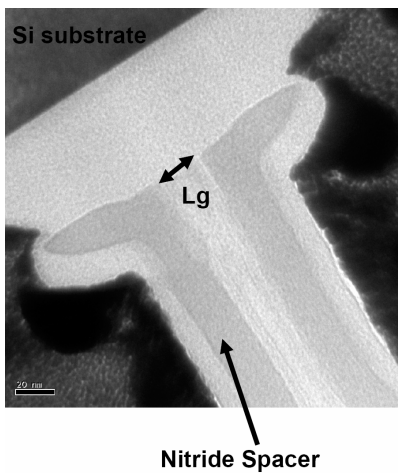


圖 11. 圖 10. 製作完成的 GAA 複晶矽奈米線電晶體閘極的 TEM 剖面圖。閘極長度約 15nm。