

# 行政院國家科學委員會專題研究計畫 期中進度報告

具通信功能之車用功率系統晶片--子計畫一：車用電源線  
通訊系統之類比前端積體電路設計(2/3)  
期中進度報告(完整版)

計畫類別：整合型  
計畫編號：NSC 98-2220-E-009-036-  
執行期間：98年08月01日至99年07月31日  
執行單位：國立交通大學電機與控制工程學系(所)

計畫主持人：洪浩喬

處理方式：本計畫可公開查詢

中華民國 99年05月28日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

具通信功能之車用功率系統晶片—子計畫一：

車用電源線通訊系統之類比前端積體電路設計(2/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 98-2220-E-009-036-

執行期間： 97年 8月 1日至99年 7月 31日

計畫主持人：洪浩喬 副教授

計畫參與人員：博士班研究生-兼任助理人員：洪紹峰

碩士班研究生-兼任助理人員：張志健

碩士班研究生-兼任助理人員：王毓賢

碩士班研究生-兼任助理人員：李健文

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：國立交通大學電機工程學系

中華民國九十九年五月二十八日

## 整合型計畫：具通信功能之車用功率系統晶片

### 子計畫一：車用電源線通訊系統之類比前端積體電路設計

“Design of the analog front end IC for power line communication on automobiles”

總計畫編號：NSC 98-2220-E-009 -035 -

子計畫編號：NSC 98-2220-E-009 -036 -

執行期間：98 年8 月1 日至 99 年7 月31 日

主持人：洪浩喬 交通大學電機工程系副教授

#### 一、摘要

本年度計有兩篇頂尖國際期刊論文，分別發表於IEEE Transactions on VLSI Systems [1] 與 IEEE Transactions on Instrumentation and Measurement [2]。以及一篇會議論文已投稿至 VLSI/CAD Symposium [3]。

我們使用 0.18 $\mu$ m CMOS 製程實作了一顆取樣頻率為 5MS/s 的循序近似式(SA)類比數位轉換器(ADC)。此 ADC 用全差動的方式以此降低共模雜訊以及外界的干擾。在我們的設計中我們使用了分塊電容式(Segmented capacitive)數位類比轉換器(DAC)以及上板取樣技術以減少參考電壓所消耗的功率和所需的單位電容個數。量測結果顯示此類 SA ADC 的有效解析度頻寬(ERBW)能達到耐奎斯(Nyquist)頻率且在取樣頻率為 5MS/s 時，有效位元為 8.5 位元。在 1.8V 的供應下，平均消耗功率僅為 6.8mW。

We have published two journal papers on IEEE Tran. on VLSI systems and IEEE Trans. on Instrumentation and Measurement. In addition, we also submit a conference paper to the 2010 VLSI/CAD symposium.

During this year, we designed a 12-bit, 5MS/s SA ADC. This SA ADC has a fully-differential structure to alleviate the environmental noise and interference. We applied the segmented capacitive DAC and the set-and-down switching sequence to the design. With these techniques, the total capacitor number and the power of the reference power are both reduced.

The measurement results show that the ADC achieves an effective resolution bandwidth up to the

Nyquist frequency at a sampling rate of 5MS/s. Its effective number of bit is 8.5 bits. At a supply of 1.8-V, the SA ADC consumes 6.8mW.

## 二、計畫緣由與目的

由於科技的進步，汽車的結構日益複雜，越來越多的電子產品被使用在汽車上面。如 GPS 導航系統、恆溫獨立空調等等、LED 尾燈、電動天窗、電動窗、電動座椅等等，都可以看到電的影子。這顯示汽車電子的重要性逐年攀升。

每一個開關、燈具、驅動點，都有一條特定的導線或匯流排，將指令由開關處傳送至儀表板，然後再將動作指令傳到受驅動點。這些來來回回的線路，使得汽車的繞線非常的複雜。不僅造成維修的困難，也減少了此電子系統的可靠度。

本計畫提出的汽車功率 SoC，能夠經由電源線來傳送指令，並且根據所接收到的指令，調整輸出的電壓電流大小、閃爍頻率、甚至到馬達驅動的電壓電流曲線 (Voltage/Current Profile)。如此，多數的車上電器裝備，都可使用此一晶片進行驅動，而汽車也只是一條電源線，更有甚之，此電源線為單一條串聯線，不需要向傳統的平行佈線方式。如此則能大大的減少佈線的使用，也能夠提昇汽車的可靠度，降低汽車的生產成本。

本子計畫所提出之應用於車用電源線通訊系統之 transceiver 的基本架構。其包含一 signal conditioning circuits、an anti-aliasing filter、一個類比數位轉換器、與一個數位類比轉換器。對接收端

(receiver end) 而言，先藉由 AC coupling 電容將電源線上之通訊訊號的共模訊號調整至適當位準後，再經 signal conditioning circuits 與 anti-aliasing filter 處理，將訊號調整至適當位準並將雜訊作初步濾除，最後將輸出送至 ADC 轉成數位訊號後，再交由基頻處理器處理。

經初步估算，該 ADC 需具備至少 8 位元解析度與 5MS/s 的取樣率方能提供所需的通訊頻寬。對於如此的規格而言可能的 ADC 架構包含積差式調變器 (Sigma-Delta modulator)、管線式 (pipelined) 類比數位轉換器、與連續近似式類比數位轉換器。然而，受限於電池的有限容量，我們必須儘可能降低各元件的功耗。管線式類比數位轉換器與積差式調變器皆需要運算放大器作為基本元件而積差式調變器更需要適當的超頻取樣率 (oversampling ratio)，所以兩者的耗能可能較高。另一方面，循序逼近式類比數位轉換器不需要高效能的運算放大器，可以大幅降低類比數位轉換器的功耗。

所以我們實現了一個具備 8 位元精確度與 5MS/s 的取樣率的低耗能循序逼近式類比數位轉換器作為本子計畫所提出之應用於車用電源線通訊系統之 transceiver 的元件。

## 三、全差動 SA ADC

圖 1 是所提出的 SA ADC 的類比部分，我們使用全差動的設計來有效減小 common-mode noise 的影響。這個 ADC 有 12 位元的解析度，需要 13 個時脈週期來進行一個樣本的轉換。



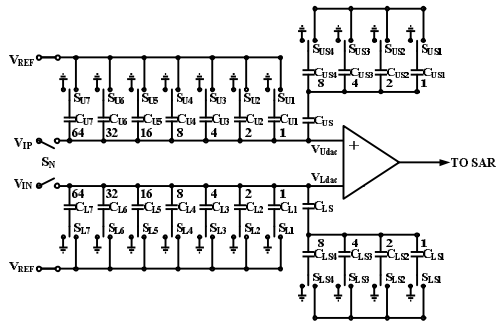


圖 1. 12 位元差動 SA ADC 的架構圖

第一個時脈週期是取樣，在此週期內我們把電容陣列中所有電容的負端接到  $V_{REF}$ 。而在同一時間，開關  $S_N$  導通，並把雙端輸入的電壓訊號取樣並儲存在電容陣列中。此技術稱為上板取樣 [7]。第二到第十三個週期則是循序近似的動作週期，電路會把取樣到的電壓訊號，依照最高有效位元 (MSB) 到最低有效位元 (LSB) 的順序，轉換成數位訊號的輸出。

在第一個連續近似的時脈，MSB 的結果會啟動連續近似數位邏輯電路，並決定要開啟哪一個開關。如果 MSB 的結果為 '1'，開關  $S_{U7}$  會從  $V_{REF}$  接到 GND。上半部的電容陣列將會在比較器正端產生  $V_{IP} - (1/2) * V_{REF}'$  的電壓，這裡的  $V_{REF}' = (2048/2047) * V_{REF}$ 。此時，比較器兩端的電壓分別是  $V_{Udac} = V_{IP} - (1/2) * V_{REF}'$  和  $V_{Ldac} = V_{IN}$ ，並根據此而決定 MSB-1 這個位元的輸出是 '1' 還是 '0'。相反，如果 MSB 是 '0'，就會把開關  $S_{L7}$  從  $V_{REF}$  接到 GND，這時比較器兩端電壓則為  $V_{Udac} = V_{IP}$  和  $V_{Ldac} = V_{IN} - (1/2) * V_{REF}'$ ，並決定 MSB-1 的結果。

在 bit-cycling 的過程中，如果比較器正端的電壓比負端的高，那麼只有一個對應的負端電容陣列的開關會從  $V_{REF}$  接到 GND。如果比較器正端的電

壓比負端的低，那麼只有一個對應的正端電容陣列的開關會從  $V_{REF}$  接到 GND。SAR ADC 會不斷重複以上步驟直到 LSB 的結果決定為止。此種切換電容的方式稱為 Set-and-down [7]。

Set-and-down 和傳統的開關時序最大的不同是，前者的方法是把類比的輸入訊號取樣到電容的上板，而後者則是取樣到下板。這樣的話選用 Set-and-down 方法可以把所需的類比多工器的結構從 3-to-1 簡化成 2-to-1。同時，也可以比傳統的方法節省一半的電容。最後，因為每次的轉換當中，電容都只會放電而不會做充電的動作，所以會減少開關工作時所需要的能量 [7]。

#### 四、電路設計

此 SA ADC 的電路結構包含了兩個取樣開關，兩個由分段電容陣列組成的電容式數位類比轉換器，一個比較器以及一個數位邏輯電路。以下詳述電路設計。

##### 四.1 取樣開關

我們使用傳統的傳輸開當作我們的取樣開關。同時我們也加入一些額外的 MOSFET 在此開關的兩旁以此減少電荷注入效應以及訊號 feed-through 的干擾。

##### 四.2 拴鎖式 (Latched) 比較器

比較器是一項非常重要的元件，需要能比較出非常小的電壓差，此電壓大約是 1 LSB。每個比較器電路都會有跟輸入有關的偏移。假設此比較器的偏移量是 10 mV，如果不處理這個偏移量的話，此 ADC 的有效位元將不可能高過 9 位元。

為了減少比較器的偏移量的干

擾，我們在 latch 前端串接了一些偏移量補償過的前置放大器。假設此 latch 的偏移量是 10 mV 且一個 LSB =  $2/2^{12} = 0.49$  mV。為了使輸入端的偏移量能小於 1/2 LSB，此前置放大器的增益須大於  $10\text{mV}/0.245\text{mV}=40$  或 32.32dB。

由於前置放大器本身也會有偏移量，我們使用輸出偏移量儲存的技術 [8] 來減低前置放大器偏移量的干擾。為了不讓前置放大器的輸出在偏移量過大時飽和，前置放大器每一級的增益皆設計成小於 20dB。

圖 2 是整個比較器的架構 [12]。第一級前置放大器的功用為接收 DAC 的輸出，放大此差動輸入訊號，並且固定住輸出共模電壓。由於第一級增益設計成很小，因此它與第二級串接後再一起作輸出偏移量補償，而第三級與第四級則分別作輸出偏移量補償。

圖 3 是控制此比較器動作的時脈。Ph1 為 1 時為儲存偏移量的相位，Ph2 為 1 時為循序近似相位。

圖 4 是所設計的前置放大器電路圖，為傳統的主動負載式差動放大器 [10]。M1 和 M2 是 NMOS 的輸入差動對。M3 和 M4 是主動式負載(active loads)。為了增加前置放大器的差動增益，我們加入了 M5 和 M6 兩個電流源。

圖 5 是所設計的 regeneration latch 的電路圖 [11]。M1 和 M2 是 NMOS 的輸入差動對。當 CLK 為低電位時，M7 和 M8 會將 P、N 兩點的電壓設為 VDD。當 CLK 為高電位時，M3-M4 和 M5-M6 將會做電壓再生且將點 P、N 的電位分開至 VDD 和 GND 或 GND

和 VDD。加入 Ms 可以使 latch 的靜態功率消耗為零。

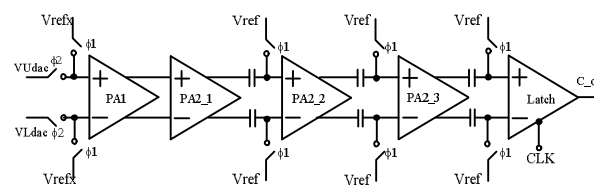


圖 2. 比較器架構圖 [12]

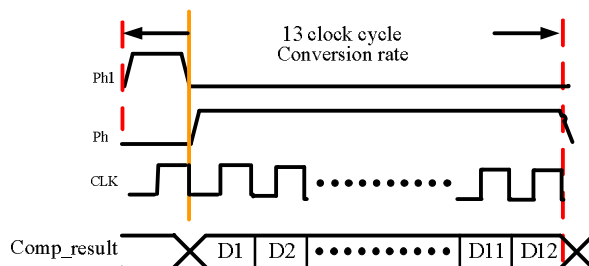


圖 3. 比較器的時脈

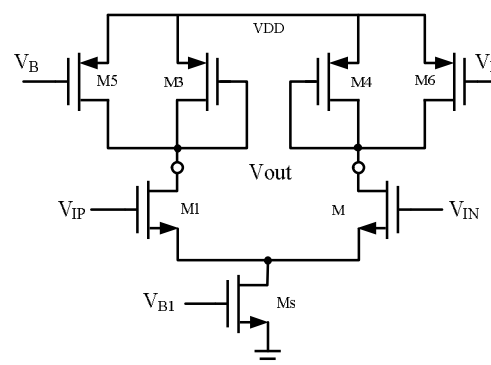


圖 4. 前置放大器的電路圖 [10]

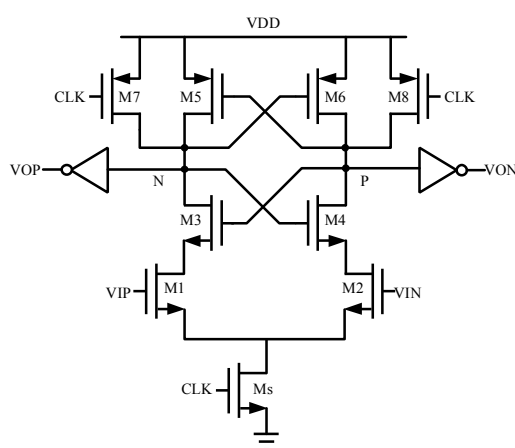


圖 5. Regeneration latch 的電路圖 [11]

#### 四.3 數位類比轉換器

由於此 SA ADC 的解析度定為 12 位元，若使用傳統的二進位加權式電容陣列來實現將會需要 4096 個單位電容，如此大的電容面積將會大幅提高成本。因此，在我們的設計中使用分段電容陣列。每一個分段電容陣列包含一個主 DAC 及一個副 DAC。兩者之間由跨接電容( $C_{US}$ ,  $C_{LS}$ )連接。由於在副 DAC 中的寄生電容會影響此 ADC 低位元的精準度，所以副 DAC 的位元數要越小越好。相反的，一個小位元數的副 DAC 將會使的主 DAC 面積變大。最後，在我們的設計中，將 DAC 分成 7 位元的主 DAC 和 4 位元的副 DAC。

#### 四.4 數位邏輯電路

此連續近似數位邏輯電路由標準的 CMOS 邏輯閘構成。此數位電路的功率消耗可以表示為[4]

$$P_D = \phi(V_{in})f_{clk}C_{ckt}V_{DD}^2 \quad (1)$$

$C_{ckt}$  代表此數為邏輯控制器整個節點的電容，而  $\phi(V_{in})$  代表數位閘的切換機率[4]。由方程式(1)可知，為了減少功率的消耗，在數位電路 MOSFET 的大小要越小越好。

#### 五、量測結果

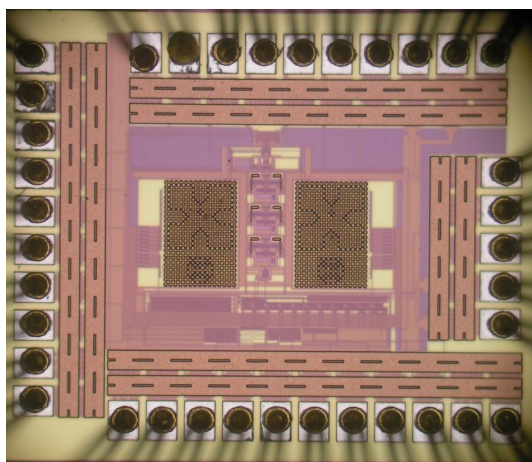


圖 6. SA ADC 的晶片照

此 ADC 的製程為 TSMC 0.18um 1P6M CMOS process，圖 6 為此 SA ADC 的晶片照，active core 面積是 541.1m x 429.515m。

#### 五.1 靜態參數量測結果

圖 7 和圖 8 分別是此 SA ADC 的 INL 和 DNL 的量測結果，INL 最大值為 +15/-8.0 LSB，DNL 最大值為 +9.5/-1.0 LSB。

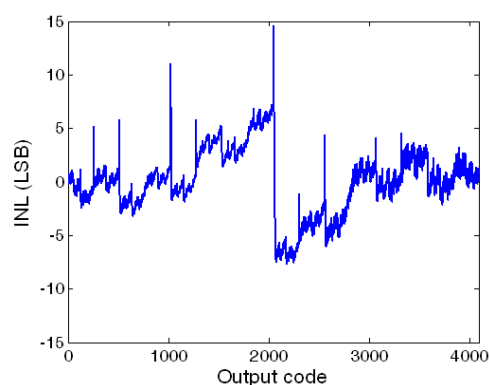


圖 7. INL vs. output code

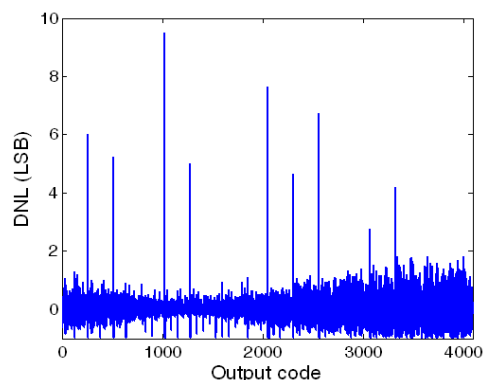


圖 8. DNL vs. output code

#### 五.2 動態參數量測結果

圖 9 是當輸入為振幅為 -0.5dBFS，頻率為 0.4MHz 的正弦波時，量測到 ADC 的輸出頻譜。Spurious-Free Dynamic Range (SFDR) 為 58.0 dB，signal-to-noise-and-distortion-ratio

(SNDR) 為 52.7 dB. 換算成有效位元為 8.5 位元。

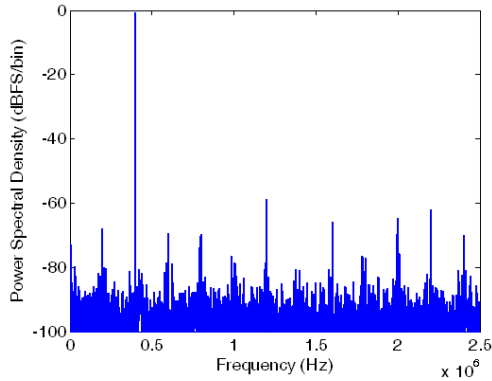


圖 9. Output spectrum of the ADC with the 0.4 MHz stimulus

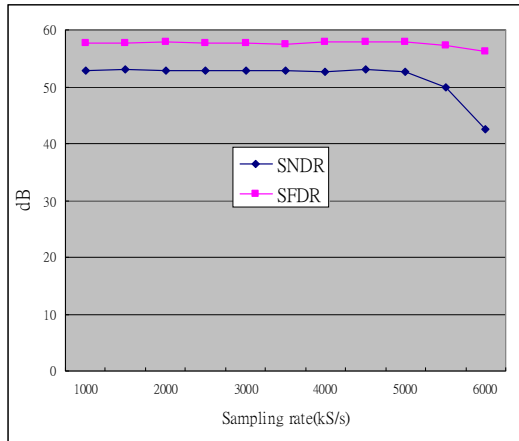


圖 10. SFDR 和 SNDR 與取樣頻率的關係

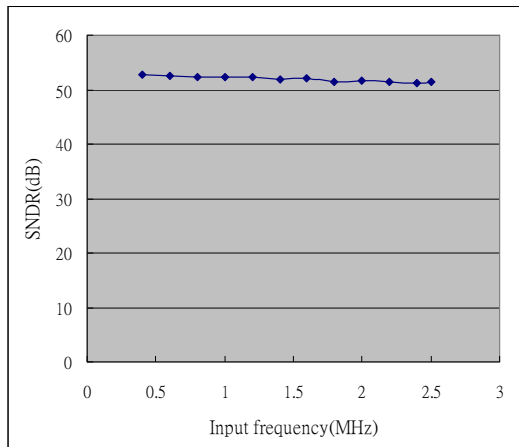


圖 11. SNDR 對輸入頻率的關係

		Measurement Results	
Technology	TSMC 1P6M 0.18μm CMOS		
Area	541.1 μm by 429.515 μm		
Supply Voltage	1.8 V		
Resolution	12 bits		
Sampling rate	5 MS/s		
DNL/INL	+9.5~-1.0/+15~-8.0 LSB		
SFDR/SNDR	58.0/52.7 dB		
ENOB	8.5 bits		
ERBW	2.5 MHz		
Power (mW)	AVDD	4.63	
	DVDD	2.13*	
	VREF	0.02	
	Total	6.79	
FoM (pJ/Conv-step)	4.15		

\*including the I/O buffers

圖 10 是量測的 SFDR 及 SNDR 在輸入頻率為 0.4MHz 的 sin 波時對不同的取樣頻率所作的圖，結果顯示當此 ADC 的取樣頻率為 5MS/s 時，SFDR 及 SNDR 都沒有顯著的下降。

圖 11 是量測的 SNDR 對不同的輸入頻率所作的圖。當輸入頻率到奈奎斯頻率時，SNDR 並沒有顯著的下降，顯示此 ADC 的有效解析度頻寬達到 Nyquist frequency 為 2.5MHz。

### 五.3 功率消耗

在供應電壓為 1.8V，時脈頻率為 65MHz 時(取樣頻率為 5MS/s)，此 ADC 的功率消耗為 6.78mW。類比部份消耗 4.63mW，數位部份消耗 2.13mW，電容性 DAC 消耗 0.02mW。

我們使用下列公式計算 figure-of-merits (FoM)

$$FoM = \frac{Power}{2^{ENOB@DC} \cdot 2 \cdot ERBW} \quad (2)$$

Table I . Performance summary

此 SA ADC 的 FOM 值為 4.15 pJ/conversion-step。Table I 對此 ADC 的性能作了簡表。

## 六、結論與自評

我們使用 0.18 $\mu$ m CMOS 製程實現了一顆取樣頻率為 5MS/s 的 SA ADC，量測結果顯示，此 SA ADC 的有效解析度頻寬能到耐奎斯頻率且在 5MS/s 時，有效位元為 8.5 位元。在供應電壓為 1.8V 時，消耗 6.8mW。我們也將此 SA ADC 的特性寫成 paper 投稿於第二十一屆超大型積體電路設計暨計算機輔助設計技術研討會。

本類 SAR ADC 的有效位元只能達到 8.5 bits，主要原因還是電容陣列中各個電容比例誤差過大的關係。若要提升解析度，勢必要加入校正電容陣列的演算法。而此演算法的理論基礎我們已經完成並正在申請專利，目前也已經著手設計電路。

## 七、參考文獻

- [1] S.-C. Liang, **and H.-C. Hong**, "A Digitally Testable  $\Sigma$ - $\Delta$  Modulator using the Decorrelating Design-for-Digital-Testability Scheme," *IEEE Transactions on VLSI systems*, to be published, 2010 (SCI, EI)
- [2] **H.-C. Hong** and F.-Y. Su, and S.-F. Hung, "A Fully Integrated Built-In-Self-Test Sigma-Delta ADC Based on the Modified Controlled Sine Wave Fitting Procedure," (Regular paper) *IEEE Transactions on Instrumentation and Measurement* to be published, 2010 (SCI, EI)
- [3] C.-C. Chang and **H.-C. Hong**, "A 5MS/s Fully-Differential Successive Approximation Analog-to-Digital Converter with an ENOB of 8.5," submitted to 2010 VLSI/CAD Symposium.
- [4] H.-C. Hong and G.-M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-KS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, Vol. 42, No. 10, pp. 2161-2168, Oct., 2007.
- [5] A. Abo and P. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, Vol. 34, No.5, pp. 599-606, May 1999.
- [6] S. Rabbii and B. A. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, Vol.32, No.6, pp.783-796, June 1997.
- [7] C.-C. Liu, S.-J. Chang, G.-Y. Huang and Y.-Z. Lin, "A 0.92mW 10-bits 50-MS/s SAR ADC in 0.13 $\mu$ m CMOS Process," *IEEE Symp. on VLSI Circuits Dig. Tech. Papers*, pp 236-237, Jun. 2009.
- [8] B. P. Ginsburg and A. P. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS with split capacitor array DAC," *IEEE J. Solid-State Circuits*, Vol. 42, No. 4, pp. 739-747, Apr. 2007.
- [9] Y.-K. Chang, C.-S. Wang and C.-K. Wang, "A 8-bit 500KS/s low power SAR ADC for bio-medical application," *Proceedings of IEEE Asian Solid-State Circuits Conference*, pp. 228-231, Nov. 2008.
- [10] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [11] B. Wicht, T. Nirschl, and D. Schmitt-Landsiedel, "Yield and speed optimization of a latch-type voltage sense amplifier," *IEEE J. Solid- State Circuits*, Vol. 39, No. 7, pp. 1148-1158, July 2004.
- [12] 郭榮洲, "Design of a 12-bit, ultra-low power successive approximation analog-to-digital converter", 國立交通大學電機與控制工程學系碩士論文, Jan. 2008.
- [13] 謝宗殷, "A digital calibration scheme for the successive approximation analog-to-digital converter", 國立交通大學電機與控制工程學系碩士論文, Mar. 2009.
- [14] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th Ed., Oxford University Press, 1998
- [15] A. Baschiroto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, Vol. 32, No. 12, pp. 1979-1986, Dec. 1997.