

行政院國家科學委員會專題研究計畫 期中進度報告

針對 3D 整合之電子設計自動化技術開發—子計畫五：應用
在驗證與測試 3D IC 整合過程中以計算智慧為基礎的測試
向量產生方法(1/2)
期中進度報告(完整版)

計畫類別：整合型

計畫編號：NSC 98-2220-E-009-062-

執行期間：98年08月01日至99年07月31日

執行單位：國立交通大學電信工程學系(所)

計畫主持人：溫宏斌

處理方式：本計畫可公開查詢

中華民國 99 年 05 月 25 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

針對 3D 整合之電子設計自動化技術開發—子計畫(五)
應用在驗證與測試 3D IC 整合過程中
以計算智慧為基礎的測試向量產生方法(1/2)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 98-2220-E-009-062

執行期間：98 年 08 月 01 日至 99 年 7 月 31 日

計畫主持人：溫宏斌

共同主持人：

計畫參與人員：廖千慧、陳韋廷、高振源、張家慶

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電信工程學系(所)

中 華 民 國 99 年 5 月 31 日

TSV-Constrained Scan-Chain Reordering for 3D ICs

計劃編號：NSC 98-2220-E-009-062

執行期間：98 年 08 月 01 日起至 99 年 07 月 31 日

主持人：溫宏斌 教授 國立交通大學電信所

一. 摘要

中文

在積體電路設計(Integrated Circuit design)中，電路可測性(testability)為重要的一個環節，其中以 scan-chain 設計為主流的技術，而該技術的使用可以改善電路可測性和增加偵錯(fault diagnosis)能力。在傳統二維積體電路技術中，已有大量的 scan-chain 設計的文獻提出，提出的技術目的都在縮短 scan-chain 的繞線長度(routing length)和降低因 scan vector 所產生的動態功率消耗。然而，這些技術並不適用於現在正蓬勃發展的三維積體電路技術。在這篇報告中，我們提出一個決定論的演算法(deterministic algorithm)可以在三維積體電路中克服 scan-chain 繞線過長或功率消耗過大的問題，而該演算法也可以對三維積體電路中的垂直連接技術 TSV(Through-Silicon Via)的個數作限制，來降低 TSV 過多而帶來的良率(yield)問題。我們會對 ISCAS' 89 電路作實驗，比較的對象是以基因演算法(genetic algorithm)為基礎的先前技術，而不論在有限制或沒有考慮 TSV 數量的實驗中，都得到相似的結果。除了在最小的電路，先前技術會得到較好的繞線長度和功率消耗之外，我們的技術在其它大電路均得到較好的結果，並且在每個電路的實行時間(run-time)，我們的技術都比先前技術快上一百倍以上。綜合以上，我們提出一個實際的演算法在三維積體電路中來設計 scan-chain，在短時間內可以得到比先前技術更好的繞線長度和功率消耗結果。

關鍵字：*scan-chain design, 3D Integrated Circuit*

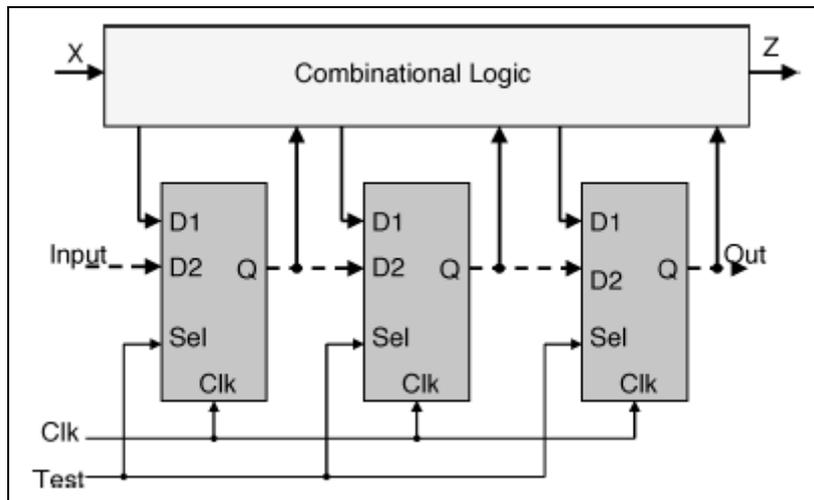
英文

Testability plays a key role to the success of integrated circuit designs where scan-chain design is one of the mainstream techniques and used to enhance fault diagnosis. Many previous research works are proposed for reducing the routing of traditional 2-dimensional designs and the dynamic power consumption induced by the scan vectors. However, since these approaches are not dedicated to the thriving 3-dimensional IC designs, a new deterministic algorithm is proposed to overcome the problems of wirelength reduction and power reduction while considering the limitation of using through silicon vias (TSVs) in 3D ICs to alleviate the related yield loss. ISCAS89 circuits are used for benchmarking and the results from the genetic algorithm (GA) proposed by Yuan et al are compared. The conclusions can be drawn similarly either with or without TVS constraints. Except for some smaller circuits, the new algorithm can achieve a better performance on both the total wirelength and the power reduction for the large circuits with 2-order less runtime (100X faster). As a result, the new algorithm can be a practical solution for the real scan-chain designs in 3D ICs.

Keywords: scan-chain design, 3D integrated circuits

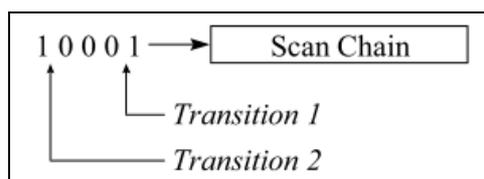
二. 計畫緣由及目地

scan-chain 設計可在積體電路中加強電路可測性和偵錯能力[1]。在 full-scan 設計電路中，邏輯合成(synthesis)的過程中會將所有的 flip-flops 替換 scan flip-flops，而這些掃描正反器連接起來就成為 scan-chain，圖一就是一個簡單的 scan-chain 範例，圖中包含組合邏輯(combinational logic)電路和多個 scan flip-flops，而當 Test 訊號為 1 時，會進入測試模式，利用 Input 透過 D2 給定正反器已知的值，來增加電路的可控制度(controllability)進而增加電路的可測度；而當 Test 訊號為 0 時，會進入正常模式，正反器的值由 D1 決定，也就是由組合邏輯電路決定。



圖一：簡易 scan-chain 範例

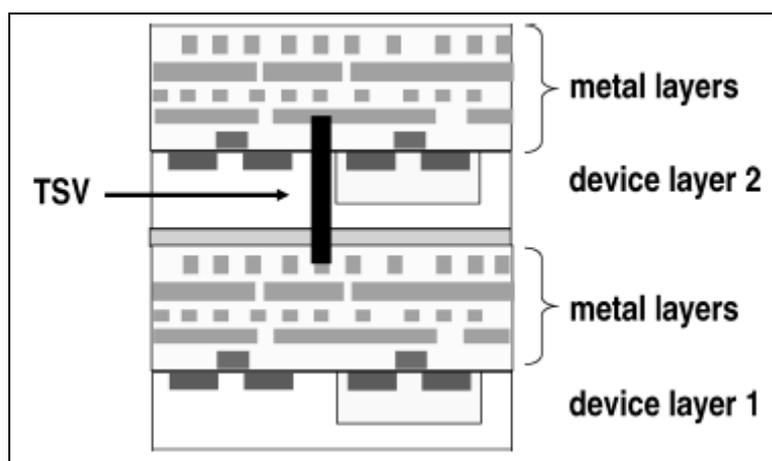
雖然 scan-chain design 可以降低繞線長度和提升偵錯能力，但是會因為 scan flip-flops 需要多工器而造成面積增加，也因為要連接所有正反器而造成繞線總長度的增加。過長的連接線會造成 physical layout 的面積增加、繞線的困難度增加、甚至造成電路效能的降低。因此實際的 scan-chain 設計必須去最小化繞線長度，以避免電路成本上升和電路效能下降。因為串起來的 scan flip-flops 的順序並不影響電路的可測度，所以很多研究[1-3]都在做 scan-chain reordering 來縮短 scan flip-flops 的繞線長度。另一個 scan-chain design 所遭受的困難就是過高的動態功率消耗，由圖二可了解動態功率的來源，當 scan vector 中的位元之間產生高低電位的切換，就是由 transitions 所造成的功率消耗，所造成的 transitions 會造成圖一中的組合邏輯電路中大量的高低電位切換，而造成大量的動態功率消耗。因此，使用 scan-chain reordering 的技術不只可以縮短繞線長度，也有些研究[4-6]目的在於減少 scan-chain 在測試模式中所帶來的動態功率消耗。



圖二：Transitions in Scan Vector

因為現行積體電路技術的製程不斷縮小的情況下，電路中的 interconnect 已經是時間延遲(delay)和功率消耗的主要來源。因此，在深次微米(deep-submicron)製程中，縮小 interconnect 以減少時間延遲和功率消耗是一大重要的議題。一種新穎的積體電路技術被提出，就是三維積體電路，該技術可以解決在二維積體電路由 interconnect 所導致的問題[7-10]。三維積體電路的垂直連接技術，包含 wire-bonding, microbump, contactless(capacitive or inductive), 和 through-silicon-via(TSV)等連接技術，而其中又以 TSV 為主流，因為它擁有最好的垂直連接密度和長度。在使用 TSV 為垂直連接技術的三維積體電路晶片中，多個主動元件層(active device layer)會透過 TSV 作垂直連接，就如圖三所示。以下指出多個三維積體電路的優勢相較於二維積體電路

- ✓ 因為三維積體電路的垂直連接距離(10~100 微米)，而擁有較短的 interconnect 長度
- ✓ 因為較短的 interconnect 平均長度，而使電路的整體效能(performance)增加
- ✓ 因為較短的繞線長度，而產生較小的電容使得整體功率消耗下降
- ✓ 更高的封裝密度，更小的 footprint
- ✓ 可在單一晶片上實現多個不同的製程技術，也就是每一層可以使用不同的製程技術



圖三：以 TSV 垂直連接的三維積體電路

在最近幾年，三維積體電路的製造(fabrication)技術已發展成熟[11]。舉例來說，IBM 於西元 2007 年初已宣布他們可以將二維電路平面電路布局(layout)轉換為三維堆疊的電路布局。即使製造技術已發展成熟，但針對三維積體電路的设计自動化(design automation)、測試(testing)、DfT(Design for Testability)

的技術仍然在發展中甚至無解的狀態下[11]。若要使三維積體電路要成為電路的主流，就需要針對三維積體電路的 EDA 工具軟體和技術方法，讓此技術的設計與製造更有效率。當然，有許多針對三維積體電路的研究[12-18]已被提出，大部分是針對三維積體電路的實體設計(physical design)部分，而[17-18]這兩篇研究是針對三維積體電路的 scan-chain reordering 技術，兩篇都是以基因演算法為基礎的方法，[17]是第一篇提出針對三維積體電路的 scan-chain reordering 技術，而目標是縮短 scan-chain 的繞線長度，並且可以限制 TSV 的數量；而[18]不只考慮 scan-chain 的繞線長度，也加入了經由 scan vector 而產生的動態功率作為一同考慮的因素，換句話說，此 scan-chain reordering 的技術可同時考慮 scan-chain 的繞線長度和動態功率消耗。

在這篇報告，我們所針對的問題是為了最小化 scan-chain 繞線長度和最小化 scan-chain 所造成的動態功率消耗，如何去做 scan-chain reordering?相較於先前技術所採用的基因演算法，我們是第一個提出決定性的演算法(deterministic algorithm)在三維積體電路作 scan-chain reordering 並且可以對 TSV 作限制。scan-chain reordering 可視為一個 NP-Hard Traveling Salesman Problem(TSP)。而我們提出的決定性演算法，主要是 Fast-Pair[19]為主的資料結構，採用 Multi-Fragment 的方法建立出一個初始 scan-chain 的順序，再由我們所提出 3D-planarization 方法去最佳化初始解。因為我們採用決定性的演算法，每一次的結果都相同，並且都可以在線性時間(polynomial time)內求得解。相較於基因演算法，我們可以比先前技術快上百倍以上找到 5%誤差以內的解(即是 scan cells 的順序)，甚至更好的解。接下來會詳細介紹我們所提出的方法和實驗結果，最後是我們的總結。

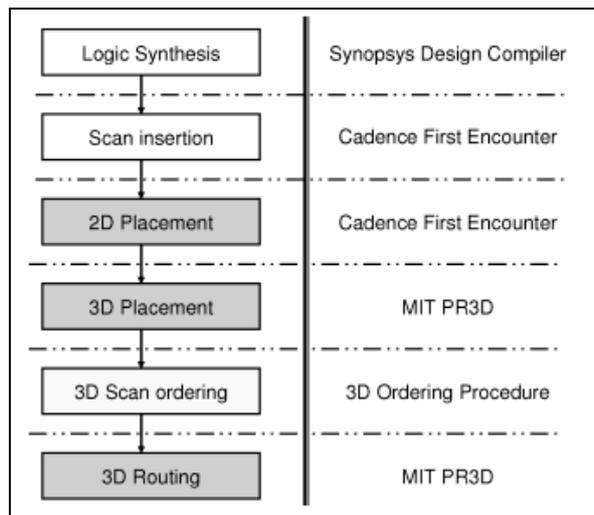
三. 研究成果與方法

1. 三維scan-chain設計流程

在提出 scan-chain reordering 的演算法之前，圖四[17]是整個三維 scan-chain 設計流程。一開始先對 design 作邏輯合成(synthesis)，得到 gate-level netlist，接下來我們使用 scan-chain insertion 工具將所有 flip-flop 替換成 scan flip-flop，而這些 scan flip-flops 並未串起來。在替換成 scan flip-flop 之後，就用 Cadence First Encounter 將這個電路作 placement，但這 placement 的結果是在二維平面上的。接下來，使用三維 placement and routing tool，PR3D[12]，來將二維的 placement 結果轉換為三維的 placement 結果。最後，在已知的三維 placement 結果中應用 scan-chain reordering 演算法，就得到所有 scan flip-flops 的順序，再將它們串起來。綜合以上，就是整個三維 scan-chain 設計流程。

但是 PR3D 已經商業化，我們無法取得，所以我們更改了部分流程如下。在

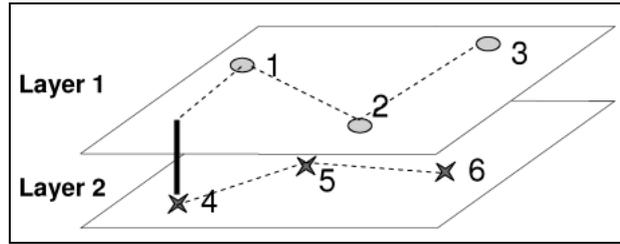
替換完 scan flip-flops 之後，我們就 partition 這個 design，目標為每個 partition 的 cell 總和面積盡量相同的情況下，去最小化兩兩 partition 之間的連線。再用 Cadence First Encounter 去對每一個 partition design 作二維 placement，因此每一層都有一個二維 placement 結果，最後就得到一個三維 placement 結果，也知道每一個 scan flip-flop 的位置。接下來一樣去應用 scan-chain reordering 演算法，得到所有 scan flip-flops 的順序，在去做最後的繞線。以上就是我們所提出的三維 scan-chain 設計流程。



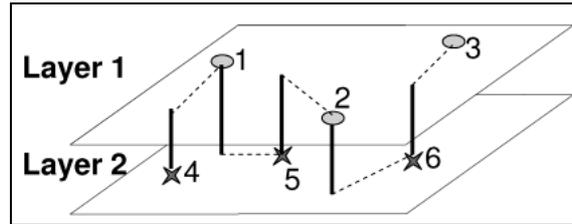
圖四：三維 scan-chain 設計流程

2. 三維 scan-chain 設計方法

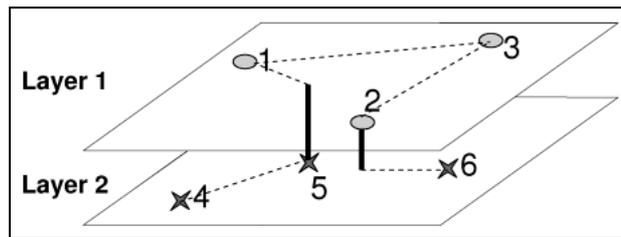
傳統二維 scan-chain 設計和三維 scan-chain 設計最大的不同是三維 placement 結果。在二維設計中，第 i 個 scan flip-flop 的位置為 (x_i, y_i) ，相對於三維設計，第 i 個 scan flip-flop 的位置為 (x_i, y_i, L_i) ，不只含 x 和 y 座標還有所在的層數。因此，在設計方法中有本質上的不同，而[17]提出了三種不同的設計方法，有 VIA3D、MAP3D、OPT3D。首先，VIA3D 會有最少的 TSV 個數(層和層之間只有一個 TSV)，對每一層做二維 scan-chain reordering，可得到每一層的最佳繞線解，但是總體繞線長度並不保證是最短的。再來，MAP3D 就是將所有的 scan flip-flops 映射到同一個二維平面上，再使用二維 scan-chain reordering 的演算法。雖然可以得到在這個二維平面上的最佳繞線解，但是並沒有考慮 TSV 的長度，因此在實際狀況上不會得到三維的最佳解。而最後的 OPT3D 即考慮了 TSV 的長度下去找出三維的最佳解。圖五、六、七各代表不同的設計方法。圖中的範例是兩層的三維積體電路，而每一層都包含三個 scan flip-flops。在考慮種種因素後，我們的演算法的設計方法會採用 OPT3D，可以得到三維最佳解，而且更符合真實情況。



圖五：VIA3D 設計方法



圖六：MAP3D 設計方法



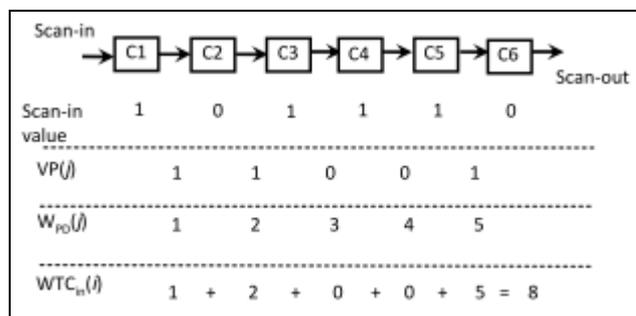
圖七：OPT3D 設計方法

3. 三維 Scan-Chain Reordering 演算法

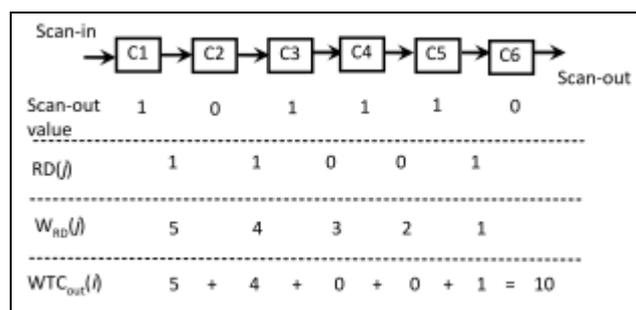
在已知每一個 scan flip-flop 的位置下，可以將這個 reordering 演算法視為 traveling salesman problem(TSP)，就是在經過每一個 scan flip-flop 一次的情況下，得到最短(小)的 cost。這裡的 cost 可以是任何值得考慮的參數，在這篇報告所關心的是繞線長度和動態功率消耗。

首先，繞線長度指的是串起所有 scan flip-flops 所需的繞線長度，而這個繞線長度不只是兩兩 scan flip-flop 在 XY 座標的曼哈頓距離(Manhattan distance)，還包含兩兩 scan flip-flop 的垂直距離，即是所在層數差乘以 TSV 的長度。而動態功率的消耗主要是由 total weighted transition(TWT)來估計，其內容包含 scan-in 的 weighted transition count(WTC)、scan-out 的 WTC、還有 peak transition count。圖八和圖九是用六個 scan flip-flops 來說明 scan-in 和 scan-out 的 WTC 的範例，其中 $VP(j)$ 代表第 j 個位置是否有 transition、 $W_{pd}(j)$ 代表第 j 個位置的權重、最後算出 scan-in 和 scan-out 的 WTC。權重的決定就代表了該 transition 在 combinational logic 的影響，就 scan-in operation 來說，先進去的位置擁有較大的權重；而在 scan-out operation 中，後出來的位置擁有較大的權重。圖十則是用四個 scan flip-flops 說明 TWT 的範例，其中以方框框起來的位置即是 peak transition 發生的位置，

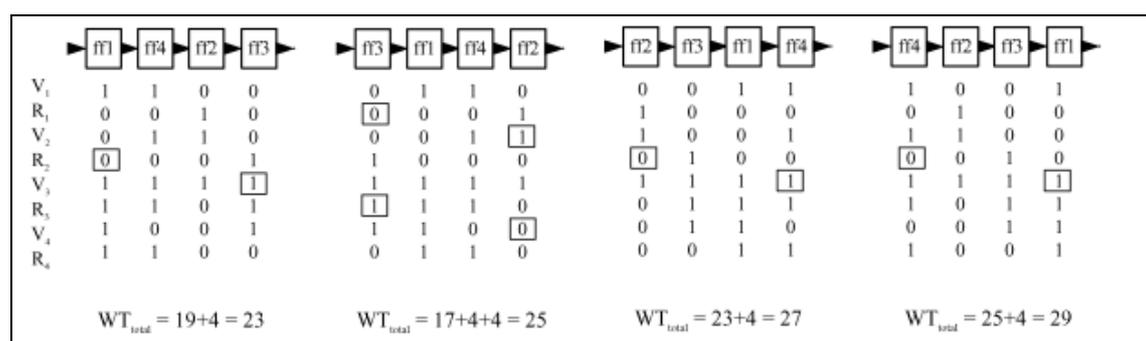
代表上一個 scan vector 的 response 的最後出來的電位和這個 scan vector 的第一個 scan-in 的電位有 transition 發生時，會對電路動態功率的消耗有最大的影響力，該權重為 scan flip-flops 的數量，在圖九就代表 peak transition 的權重為 4。並由圖九可以看出即使該 scan flip-flops 的順序擁有較少的 scan-in 和 scan-out 的 WTC，由於 peak transition 的權重較高，所以 TWT 還是以 peak transition 所主導。



圖八：Scan-In Operation



圖九：Scan-Out Operation



圖十：TWT 的範例

在討論完我們要解決問題的目標後，接下來我們提出 scan-chain reordering 演算法的流程。首先，我們會利用 Fast-Pair 這個資料結構在 MultiFragment 的建構方法下得到初始 scan flip-flops 的順序，接下來，會利用一個 local optimization 的方法去對初始解作最佳化，我們稱為 3D Planarization。

I. Fast-Pair MultiFragment Construction

一開始要說明 Fast-Pair，它是一個有效處理 closest pair 的資料結構，由表一可以看出它和傳統用暴力法(Brute-Force)及其他 dynamic closest pair 資料結構的差異[19]。而 closest pair 就是找出所有點中，點對點的 cost 最小的那一對點。在這裡我們會定義點對點的 cost。在考慮繞線長度中，cost function 如 eq. (1)所示。而在考慮 TWT 中，因為是點和點之間的關係，所以先不考慮每個位置代表的權重，只考慮在所有 scan vector 之下兩兩 scan cell 的 transition 總和，可由圖十說明。在圖十的第一個範例(左一)中，頭兩個 scan cell(ff1 和 ff4)之間的 transition 就是 2，出現在 V2 和 V4 中。因此，可以定義出 cost function 如 eq. (2)所示。

$$\text{cost}(c_i, c_j) = \text{Abs}(x_i - x_j) + \text{Abs}(y_i - y_j) + L_{TSV} \cdot \text{Abs}(L_i - L_j) \dots \text{eq.}(1)$$

$$\text{cost}(c_i, c_j) = \sum_{\text{ScanVector}} \text{Transition}_{i,j} \dots \text{eq.}(2)$$

由這些 cost function 去挑出 cost 最小的一對點，並連接成一個 segment，再取出次小 cost 的 segment，慢慢地建立出一個 scan flip-flops 的順序，而上述這建構方法即是 MultiFragment。它是一種 greedy 演算法，很明顯這個初始解還有很大的改善空間。

II. 3D Planarization

在得到初始解後，可以開始作 local optimization，即是 3D Planarization。Planarization 目的是得到 cost 較小的解，方法是用兩個 segments 替代原來通過四點的兩個 segments，若替代後的 cost 優於原本的 cost，就達到 local optimization 的目的。在 TSV 沒有限制的情況下，可以盡可能應用這個技術直到無法最佳化為止。但在有 TSV 數量的情況下，作法並不相同。在得到初始解之後，也知道現在需要的 TSV 數量，在應用上述 planarization 方法去減少 TSV 數量直到符合限制為止。再去應用 planarization 去減少 cost，但替代後的解不能有 TSV 增加的情況才去做替換。

	BruteForce	Neighbors	QuadTree	CongaLine	MultiSet	FastPair
n=250	5.76	0.6	0.36	1.09	0.38	0.36
500	53.8	2.48	1.71	5.98	1.65	1.52
1000	456.98	10.24	7.94	28.17	7.1	6.75
2000	4145.91	46.41		154.25	35.35	31.88
4000		204.14		785.14	165.58	148.76
8000		841.32		3644.6	747.8	659.85
16000		3337.03			3051.22	2709.94

表一: [19]Dynamic Closest Pairs for Hierarchical Clustering in R²⁰

4. 實驗結果

為了展現出我們的成果，應用我們的演算法和先前技術的演算法[17-18]在 ISCAS' 89 的部分電路上。我們使用 TSMC 180nm Library，且用 Cadence First Encounter 去得到每一層的 scan flip-flops 的位置和層數。在考慮繞線長度部分，我們假設 TSV 長度為 $10\ \mu\text{m}$ 。在考慮動態功率消耗方面，我們使用 Synopsys TetraMax ATPG Tool 來產生 scan vector，表二就是所有電路的 scan vector 的資訊。

我們分別將電路分為二、三、四、五層去做兩個演算法的比較，而目標也分為二，一是最小化繞線長度；二是最小化 TWT，而又可以對 TSV 的數目加以限制。做完實驗之後，發現兩種演算法在二、三、四、五層電路的比較結果均相似，所已僅展出四層電路的比較結果。表三就是無 TSV 限制下繞線長度的比較，除了在較小的 s1423 電路中得到較差的繞線解，其餘較大電路均得到誤差在 3% 內的繞線解，且大部分電路均得到更好的繞線解，最重要的是時間最少加速兩萬倍，而之後所有實驗都至少加速百倍。表四也是在 s1423 表現較差之外，大部分較大電路可以得到更好的繞線解。表五是無 TSV 限制下的 TWT 解，而我們的可以得到較好的 TWT 解，而在最大電路可以得到更好的解，因為解空間變大而基因演算法的收斂條件無法得到更好的解。表六則是 TSV 限制下 TWT 解的比較，其結果和表五是相似的。

Circuits (No. FF)	Test Coverage(%)	#scan vector
s1423 (74)	100	49
s5378 (179)	100	117
s9234 (211)	100	118
s15850 (597)	100	106
s13207 (669)	100	109
s38584 (1452)	100	135
s38417 (1636)	100	87
s35932 (1728)	100	19

表二：TetraMax Scan Vector 資訊

Circuits (No. FF)	Len-GA	Len-FP	Overhead	Run Time for GA	Run Time for Fast-Pair	Speedup
s1423 (74)	1284	1386	7.94%	62.86	0	#DIV/0!
s5378 (179)	3270	3190	-2.45%	285.4	0.01	28540.00
s9234 (211)	4470	4598	2.86%	457.92	0.01	45792.00
s15850 (597)	11746	11500	-2.09%	4330.11	0.04	108252.75
s13207 (669)	11226	10928	-2.65%	8721.81	0.07	124597.29
s38584 (1452)	30266	28792	-4.87%	24305.8	0.26	93483.85
s38417 (1636)	32320	30072	-6.96%	51510.6	0.33	156092.73
s35932 (1728)	31454	29514	-6.17%	98843.8	0.36	274566.11

表三：無 TSV 限制的繞線長度比較

Circuits (No. FF)	#TSV constr.	Len-GA	Len-FP	Overhead	Run Time for GA	Run Time for Fast-Pair	Speedup
s1423 (74)	20	1318	1466	11.23%	50.96	0.01	5096.00
s5378 (179)	20	3298	3256	-1.27%	237.07	0.11	2155.18
s9234 (211)	20	5082	5228	2.87%	318.99	0.43	741.84
s15850 (597)	100	12140	12100	-0.33%	3867.59	9.21	419.93
s13207 (669)	100	11484	11134	-3.05%	7295.1	4.08	1788.01
s38584 (1452)	200	32906	32804	-0.31%	20845.2	131.7	158.28
s38417 (1636)	200	34752	34516	-0.68%	41204.7	180.84	227.85
s35932 (1728)	200	33864	32370	-4.41%	74544.8	170.15	438.11

表四：TSV 限制下繞線長度的比較

Circuits (No. FF)	#pattern	TWT-GA	TWT-FP	Overhead	Run Time for GA	Run Time for Fast-Pair	Speedup
s1423 (74)	49	46555	46249	-0.66%	110.97	0.11	1008.82
s5378 (179)	117	712831	699353	-1.89%	443.66	0.79	561.59
s9234 (211)	118	984340	966446	-1.82%	651.12	1	651.12
s15850 (597)	106	6798890	6581570	-3.20%	10062.7	9	1118.08
s13207 (669)	109	8945150	8670812	-3.07%	13328.9	9.79	1361.48
s38584 (1452)	135	54959100	51240418	-6.77%	95882.3	71.08	1348.94
s38417 (1636)	87	41069400	37653969	-8.32%	138594	69.51	1993.87
s35932 (1728)	19	3884480	3121620	-19.64%	191620	27.74	6907.71

表五：無 TSV 限制下的 TWT 比較

Circuits (No. FF)	#pattern	#TSV constr.	TWT-GA	TWT-FP	Overhead	Run Time for GA	Run Time for Fast-Pair
s1423 (74)	49	20	49127	50033	1.84%	81.63	0.12
s5378 (179)	117	20	748691	746196	-0.33%	453.87	1.36
s9234 (211)	118	20	1042970	1045555	0.25%	382.05	2.23
s15850 (597)	106	100	7046540	6978480	-0.97%	8626.08	35.68
s13207 (669)	109	100	9331390	9126474	-2.20%	9701.77	46.89
s38584 (1452)	135	200	55965500	53724942	-4.00%	74613.1	518.66
s38417 (1636)	87	200	42091100	40532041	-3.70%	112009	734.23
s35932 (1728)	19	200	4748330	4410052	-7.12%	152164	777.92

表六：TSV 限制下的 TWT 比較

四. 結論

在三維積體電路中，scan-chain 設計為首要解決的 DfT 問題。因為三維積體電路的垂直連接 TSV 的關係，會使三維積體電路有較短的平均繞線長度。我們提出一個決定性的演算法，在比先前技術快上一百倍以上的情況下，得到誤差在 5% 以內的繞線解和動態功率解。在對 TSV 有限制的情況下，我們的演算法會使用較多的時間相較於無限制 TSV 情況，是因為符合 TSV 限制後的 3D planarization 需要較長的時間，但和先前技術比較，還是能在快上一百倍以上的情況下，得到較好的解。綜合以上，我們提出一個實際的 scan-chain reordering 的演算法，可以更有效率的情況下去處理更大的電路，而得到 scan-chain 的順序進而去得

到更好的繞線長度姐和動態功率解，並且可以對 TSV 的長度和個數作限制。

五. 參考文獻

- [1] S. Makar, "A layout-based approach for ordering scan chain flip-flops," in *Test Conference, 1998. Proceedings., International*, 1998, pp. 341-347.
- [2] P. Gupta, *et al.*, "Routing-aware scan chain ordering," in *Design Automation Conference, 2003. Proceedings of the ASP-DAC 2003. Asia and South Pacific*, 2003, pp. 857-862.
- [3] M. Hirech, *et al.*, "A new approach to scan chain reordering using physical design information," in *Test Conference, 1998. Proceedings., International*, 1998, pp. 348-355.
- [4] Y. Bonhomme, *et al.*, "Design of routing-constrained low power scan chains," in *Design, Automation and Test in Europe Conference and Exhibition, 2004. Proceedings*, 2004, pp. 62-67 Vol.1.
- [5] X. L. Huang and J. Huang, "A routability constrained scan chain ordering technique for test power reduction," in *Design Automation, 2006. Asia and South Pacific Conference on*, 2006, p. 5 pp.
- [6] W. Yu-Ze and M. C. T. Chao, "Scan-Chain Reordering for Minimizing Scan-Shift Power Based on Non-Specified Test Cubes," in *VLSI Test Symposium, 2008. VTS 2008. 26th IEEE*, 2008, pp. 147-154.
- [7] J. W. Joyner and J. D. Meindl, "Opportunities for reduced power dissipation using three-dimensional integration," in *Interconnect Technology Conference, 2002. Proceedings of the IEEE 2002 International*, 2002, pp. 148-150.
- [8] C. Ababei, *et al.*, "Placement and routing in 3D integrated circuits," *Design & Test of Computers, IEEE*, vol. 22, pp. 520-531, 2005.
- [9] W. R. Davis, *et al.*, "Demystifying 3D ICs: the pros and cons of going vertical," *Design & Test of Computers, IEEE*, vol. 22, pp. 498-510, 2005.
- [10] X. Yuan and M. Yuchun, "Design space exploration for 3D integrated circuits," in *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, 2008, pp. 2317-2320.
- [11] H. H. S. Lee and K. Chakrabarty, "Test Challenges for 3D Integrated Circuits," *Design & Test of Computers, IEEE*, vol. 26, pp. 26-35, 2009.
- [12] S. Das, *et al.*, "Design tools for 3-D integrated circuits," in *Design Automation Conference, 2003. Proceedings of the ASP-DAC 2003. Asia and South Pacific*, 2003, pp. 53-56.
- [13] T. Yuh-Fang, *et al.*, "Three-dimensional cache design exploration using 3DCacti," in *Computer Design: VLSI in Computers and Processors*, 2005.

- ICCD 2005. Proceedings. 2005 IEEE International Conference on*, 2005, pp. 519-524.
- [14] W. L. Hung, *et al.*, "Interconnect and thermal-aware floorplanning for 3D microprocessors," in *Quality Electronic Design, 2006. ISQED '06. 7th International Symposium on*, 2006, pp. 6 pp.-104.
- [15] H. Yun, *et al.*, "A thermal-driven force-directed floorplanning algorithm for 3D ICs," in *Computer-Aided Design and Computer Graphics, 2009. CAD/Graphics '09. 11th IEEE International Conference on*, 2009, pp. 497-502.
- [16] Z. Xin and L. Sung Kyu, "Power and slew-aware clock network design for through-silicon-via (TSV) based 3D ICs," in *Design Automation Conference (ASP-DAC), 2010 15th Asia and South Pacific*, 2010, pp. 175-180.
- [17] W. Xiaoxia, *et al.*, "Scan chain design for three-dimensional integrated circuits (3D ICs)," in *Computer Design, 2007. ICCD 2007. 25th International Conference on*, 2007, pp. 208-214.
- [18] C. Giri, *et al.*, "Scan Chain Design Targeting Dual Power and Delay Optimization for 3D Integrated Circuit," in *Advances in Computing, Control, & Telecommunication Technologies, 2009. ACT '09. International Conference on*, 2009, pp. 845-849.
- [19] D. Eppstein, "Fast hierarchical clustering and other applications of dynamic closet pairs," presented at the Proceedings of the ninth annual ACM-SIAM symposium on Discrete algorithms, San Francisco, California, United States, 1998.

六. 成果自評

第一年已完成項目

第一年中我們致力於 3D IC 完整的電腦輔助設計(CAD)自動化流程的建構，並廣泛蒐集比較目前已開發之測試技術。其中以 scan-chain design 為基礎進行研發。目前所提出的基因演算法方法，其時間效能不佳，且無法廣泛使用到大型電路上。於是我們開發了以 Fast-pair 做為基礎資料結構，配合 Multi-fragment 的快速解求法，並且提出了 3D 平坦化(planarization) 技術加以修正 TSV 在使用個數上的限制。

第一年目標已完成如下：

- ✓ 3D-IC 電腦輔助設計(CAD)自動化流程
- ✓ 排序效應的叢聚(Clustering)分析與資料結構比較
- ✓ Fast-pair 為基礎的快速 scan-chain reordering 演算法

已投稿期刊與研討會論文共計三篇

- ✓ Wai-Ting(Allen) Chen, Chien-Hui (Christina) Liou, Charles H.-P. Wen and Sean Wu, "A fast-pair-based algorithm for scan-chain reordering for 3D integrated circuits," submitted to VLSI Test and Testability Workshop (VTTW'10), 2010.
- ✓ Wai-Ting(Allen) Chen, Chien-Hui (Christina) Liou, Charles H.-P. Wen and Sean Wu, "A fast-pair-based algorithm for scan-chain reordering for 3D integrated circuits," submitted to IEICE International Symposium on Circuits and Systems (SASIMI'10), 2010.
- ✓ Wai-Ting(Allen) Chen, Chien-Hui (Christina) Liou and Charles H.-P. Wen, "A fast scan-chain reordering for three dimensional integrated circuit designs," submitted to IEEE Transaction on Very Large Scale Integrated Designs (TVLSI), 2010.

第二年預計調整方向

原計畫中第二年的預計完成項目如下：

- ✓ 進行 TSV 空洞效應分析與解決方法
- ✓ 系統層測試向量產生方法
- ✓ 導入熱分析效應模擬實際延遲效應
- ✓ 發表期刊與研討會論文共計三篇