

行政院國家科學委員會補助專題研究計畫 期中報告
成果報告

三維積體電路(3D IC)關鍵技術之研究

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 98-2218-E-009-013-MY2

執行期間：98年8月1日至100年7月31日

計畫主持人：陳冠能

共同主持人：無

計畫參與人員：陳冠能及其指導之博碩士班學生

成果報告類型(依經費核定清單規定繳交)：期中報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

執行單位：

中華民國 100 年 10 月 31 日

中英文摘要：

隨著電晶體的縮小，摩爾定律的遵循已經到了極限點。3D IC 被視為最佳且最有潛力的解決方案，本計畫針對3D IC 鎖定其三種最關鍵的技術加以研究，包括銅晶圓接合(Cu wafer bonding)、TSV(Through-silicon via)的製程研究、薄化晶圓的關鍵技術。本計畫成功的在接合技術上有所突破，除了讓晶圓表面有更好的粒子污染容忍度外，讓矽完美且直接接合提供更高的via的密度和更好的對準，更發現混合接合可以為3D IC的可行方法。在via方面，將其應用在未被直接加熱的相變化開關，我們得到了絕佳的電子特性，而且也得到充分的證據via可以被重新可配置的邏輯應用所使用。此外在晶圓等級的蝕刻上，我們發現負光阻加上電子束顯影的方式，會對蝕刻具有很強的抵抗力，這些研究及發現都被已發表成論文。

As integrated circuits (IC) is scaling down, Moore's Law gets its limitation. Three-dimensional integrated circuits (3D IC) are viewed as not only the best but the most potential approach. This research project proposal focuses on the research of key technologies of 3D IC, including Cu wafer bonding, TSV (through-silicon via) research, and wafer thinning. In this year, we conquer some difficulties in bonding technology. We make the success in better particle contamination tolerance on wafer surface and let silicon direct bonding provide high via density and better alignment. And we also find out that hybrid bonding can be the useful option for bonding. At the point of via, we can apply a programmable via in an indirectly heated phase-change switch. In addition, we obtain excellent electrical characterization and glean enough clues to demonstrate that via can apply for reconfigurable logic. Besides, we find that negative PR by e-beam development will have the large resistance in wafer level etching. These researches and findings had polished as international papers.

前言：

追溯第一顆半導體到現在，半導體產業已經有數十年的發展，應用方面也已遍佈在我們的生活之中，從最近的智慧型手機Iphone 4s到我們的個人電腦，其都可見半導體的存在，然而其中會有如此卓越的發展，其中最大的因素莫過於藉由縮小電晶體本身的體積與增加運算能力，使得晶片功能得以不斷的提升，這個晶片的進步基本上依循摩爾定律的預測。然而在不久的未來，由於微影技術及物理極限，縮小電晶體的發展將會遇到瓶頸。

除此之外，整個電路所造成的RC延遲效應也跟著漸漸上升，這個原因是因為單一晶片上電晶體數目的持續增加及晶片複雜化所造成的總導線增加，而使得決定晶片表現的關鍵已經由單一電晶體轉為總導線電阻電容延遲。雖然元件的某些區域可以透過電路設計與區塊的重組，來減少某些重要區域的傳遞距離，但是總導線的距離還是保持不變。因此，若要晶片的效能可以持續進步，有效的減低導線的總傳遞距離將是不可或缺的要求。

此外，為了使我們的晶片功能強大，總會希望可以將許多功能的元件成行於同一個晶片上，而減少我們在封裝上所要耗的體積，但這樣的話便需要特殊製程或是特殊材料的元件的加入，因此，異質元件的整合需求也越來越大，其整合的難度包括如何使用不同異質基板材料與在不同製程溫度製造元件。

由於前述的挑戰與問題，3D 整合(3D Integration)與三維積體電路(3D IC)便順勢被提出並且從眾多的解決方案中被認為是最有效的解決方案。3D IC 技術的概念可以從他的命名看出端倪，其技術簡言之就是將傳統的平面元件製作可以中只能將元件擺放於平面改成F其也可以在立體空間中擺放，這樣的方式大大解決了元件需硬塞在一個二維的空間之問題，而使得同一面積下擁有的元件數量大幅上升。也因為如此，使用3D 技術可以避免傳統二維電子晶片或元件繼續發展下去所擁有的問題，譬如：總導線過長或晶片面積太大而無法達到輕薄短小的需求。

簡單來說，3D IC 技術就是將個別做完後的晶片將其堆疊統整成一塊有用的IC電路晶片，也因如此一些關鍵技術便因應而生其中包括利用晶圓接合(wafer bonding)完成晶片堆疊(chip stacking)，利用through-silicon via (TSV)連接已薄化的晶圓或是晶片，此時便可完成將傳統的二維積體電路晶片轉變成三維積體電路晶片的理念。

3D IC是有許多優點的其中包括有效地利用空間及縮短電流信號所傳輸的距離，進而可減低電阻電容延遲及總電阻值還有由於利用晶圓接合或是晶片堆疊的特殊概念，因此異質基板材料的元件可以分別製作再行堆疊，此外像前所述有製程溫度或其他環境限制的不同元件，也可藉堆疊的方式加以解決。因此3D IC 技術能在輕薄短小與價格的要求下提供多功能異質整合、高效能(high performance)與低功耗(low power dissipation)等許多優點。

由於未來邏輯晶片、記憶體產品與其他電子產品均朝向高密度、高速與高頻寬的方向發展、另外通訊與光電產業將以維型模組為發展目標、加上微機電產業與藍芽科技的市場、最後生技產業對生醫晶片的需求，由此可知異質晶片的整合方式將是未來發展趨勢，更可說明3D IC 技術之前景與重要性。

由以上所述，三維積體電路為新穎的科技，且其亦是半導體業的未來的趨勢，其中與許多領域息息相關，從設計、製程技術與設備、到封裝測試方式及終端產品應用及表現，都是需要齊頭並進的研究。換句話說，3D IC 事實上乃為一個整合上中下游領域的一個全新科技。而在這些領域中，尤其以關鍵的3DIC 製程技術為最重要的決定因素。

研究目的：

由於三維積體電路在台灣正值起步的階段，而台灣又是半導體製造產業的核心，然而在國外學術界早已研究三維積體電路關鍵技術已有數十年之久，因此本計畫目的為建立台灣學術界的3D IC 關鍵技術(bonding technology、TSV、晶圓薄化)的研究實力與科學知識。此外，在半導體產業研究方面由於國外產業研究（如IBM 與IMEC），發展3D IC 的關鍵技術均是以產品需求為優先考量，而且缺乏基礎科學的，加上無法與其他公司合作，故資訊封閉且常常需重頭開始探索。目前台灣對3D IC 仍屬起步階段，除了少數半導體廠如台積電與日月光有初步的研究外，其他研究單位或是學術機構皆屬剛起步階段，以學術單位而言均是以3D IC 設計與EDA為研究主題，並無關鍵技術的研。

對於一項技術的完成，設計雖為重要，但仍需製程技術來實現支持它，所以三維積體電路的一些核心技術必須盡早研究，也可便於電路設計者，在一些像是KAZ (keep away zone)、Design rule等有其定義與規範，而共同實現三維積體電路的實品完成。

此外，以個人在3D IC近十年的努力及耕耘，再加上對 3D IC先進製程技術的深刻了解，從3D IC基本但卻最重要的技術開始著手，也就是銅晶圓接合，銅是現在半導體產業中的熱門金屬，也是3D IC領域中大家所熱切希望使用的接合材料，期望研究出最佳可靠度與最佳強度(包括與其他材料的異質整合)的元件結構，銅晶圓接合也是個人在IBM時主攻的項目，期待能將所學及所長發揮，讓銅晶圓接合技術能和美國居於領先的研究中心並駕齊驅，甚至拿下這項技術的領先位置，

有關於三維積體電路製程中TSV及晶圓薄化(wafer thinning)是相對處於發展較晚的階段，但其製程的技術卻是極為關鍵的，而本計畫想利用這個機會將整個TSV及薄化晶圓的藍圖、模型、參數等等基礎建立起來，讓這些製程條件及技術成為3DIC的標準範本。最後利用薄化晶圓的發展將銅晶圓接合與TSV 整合，以達到對3D IC 關鍵技術的充分研究與製程能力，以期在這次半導體革命中能再度佔有領先地位，這也是本研究計畫之主要目的。

研究方法：

銅晶圓接合：

本計畫主要內容為銅晶圓接合之物理特性與材料分析研究，目前雖然已有銅晶圓接合之基本研究，但是，科學界對於其詳細的物理特性如晶粒生成及材料分析仍有許多不明瞭之處，將以現有的晶圓接合參數進行晶圓接合，然後進行物理特性與材料分析的研究，重點在於建立銅晶圓接合的參數地圖，並測試最佳的參數。

此外，目前雖然已有銅晶圓接合之基本研究，但是大部分的結果都是銅膜接合，科學界對於如何製作最佳pattern的銅以供接合所知仍有限，將採用的方法各種不同的方法包括CMP(化學機械研磨法)進行研究，以製作出不同形狀的銅pattern 已進行接合，然後利用切割的方式測試接合強度，本計畫主要的重點在於建立銅pattern 製程的參數地圖，並測試最佳的參數。

目前雖然已有銅晶圓接合之基本研究，但是，實際元件應用上銅接合的面積仍屬少部分，故其接合強度仍然有限，因此發展一種方法可以同時接合銅與其他非銅部分以增強整個強度，乃成為相當重要的課題。

研究方法將以各種不同的製程方法來準備銅 pattern，同時四周的介電絕緣可為氧化

物或是高分子，藉由這兩種材料來達成最佳強度或是最合適製程的異質接合研究。於科學界對於銅晶圓接合仍缺乏系統性的研究，對於與元件的整合更是缺少，本計畫將以進行一連串的銅晶圓接合整合，從設計、製程到測試與分析都將包括在內，本計畫主要的重點在於建立 1.銅晶圓接合之製程整合 2.銅晶圓接合測試結構(Test Vehicle)之設計 3.銅晶圓接合電性之量測與分析 4.銅晶圓接合元件之設計與製程 5.銅晶圓接合元件之量測與表現分析

TSV：

本計畫的重點在於TSV之蝕刻製程研究，將使用DRIE的機台，配合參數的調整進行物理性質的研究，已達到了解並掌握TSV 蝕刻的目的，並建立TSV蝕刻製程的參數地圖，測試最佳的參數。

目前雖然已有TSV(Through-silicon Via)之基本研究，但是，科學界對於TSV 仍缺乏系統性的研究，對於如何控制TSV的蝕刻形狀、深度、及均勻度仍有待加強、如何有效均勻填充TSV仍有待挑戰，尤其是銅的填充，對於與元件的整合更是缺少。

此外，還要研究TSV之材料填充與應力所產生的結果，研究方法將以取得TSV 蝕刻試片後，然後使用不同材料加以填充，並發展出最佳填充與最低應力的材料，主要的重點在於建立不同材料的TSV 填充能力，並且確定填充的均勻性。

本研究採用的方法將以進行一連串的TSV 製程整合，從設計、製程到測試與分析都將包括在內，主要的重點在於建立 1.TSV之製程整合 2.TSV測試結構(Test Vehicle)之設計 3.TSV電性之量測與分析 4.TSV元件之設計與製程 5.TSV元件之量測與表現分析。

薄化晶圓：

目前國際上薄化晶圓研究大部分均屬產業應用，學術研究還屬稀少，主要內容為薄化晶圓之研究與特性分析，研究方法將以使用各種薄化晶圓方式來進行晶圓本身研究與特性分析，主要的重點在於建立晶圓薄化的製程與可靠度能力、薄化晶圓與銅晶圓接合進行整合研究、薄化晶圓與TSV進行整合研究。薄化晶圓與銅晶圓接合與TSV進行整合研究。

結果與討論：

在接合技術上的突破：在晶圓表面有更好的粒子污染容忍度。然而，這種技術在設備和製造工具上，還是有潛在污染問題。金屬擴散和共晶接合提供直接的連結，但是有空氣間隙的未接合區域會導致可靠度問題。矽直接接合提供更高的 via 的密度和更好的對準，但是乾淨的表面和接合環境的要求是非常重要的。混合接合，結合金屬和附著劑或者氧化物接合，在封裝的電路上，同時能達到穩定且增強的黏著性。高產出量和可靠性優勢，混合接合成為了 3DIC 的一種可行方法。

在Via方面，可以應用在未被直接加熱的相開關，除了絕佳的電子特性外，元件的操作可以被應用在標準的CMOS的製程科技上，並且元件可以包含多種的操作模式。所以，這個結構可以被重新可配置的邏輯應用所使用。最終好的實驗數據會與模擬結果，證明此設備應用的可行性。

在筒形的結構上:晶圓等級上，用負光阻加上 e-beam 顯影的方式，對蝕刻具有很強的抵抗力。處理的順序和筒形的結構形成可能機制在附件中被詳細的論述。此外，在半導體的先進製程中，此筒形的結構將有極大的機會被應用及提倡。

計畫成果自評：

經過實驗團隊二年來的合作與努力，各項研究已有相當進展，成果如下：

(1) 銅晶圓接合

- a. 解決包括如何精確觀察銅晶圓接合時兩銅膜之介面的晶粒成長與生成。
- b. 解決如何控制不同的晶圓接合參數以供觀察與分析。
- c. 解決如何精確控制在銅製程參數下，可以得到最佳高度的銅 pattern。
- d. 解決如何精確控制在銅製程參數下，可以得到最佳形狀的銅 pattern。此計畫成果發表於以下列出之國際會議論文[8]
- e. 解決包括須參考一般的可靠度研究實驗，決定哪些實驗及參數可做為銅可靠度研究之準則。
- f. 解決包括如何設計具代表性的 test vehicle。
- g. 解決如何精確控制在銅製程參數下，最佳整合的銅 pattern 與氧化物或是高分子。
- h. 解決包括如何精確控制在銅製程參數下，可以得到最佳平整度的銅 pattern 與高分子。
- i. 解決包括如何找出合適的量測機台與分析軟體。
- j. 解決完整考慮不同銅接合參數與製程整合的關係。
- k. 將在低溫下銅晶圓接合及混和接合(銅與介電質材料)製程技術應用於三維積體電路。

(2) TSV

- a. 在機台內控制參數及達到 TSV 在不同晶圓與不同位置的均勻性。
- b. 了解如何觀察 TSV 的實際蝕刻深度。
- c. 了解如何觀察 TSV 的實際填充深度。
- d. 了解如何將具相變化的材料填充應用在可控之程序化 TSV 製程，並將其與 CMOS 元件做相當程度的整合，此計畫成果發表於以下列出之國際期刊論文[2]。
- e. 了解包括如何完整考慮所需的 TSV 測試結構。
- f. 解決包括如何找出合適的量測分析儀器來分析 TSV 的電性表現。
- g. 了解包括如何設計合適的 TSV 元件並加以製程。
- h. 包括如何在有效設計可同時測量 TSV 與銅晶圓接合的測試結構。

(3) 薄化晶圓

- a. 了解如何控制晶圓薄化後的最後厚度。
- b. 了解在薄化晶圓的過程中因太過薄化而造成晶圓呈彎曲弓狀所帶來的變化及晶圓接合技術上的影響，此計畫成果發表於以下列出之國際會議論文[7]。
- c. 解決包括如何控制薄化晶圓進行銅接合製程。
- d. 解決包括如何在薄化晶圓上進行 TSV 的製作。

在致力於建立銅晶圓接合、TSV 及薄化晶圓製程整合的過程中，仍有部分成果未達完善，如：薄化晶圓的可靠度能力於建立銅晶圓接合、TSV 製程整合、研究 TSV 之材料填充與應力所產生的結果與薄化晶圓製程整合、研究 TSV 之材料填充與應力所產生的結果與銅晶圓接合製程整合，在致力於發展出最佳填充性及最低應力的材料並達成填充得均勻性，然而目前已能建立銅晶圓接合及薄化晶圓製程整合，TSV 及薄化晶圓製程整合，銅晶圓接

合、TSV 及薄化晶圓製程整合，掌握 TSV 的蝕刻及填充深度且使用具相變化的材料填充以達到與 CMOS 元件的整合。而混和接合中使用高分子材料與銅金屬的方式更是能進階得提高晶圓級接合技術的發展及可靠度能力，另外對於架構出奈米級銅接合 pad 的技術能提升在元件內訊號傳輸的速率(發表之國際會議論文[6])，此成果能達到輕薄短小及高效能的應用要求，總括上述成果對於 3D IC 關鍵技術的發展有階段性的提升並為台灣的半導體業跨出重要的一步。

已發表論文:

本計畫實驗成果豐碩，目前已有八篇國際期刊論文已發表或即將刊出，二篇論文審查中，另外有 13 篇的國際會議論文已發表或被接受。此外，由於研究成果傑出，這些論文中列出三篇邀請演講。

發表論文總表:

已發表或接受之國際期刊論文

1. Cheng-Ta Ko and **Kuan-Neng Chen**, “Wafer Level Bonding/Stacking Technology for 3D Integration”, *Microelectronics Reliability*, 50 (4), pp. 481-488, April 2010.
2. **Kuan-Neng Chen**, and Lia Krusin-Elbaum, “The fabrication of a programmable via using phase-change material in CMOS-compatible technology“, *Nanotechnology*, 21 (13), 134001, April 2010.
3. **K.N. Chen**, Y. Zhu, W.W. Wu, and R. Reif, “Investigation and Effects of Wafer Bow in 3D Integration Bonding Schemes”, *Journal of Electronic Materials*. 39(12), pp. 2605-2610, Dec. 2010.
4. **Kuan-Neng Chen**, and John C. Arnold, “Wafer-level Self-aligned Nano Tubular Structures and Templates for Device Applications“, *Journal of Nanoscience and Nanotechnology*, 10, pp. 8145-8150, Dec. 2010.
5. **K. N. Chen**, C. K. Tsang, W. W. Wu, S. H. Lee, and J. Q. Lu, “Fabrication of Nano-Scale Cu Bond Pads with Seal Design in 3D Integration Applications”, *Journal of Nanoscience and Nanotechnology*, 11, pp. 3336-3339, Apr. 2011.
6. **Kuan-Neng Chen**, Zheng Xu, and Jiang-Qiang Lu, “Electrical Performance and Alignment Investigation of Wafer-level Cu-oxide Hybrid Bonding,” *IEEE Electron Device Letters*, 32(8), pp. 1119-1121, Aug 2011
7. **K. N. Chen**, C. A. Cheng, W. C. Huang and C. T. Ko, “Bonding Temperature Optimization and Property Evolution of SU-8 Material in Metal/Adhesive Hybrid Wafer Bonding,” *Journal of Nanoscience and Nanotechnology*, 11, pp. 6969-6972, Aug 2011.
8. Ming-Fang Lai, Shih-Wei Li, Jian-Yu Shih, and **Kuan-Neng Chen**, “Wafer-Level Three-Dimensional Integrated Circuits (3D IC): Schemes and Key Technologies”, *Microelectronic Engineering*, 88, pp. 3282-3286, Nov 2011.

審查中之國際期刊論文

9. Cheng-Ta Ko, **Kuan-Neng Chen**, Zhi-Cheng, Hsiao, Huan-Chun Fu, and Wei-Chung Lo, “Polymers Investigation for 3D IC Bonding Technology”, submit to *Journal of Electronic Materials*.
10. **Kuan-Neng Chen**, Chung Seng Tan, “Integration Schemes and Enabling Technologies for Three-Dimensional Integrated Circuits (3D IC)”, submit to *IET Computers and Digital Techniques*.

已發表或被接受之國際會議論文

1. **K.N. Chen**, E.A. Joseph, J.C. Arnold, and N. Ruiz, “Fabrication of robust self-aligned nano-scale tubular structures and templates for device applications”, 2009 Nano and Giga Challenges in Electronics, Photonics and Renewable Energy, Hamilton, Ontario, Canada, Aug 10-14, 2009.
2. **K.N. Chen** and L. Krusin-Elbaum, “CMOS-Technology Compatible Programmable Via using Phase-Change Materials”, 2009 Nano and Giga Challenges in Electronics, Photonics and Renewable Energy, Hamilton, Ontario, Canada, Aug 10-14, 2009.
3. **[Invited] Kuan-Neng Chen**, “Wafer-Level Copper Bonding Technology in 3D ICs”, 21st ECS Meeting, Oct. 4-9, 2009
4. **[Invited] Kuan-Neng Chen**, “Wafer-Level Alignment Technology for 3D Integration”, The 4th IMPACT 2009 Conference and International 3D IC Conference, Taipei, Taiwan, Oct. 21-23, 2009.
5. **K.N. Chen**, Y. Zhu, W.W. Wu, and R. Reif, “Copper Thin Film Research and Development for Wafer Bonding”, TACT 2009 International Thin Films Conference, Taipei Taiwan, Dec 14-16, 2009.
6. **K. N. Chen**, Y. Zhu, W. W. Wu, C. K. Tsang, S. H. Lee, and J. Q. Lu, “Fabrication of Nano-Scale Cu Bond Pads with Seal Design in 3D Integration Applications”, IEEE International NanoElectronics Conference (INEC) 2010, Hong Kong, Jan 3-8, 2010.
7. **K. N. Chen**, Y. Zhu, W.W. Wu, and R. Reif, “Investigation and Effects of Wafer Bow in Different 3D Stacking Schemes”, 2010 TMS, Seattle, WA, Feb 14-18, 2010
8. **K. N. Chen**, C. Cabral, Jr., S. H. Lee, P. S. Andry, and J. Q. Lu, “Investigations of Cu Bond Structures and Demonstration of a Wafer-Level 3D Integration Scheme with W TSVs”, International Symposium on VLSI Technology, Systems and Applications (2010 VLSI-TSA), Hsinchu, Taiwan, Apr. 26-28, 2010.
9. Cheng-Ta Ko, **Kuan-Neng Chen**, Wei-Chung Lo, Chuan-An Cheng, Wen-Chun Huang, Zhi-Cheng Hsiao, Huan-Chun Fu, and Yu-Hua Chen, “Wafer-Level 3D Integration Using Hybrid Bonding”, IEEE 3D IC International Conference, Munich, Germany, Nov. 16-18, 2010.
10. **K. N. Chen**, T. M. Shaw, C. Cabral, Jr., and G. Zuo, “Reliability and structural design of a wafer-level 3D integration scheme with W TSVs based on Cu-oxide hybrid wafer bonding”, **2010 International Electron Devices Meeting (IEDM)**, San Francisco CA, Dec. 6-8, 2010.

11. **K. N. Chen**, C. A. Cheng, W. C. Huang, and C. T. Ko, “Adhesive Selection and Bonding Parameter Optimization for Hybrid Bonding in 3D Integration”, 2011 TMS Meeting, San Diego, CA, Feb 27-Mar. 3, 2011.
12. *[Invited]* **Kuan-Neng Chen**, “Wafer-Level Hybrid Bonding for 3D Integration”, IUMRS-ICA 2011, Taipei, Taiwan, Sep 19-22, 2011
13. **Kuan-Neng Chen**, “Three-Dimensional Integrated Circuits (3D IC): Schemes, Technologies, and Recent Research Achievements”, International Electron Devices and Materials Symposium (IEDMS) 2011, Taipei, Taiwan, Nov 17-18, 2011.

出席國際學術會議心得報告

計畫編號	NSC 98-2218-E-009 -013 -MY2
計畫名稱	三維積體電路(3D IC)關鍵技術之研究
出國人員姓名	陳冠能
服務機關及職稱	國立交通大學電子工程學系副教授
會議時間地點	10-14 Aug 2009, Hamilton, ON, Canada (Toronto area)
會議名稱	Nano and Giga Challenges in Electronics, Photonics and Renewable Energy
發表論文題目	1. CMOS-Technology Compatible Programmable Via using Phase-Change Materials 2. Fabrication of robust self-aligned nano-scale tubular structures and templates for device applications

一、 參加會議經過

- (1) 為拓展國際視野，及將研究成果發表於世界，個人此次參加此項於加拿大多倫多近郊所舉辦的國際學術會議。
- (2) 此次大會邀請到數十位 Invited Speakers，他們均為國際知名科學家及研究學者，尤其是個人所聆聽的 Phaedon Avouris，更是國際間的知名人士，講題為”Carbon Based Electronics and Optoelectronics”。
- (3) 本人此次會議共計兩項論文，均為 poster session，除了於會議期間時展示，並在八月十三日下午六點至九點為討論時間，接受參加會議的人員發表問題及討論。

二、 與會心得

- (1) 本次的會議同時與加拿大 2009 半導體會議一起舉辦，因此參加的人數眾多，同時有許多知名的國際學者應邀演講。
- (2) 以個人所聆聽的 Phaedon Avouris，他除了是許多重量級機構的院士外，在碳奈米管 (Carbon Nanotubes) 的研究領域，更是世界級的知名人士，所做的研究均是最前瞻的領域，也因此他的演講吸引了許多人士的參與及發問。
- (3) 個人本次的兩個研究主題，一為相變化材料在邏輯元件上的研究，另一為可自行對準的奈米及管狀物組織及元件應用，經大會審核後在本次會議上發表，發表的形式為海報展覽，這兩項研究均是個人與美國 IBM 華生研究中心執行國際合作之共同成果，此項國際合作計畫為有關三維積體電路之研究。
- (4) 因為這兩項研究成果均為原創性質，同時也因為與知名的國際級研究單位合作，研究成果展出期間，受到為數不少的與會人士注目，同時就研究成果與個人進行廣泛的討論。並有單位希望將來與個人進一步進行共同合作。
- (5) 本次會議成果豐碩，除了兩項研究成果的順利發表，聆聽不少最新的研究成果，同時亦帶回會議論文集與 CD，並與國際間相同領域的人士進行學術交流，可謂不虛此行。

出席國際學術會議心得報告

計畫編號	NSC 98-2218-E-009 -013 -MY2
計畫名稱	三維積體電路(3D IC)關鍵技術之研究
出國人員姓名	陳冠能
服務機關及職稱	國立交通大學電子工程學系副教授
會議時間地點	4-9 Oct 2009, Vienna, Austria
會議名稱	216 th ECS Meeting
發表論文題目	Wafer-Level Copper Bonding Technology in 3D ICs

一、 參加會議經過

- (1) 為拓展國際視野，及將研究成果發表於世界，個人此次參加此項於奧地利維也納所舉辦的國際學術會議。於十月四日搭乘長榮客機經曼谷轉機於五日早上抵達維也納國際機場。
- (2) ECS Meeting 在微電子與材料方面是一個相當重要的國際會議，同時也是電化學領域最重要的國際會議。
- (3) 參加其間亦有許多台灣學界人士參加，個人在會場交談的即包括交通大學荊鳳德教授、呂志鵬教授與吳文偉教授，清華大學歐陽浩教授，及來自台灣大學與中興大學的教授們。
- (4) ECS 大會這次著眼於三維積體電路在半導體領域的積極發展，特地籌畫”Processing, Materials, and Integration of Damascene and 3D Interconnects”，在三維積體電路的部分，十三篇口頭報告中就有七篇是受邀報告，本人有幸名列其中。

二、 與會心得

- (1) 本次的會議同時與 EuroCVD 17 與 SOFC XI-11th International Symposium on Solid Oxide Fuel Cells 一起舉辦，因此參加的人數眾多，同時有許多知名的國際學者應邀演講。
- (2) 個人本次所參加的研討會，是有關三維積體電路方面的研究。受邀或最後接受的論文皆是在三維積體電路界素有名聲的專家及機構，如 IMEC、Fraunhofer IZM 與 Semitool。以受邀單位為例，共有七篇受邀論文，其中有四篇為歐美學術研究單位、一篇為公司、兩篇為大學，個人的論文就是這兩篇大學論文中的其中一篇。
- (3) 因為個人在此三維積體電路的方面已經研究快十年，故大會在籌辦此次會議時，在數個月前就積極邀請個人參加演講。個人基於與國際方面多交流的原則，同時也希望增加台灣與交通大學在三維積體電路界的知名度，遂同意此項邀請，並以台灣國立交通大學的名義在大會發表專題演講。
- (4) 個人本次發表論文的題目為: Wafer-Level Copper Bonding Technology in 3D ICs，乃是有關於晶圓級銅接合技術在三維積體電路上的應用，因為這研究成果相當重要，為三維積體電路發展所需要必備技術，同時也因為與知名的國際級研究單位合作，研究成果發表期間與之後，受到為數不少的與會人士注目，同時就研究成果與個人進行廣泛的討論。並有單位希望將來與個人進一步進行共同合作。

- (5) 本次會議成果豐碩，除了研究成果的順利發表，聆聽不少最新的研究成果，同時亦帶回會議論文集與 CD，並與國際間相同領域的人士進行學術交流，可謂不虛此行。
- (6) 最後附上個人與歐陽浩教授及吳文偉教授在會場的合照。



出席國際學術會議心得報告

計畫編號	NSC 98-2218-E-009 -013 -MY2
計畫名稱	三維積體電路(3D IC)關鍵技術之研究
出國人員姓名	陳冠能
服務機關及職稱	國立交通大學電子工程學系副教授
會議時間地點	14-18 Feb 2009, Seattle, USA
會議名稱	2010 TMS Meeting
發表論文題目	1. Investigation and Effects of Wafer Bow in Different 3D Stacking Schemes 2. Polymers Investigation for 3D IC Stacking Technology

一、 參加會議經過

- (1) 為拓展國際視野，及將研究成果發表於世界，個人此次參加此項於美國西雅圖所舉辦的國際學術會議。於二月十二日搭乘長榮客機經於十三日晚上抵達西雅圖國際機場。
- (2) TMS Meeting 在微電子與材料方面是一個相當重要的國際會議，同時也是材料界

領域最重要的國際會議。

- (3) 參加其間亦有許多台灣學界人士參加，個人在會場交談的即包括台灣大學高振宏教授、清華大學陳信文教授、成功大學林光隆教授與東華大學宋振銘教授，及來自中央大學與中興大學的教授們。
- (4) TMS 大會這次著眼於三維積體電路在半導體領域的積極發展，特地在 Lead-Free Solder Technology Workshop 增加在三維積體電路的部分，本人有幸名列其中兩篇。

二、 與會心得

- (5) 本次的會議參加的人數眾多，同時有許多知名的國際學者應邀演講，如台灣知名的中研院院士杜經寧教授。
- (6) 個人本次所參加的研討會，是有關先進封裝製程方面的研究。受邀或最後接受的論文皆是在先進封裝業界素有名聲的專家及機構，如 UCLA、TI 與 Samsung。
- (7) 因為個人在此三維積體電路的方面已經研究快十年，故大會在籌辦此次會議時，因為重點項目包括此項研究領域，個人基於與國際方面多交流的原則，同時也希望增加台灣與交通大學在三維積體電路與先進封裝界的知名度，遂決定投稿，並以台灣國立交通大學的名義在大會發表專題演講。
- (8) 個人本次發表論文有兩篇，第一篇是有關於 wafer bow 在晶圓級接合技術的影響與在三維積體電路上的應用，第二篇則是高分子與金屬異質晶圓接合的研究，因為這些研究成果相當重要，為三維積體電路發展所需要必備技術，同時也因為與知名的國際級研究單位合作，研究成果發表期間與之後，受到為數不少的與會人士注目，同時就研究成果與個人進行廣泛的討論。並有單位希望將來與個人進一步進行共同合作。
- (9) 本次會議成果豐碩，除了研究成果的順利發表，聆聽不少最新的研究成果，同時亦帶回會議論文集與 CD，並與國際間相同領域的人士進行學術交流，可謂不虛此行。
- (10) 最後附上個人與宋振銘教授在會場的合照。



國際合作國際研究學術心得報告

計畫編號	NSC 98-2218-E-009 -013 -MY2
計畫名稱	三維積體電路(3D IC)關鍵技術之研究
出國人員姓名 服務機關及職稱	陳冠能 國立交通大學電子工程學系副教授
國際合作時間地點	1-9 Aug 2009 and 16-24 Aug 2009 New York, USA
國際合作機構名稱	IBM TJ Watson Research Center
國際合作主要負責人	Dr. Steven J Koester

一、 國際合作機構之簡介

本計畫進行國際合作研究的單位為美國IBM的華生研究中心，美國IBM華生研究中心為享譽全球極富盛名的研究單位，目前有多位諾貝爾獎得主、美國國家科學院或是工程院院士、與台灣中央研究院院士，目前台灣有不少電子業的傑出人才亦是出自此單位。本中心已在半導體與電子元件上研究建立起相當堅強的實力。

二、 本合作機構在此研究領域之背景

美國IBM公司大約在本世紀初期開始投入3D IC的研究，靠者堅強的研究團隊(Watson Research Center)及半導體製程中心(Fishkill, NY and Albany, NY)的支援，已經有一些初步成果，同時IBM有完整的無塵室製程線與必要的3D IC所需製程設備，在本計畫的初短期或是重要的儀器現階段台灣無法提供者，均可透過IBM華生研究中心提供幫助。

三、 本國際合作研究模式

本國際合作計畫雙方並無相對義務，故可以共同發表論文即進行研究。合作模式為雙方各自發展技術及研究，但若有任何需要IBM的協助與合作，則可透過討論來執行，故台灣人員前往IBM旅費及生活費部分要由台灣負擔，但是使用的儀器無須額外付費，結果則共同發表。

四、 本次國際合作國際研究進展與心得

(1) 如本國科會計畫內所提，此項研究計畫有一部份需透過國際合作及國際研究來完成。此國際合作的細部內容，包括如何進行合作、選定哪些研究領域及範圍，還有一些初期研究計畫的執行，均須在IBM華生研究中心面對面進行討論及親自進行研究，因此個人利用暑假期間出國開會與無授課壓力的機會，親自前往IBM華生研究中心進行國際合作之國際研究。

(2) 本國際合作計畫於IBM華生研究中心之主要負責人為Exploratory Group的經理Dr. Steven Koester,合作的意願並經過資深經理Dr. Wilfried Haensch、處長Dr. Ghvam Shahidi、與資深副總裁陳自強博士(Dr. TC Chen)的支持。

(3) 到達IBM華生研究中心之後，先後與Dr. TC Chen、Dr. Steven Koester、Dr. John Knickerbocker、Dr. Eric Joseph、Dr. Fei Liu、Dr. Bing Dang、Dr. Yu-Ming Lin 與Dr. Yu Zhu 進行晤談，晤談的內容包括合作的項目細節，及合作的模式之再度確認，同時也著手安排一些可以馬上進行的研究項目。整體而言，IBM華生研究中心的人員相當歡迎此項國際合作計畫，

更希望透過這兩年的國際研究，雙方能夠在三維積體電路的領域上共同發表令人振奮的研究成果。

(4) 在確認本次國際合作的研究時程與細部項目之後，個人與華生研究中心的團隊即開始進行實際的研究，在回國前，目前已執行了以下的研究項目：

1. 銅晶圓接合的文獻調查與研究目標
2. 制定共同研究計畫
3. 制定研究時程與細部項目
4. 銅膜晶圓接合的製程
5. 銅晶圓接合的最佳化
6. 銅Pad的晶圓接合
7. 銅 Pad 如何製程最佳化以達到最佳接合效果
8. 銅晶圓接合的機械測試
9. 銅晶圓接合的材料分析

(5) 上述的某些研究成果，如第七項的”銅 Pad 如何製程最佳化以達到最佳接合效果”，在本次國際合作研究期間，已經有令人滿意的研究成果，因此，雙方已決定將共同撰寫會議論文與投稿國際學術期刊，以在國際間發表。

(6) 此外，在共同研究製造元件的過程中，雙方也發現某些特殊製程可以製造出高強度且自我對準的奈米級管狀物，可進一步用於元件製程及應用。雙方亦已決定將共同撰寫會議論文與投稿國際學術期刊，以在國際間發表。

五、 結論

本次的國際合作研究計畫，達到令人滿意的效果，雙方人員對於如何執行此項合作，均有高度的共識。在本次的實際執行研究上，也達到了許多研究成果，並在國際期刊的發表上有顯著成果。

最後，透過與國際知名機構的合作，使用其先進的儀器設備，更對此國科會研究的成功，有著高度的影響力。

六、國際合作所衍生的論文成果：

已發表或接受之國際期刊論文

1. **Kuan-Neng Chen**, and Lia Krusin-Elbaum, “The fabrication of a programmable via using phase-change material in CMOS-compatible technology“, *Nanotechnology*, 21 (13), 134001, April 2010.
2. **Kuan-Neng Chen**, and John C. Arnold, “Wafer-level Self-aligned Nano Tubular Structures and Templates for Device Applications“, *Journal of Nanoscience and Nanotechnology*, 10, pp. 8145-8150, Dec. 2010.

3. **K. N. Chen**, C. K. Tsang, W. W. Wu, S. H. Lee, and J. Q. Lu, "Fabrication of Nano-Scale Cu Bond Pads with Seal Design in 3D Integration Applications", *Journal of Nanoscience and Nanotechnology*, 11, pp. 3336-3339, Apr. 2011.
4. **Kuan-Neng Chen**, Zheng Xu, and Jiang-Qiang Lu, "Electrical Performance and Alignment Investigation of Wafer-level Cu-oxide Hybrid Bonding," *IEEE Electron Device Letters*, 32(8), pp. 1119-1121, Aug 2011

審查中之國際期刊論文

5. **Kuan-Neng Chen**, Chung Seng Tan, "Integration Schemes and Enabling Technologies for Three-Dimensional Integrated Circuits (3D IC)", submit to *IET Computers and Digital Techniques*.

已發表或被接受之國際會議論文

1. **K.N. Chen**, E.A. Joseph, J.C. Arnold, and N. Ruiz, "Fabrication of robust self-aligned nano-scale tubular structures and templates for device applications", 2009 Nano and Giga Challenges in Electronics, Photonics and Renewable Energy, Hamilton, Ontario, Canada, Aug 10-14, 2009.
2. **K.N. Chen** and L. Krusin-Elbaum, "CMOS-Technology Compatible Programmable Via using Phase-Change Materials", 2009 Nano and Giga Challenges in Electronics, Photonics and Renewable Energy, Hamilton, Ontario, Canada, Aug 10-14, 2009.
3. **[Invited] Kuan-Neng Chen**, "Wafer-Level Copper Bonding Technology in 3D ICs", 21st ECS Meeting, Oct. 4-9, 2009
4. **[Invited] Kuan-Neng Chen**, "Wafer-Level Alignment Technology for 3D Integration", The 4th IMPACT 2009 Conference and International 3D IC Conference, Taipei, Taiwan, Oct. 21-23, 2009.
5. **K.N. Chen**, Y. Zhu, W.W. Wu, and R. Reif, "Copper Thin Film Research and Development for Wafer Bonding", TACT 2009 International Thin Films Conference, Taipei Taiwan, Dec 14-16, 2009.
6. **K. N. Chen**, Y. Zhu, W. W. Wu, C. K. Tsang, S. H. Lee, and J. Q. Lu, "Fabrication of Nano-Scale Cu Bond Pads with Seal Design in 3D Integration Applications", IEEE International NanoElectronics Conference (INEC) 2010, Hong Kong, Jan 3-8, 2010.
7. **K. N. Chen**, Y. Zhu, W.W. Wu, and R. Reif, "Investigation and Effects of Wafer Bow in Different 3D Stacking Schemes", 2010 TMS, Seattle, WA, Feb 14-18, 2010
8. **K. N. Chen**, C. Cabral, Jr., S. H. Lee, P. S. Andry, and J. Q. Lu, "Investigations of Cu Bond Structures and Demonstration of a Wafer-Level 3D Integration Scheme with W TSVs", International Symposium on VLSI Technology, Systems and Applications (2010 VLSI-TSA), Hsinchu, Taiwan, Apr. 26-28, 2010.
9. **K. N. Chen**, T. M. Shaw, C. Cabral, Jr., and G. Zuo, "Reliability and structural design of a wafer-level 3D integration scheme with W TSVs based on Cu-oxide hybrid wafer bonding", 2010 International Electron Devices Meeting (IEDM), San Francisco CA, Dec. 6-8, 2010.

10. *[Invited]* **Kuan-Neng Chen**, “Wafer-Level Hybrid Bonding for 3D Integration”, IUMRS-ICA 2011, Taipei, Taiwan, Sep 19-22, 2011
11. **Kuan-Neng Chen**, “Three-Dimensional Integrated Circuits (3D IC): Schemes, Technologies, and Recent Research Achievements”, International Electron Devices and Materials Symposium (IEDMS) 2011, Taipei, Taiwan, Nov 17-18, 2011.