

用於快閃式記憶元件與電路性能及可靠性模擬的元件模式

A Compact Model for Performance and Reliability Simulation of Flash EEPROM Cell and Circuits

計劃編號：NSC 88-2215-E-009-046

執行時間：88年8月1日至89年7月31日

主持人：莊紹勳

國立交通大學電子工程學系

一、中文摘要

利用電路階級的模擬來完成設計最佳化，在元件的研發中是很重要的一個步驟。電路模擬器作為電腦輔助設計(CAD)的工具，已經廣泛地應用在設計工作中的各個階段。在快閃式記憶元件的設計中，暫態特性是絕對需要的。為了建立起暫態分析的基礎與透徹地了解快閃式記憶元件的操作模式，一個解析的(analytical)閘極電流模式是不可或缺的。此外，為了要模擬快閃式記憶體的電路操作，也必須依賴精準的汲極電流模式。另一方面，反覆地寫入與抹除所造成的傷害將會導致元件性能均勻地退化，因而限制了元件的耐久度(endurance)。反覆寫入抹除所造成的氧化層缺陷，將會降低元件寫入速度與操作窗口封閉(operation window closure)。

在本計畫中，我們提出快閃式記憶元件之完整 SPICE 模式。這個模式包含閘極電流解析模式、汲極電流模式、暫態特性分析，以及元件特性退化模式等。其一是建立閘極電流模式，包含通道熱電子注入 (Channel Hot Electron Injection, CHEI) 之寫入電流與通道 Fowler-Nordheim 穿隧 (Channel FN tunneling) 之抹除電流模式。其二是，首先須發展電容耦合係數之決定方法，進而可以更精確地求得浮動閘極電壓，以及建立更完整之汲極電流模式。在此部份，因閘極電荷所造成之臨界電壓偏移效應亦列入考慮。其三是合併第一部份與第二部份之結果，模擬寫入與抹除造成的臨界電壓偏移之暫態特性。最後，因 P/E stress 所產生的界面狀態(N_{it})與

氧化層電荷(Q_{ox})也納入閘極電流模型與汲極電流模型中，以模擬耐久性 or P/E cycling 之後的元件及電路退化特性。

關鍵詞：快閃式記憶元件、閘極電流模型、汲極電流模型、SPICE 模型、電路模擬器

Abstract

Circuit level simulation for design optimization is a very important step in device development. Circuit simulator as a CAD tool has been extensively used at various design stage. In the flash memory cell, transient behavior is one of the most important characteristics. To form the basics of transient analysis and to fully understand flash memory device operation, an analytical gate current model is needed first. In addition, for simulating circuit operation of flash memory cells, an accurate drain current model is also required. Moreover, the program/erase cycling stress is known to cause a fairly uniform wear-out of cell performance, which eventually limits flash memory endurance. Oxide damage generated after cycling will result in cell programming speed retardation and the operation window closure.

In this work, a complete SPICE model for Flash memory has been developed. It includes a gate current analytical model, a drain current model, transient analysis, and device degradation model. In the first part, the gate current

model includes the CHEI (Channel Hot Electron Injection) programming current and channel FN-erase current model. In the second part, a method to determine capacitive coupling ratio was first developed, on which the drain current model is based. And hence, the floating gate voltage can be calculated more accurately and a more complete drain current model can thus be established. In addition, the threshold voltage shift as a result of the trapped charges will also be taken into account. In the third part, by incorporating the results of the above two parts, the transient characteristics of threshold voltage shift during programming and erase can be simulated. Finally, the stress induced interface states and oxide charges has also been incorporated into the gate current and drain current model for predicting the endurance and memory cell or circuit degradations after long term P/E cycling.

Keywords: Flash memory cell, gate current model, drain current model, SPICE model, circuit simulator

二、緣由與目的

(一) 研究背景：

快閃式記憶元件因具有高密度、非揮發性、以及可重複寫入與抹除的特性，已普遍地被認為是未來極具潛力的半導體儲存元件。快閃式記憶元件主要是藉由在浮動閘極累積的電荷來儲存資料，其基本的操作模式有三，分別為：寫入、抹除、與讀取。其中，寫入與抹除通常分別採用通道熱電子注入(CHEI)與通道 Fowler-Nordheim 穿隧(Channel FN tunneling)的機制將電子注入或射出浮動閘極，如 Fig. 1所示。另外，讀取操作則是於控制閘極施以一個介於寫入與抹除後的臨界電壓間的電壓，以分別寫入狀態與抹除狀態之不同。

目前，電路模擬器已經廣泛地應用

在VLSI設計工作中的各個階段，以驗證元件與電路的操作及功能[1]。為了縮短設計週期與減少生產的成本，在進入製作步驟前，電路設計者必須依靠有著準確元件模型的模擬器，來輔助設計的工作的完成與最佳化。然而，到目前為止，快閃式記憶元件的研究，都侷限於暫態特性的數值分析[2-5]。而有關DC特性之模式則未能正確的描述實驗結果[6]。對經過P/E stress後之特性退化研究更是付之闕如。

(二) 研究目的與重要性：

有鑑於上述因素，本計劃的目的是發展一套完整的快閃式記憶元件之SPICE模式，根據此模式，元件之暫態與直流特性將可準確地模擬。首先，我們將建立新的閘極電流(gate current)解析模式，以模擬元件之暫態特性，其次，我們將發展新的電容耦合參數萃取方法及浮動閘極電壓模式，據此，汲極電流(drain current)模式即可準確地求得。此外，我們也將因P/E cycling所造成之 N_{it} 與 Q_{ox} 納入考慮[7]，建立元件之退化模式，分析氧化層缺陷對元件特性退化與耐久性之影響。最後，此一完成之完整電路階層模擬模式(Circuit Level Simulation Model)，將有助於快閃式記憶元件的開發與設計。

三、結果與討論

本計畫旨在發展一套完整的快閃式記憶元件 SPICE 模式，主要工作分為以下幾大項，即元件製作與實驗規劃、寫入與抹除之物理機制研究與解析模式之推導、SPICE 模式之建立、可靠性分析與退化模式之建立、以及元件暫態與直流特性之模擬。

(1) 直流特性模型的建立：

為了解出正確的快閃式記憶體之 I-V 特性，首先，需採用如 Fig. 2 所示的 stacked gate 結構之四個電容模型所推導出的等效電容模型。其次，我們提出一種新的方法

表示浮動閘極電位 V_{FG} 的等效值。最後，將此新的 V_{FG} 表示值套入一般 MOS 電晶體的模型中，再做一些整理即可得到所需之快閃式記憶體模型。Table 1 列出了快閃式記憶體基本的直流特性模型。Eq.(2) 即為 V_{FG} 的新表示式，其中， \acute{a}_{CG} 是閘極的耦合參數， \acute{a}_D 是汲極的耦合參數， V_0 視為功函數的差值。Eq.(1)和 Eq.(7)分別為快閃式記憶體在線性區和在飽和區的電特性模型。Fig. 3 比較了測量和模擬在不同汲極電壓下次臨界區的特性。而從 Fig.4 中可以看出元件之汲極特性，和測量值是相當吻合的。

(2) 寫入/抹除與其之暫態解析：

在本計畫中，我們根據幸運電子模型 (Lucky Electron Model) ，以及 non-local heating 效應[8] 模型，而提出一個新的閘極電流解析模式。Table 2 列出了我們所導出之閘極電流解析模式。首先，Eq.(1)代表了用通道熱載子注入的方式寫入時之閘極電流，Eq.(3)之 E_{eff} 為等效電場， $V_{DS}-V_{D,hot}$ 一般認為熱載子之驅動能力[8]，模擬和測量之結果比較，可從 Fig. 5 得到，很明顯地，兩者相較不遠。其次，Table 2 中的 Eq.(4)為我們以通道 FN 穿隧模式做抹除操作的穿隧電流，其模擬和測量之結果比較，可從 Fig. 6 得到十分吻合的結果。最後，我們再利用 Eq.(1)與 Eq.(4) ，計算暫態特性，其模擬和測量之結果比較，可分別從 Fig. 7 和 Fig. 8 看出。

(3) 寫入/抹除之耐久性模擬

元件耐久性(Endurance)是快閃式記憶元件的一項重要設計指標，一般工業界之規格是以能 P/E cycles 至少 10^6 次。然而隨著元件 P/E 次數的增加，元件特性與效能將因界面狀態與氧化層電荷之產生而逐漸退化。Table 3 即列出電流退化模式，Eq.(1)乃描述產生介面狀態的情形，而在量測方面，我們利用電荷幫浦法(Charge pumping)量測在 $I_{B,max}$ stress 後的 $I_{cp,max}$ ，再由 $I_{cp,max}=qAfW N_{it}$ 即可求得所產生的界面狀態 N_{it} ，如 Fig. 9 乃為兩者之比較分析圖。而在 Eq.(3)中之 V_G 乃

是電子和電洞缺陷的函數，Fig. 10 顯示 V_G 對 stress 時間的關係，我們利用此圖將 V_G fitting 取出再代入 Eq.(3)即可求得等效電場 E_{eff} 在經過 FN stress 後的變化情形，如 Fig. 11 所示。一般而言， E_{eff} 隨時間增加而增加，且造成氧化層電荷的產生，因此，我們可從 E_{eff} 的變化情形看出氧化層電荷的變化。Fig. 12 所顯示的是元件耐久性(Endurance)的模擬流程圖，在寫入時， Q_{fg} 值將會由 cycling 後所產生的界面狀態與氧化層電荷而決定。因此，將會造成 Fig. 7 之 V_G 改變。Fig. 13 和 Fig. 14 分別表示寫入和暫態特性在不同的 P/E cycling 後的情形；明顯地，兩者皆成功地模擬出在 cycling 後有氧化層的傷害產生。從 Fig. 15 可看出元件耐久性(Endurance)的模擬結果與量測結果相當符合。

四、計畫成果自評

近年來，快閃式記憶元件因其在儲存裝置上的廣泛應用，已吸引了相當的注目。其操作主要是將電子從浮動閘極注入或排出而造成元件的臨界電壓隨著操作時間而變化。對快閃式記憶元件而言，此暫態特性的獲得對元件設計極為重要。為了建立起暫態分析的基礎與對快閃式記憶元件操作的完整瞭解，閘極電流的解析模式是必要的。此外，為了模擬快閃式記憶元件之電路操作特性，精準的汲極電流模式亦不可或缺。而藉著這些準確的元件模式，建立電路模擬器，可作為極有價值的電腦輔助設計(CAD)工具，此對快閃式記憶元件之設計佔有極重要之地位。

本計畫整合了汲極電流與閘極電流的解析模式，將兩者合併，完成一完整地包含元件直流與暫態特性的快閃式記憶元件 SPICE 模式。此外更進一步將 P/E Stress 所產生之界面狀態與氧化層電荷造成的特性退化，一起列入考慮後，建立起快閃式記憶元件之退化模式，以分析元件在 P/E cycle 後的特性。這是世界上首次將寫入與抹除暫態特性與 P/E cycling 耐久性完整的用 Spice 模擬器模擬出來。最終整合而成的將是

個全新的、完整的快閃式記憶元件 SPICE 模式，此模式將可廣泛地應用在快閃式記憶元件之開發設計，對工業界與學術界有極大的幫助。

本計劃部份研究成果已發表於 1999 年 IEDM 會議[9]，並即將發表於 IEEE Trans. on Electron Devices 期刊。

五、參考文獻

- [1] S. S. Chung, T. -S. Lin, and Y. -G. Chen, "An improved I-V model of small geometry MOSFETs for SPICE," in *IEEE CICC*, 9.5.1-, 9.5.4, San Diego, USA, May 15-18, 1989.
- [2] T. K. Tu, J. Higman, C. Cavins, K. T. Chang, and M. Orłowski, "An EEPROM model for low power circuit design and simulation," in *IEDM Tech. Dig.*, pp. 157-160, 1994..
- [3] P. Klein, K. Hoffmann, and O. Kowarik, "An EEPROM compact circuit model," in *IEEE CICC*, pp. 325-328, 1996.
- [4] J. Sune, M. Lanzoni, R. Bez, P. Olivo, and B. Ricco, "Transient simulation of the erase cycle of floating gate EEPROMs," in *IEDM Tech. Dig.*, pp. 905-908, 1991.
- [5] C.-M. Yih, S.-M. Cheng, and S. S. Chung, "A new approach to simulating n-MOSFET gate current degradation by including hot-electron induced oxide damage," *IEEE Trans. Electron Devices*, vol. 45, pp. 2343-2348, 1998.
- [6] F. Gigon, "Modeling and simulation of the 16 megabit EPROM cell for write/read operation with a compact SPICE model," in *IEDM Tech. Dig.*, pp. 205-208, 1990.
- [7] S. S. Chung, C. M. Yih, S. M. Cheng, and M. S. Liang, "A new oxide damage characterization technique for evaluating hot carrier reliability of flash memory cell after P/E cycles," in *Symp. on VLSI Tech.*, pp. 111-112, June 10-12, Kyoto, Japan, 1997.
- [8] J. J. Yang, S. S. Chung, P. C. Chou, C. H. Chen, and M. S. Lin, "A new approach to modeling the substrate current of pre-stressed and post-stressed MOSFET's," *IEEE Trans. Electron Devices*, vol.42, pp. 1113-1118, 1995.
- [9] S. S. Chung, C. M. Yih, S. S. Wu, H. H. Chen, and Gary Hong, "A Spice-Compatible Flash EEPROM Model Feasible for Transient and Program/Erase Cycling Endurance Simulation," in *IEDM Tech. Dig.*, pp. 179-182, 1999.

A. Linear region

$$I_{DS} = \frac{\beta_0(V_{FG} - V_T - 0.5a V_{DS})}{[(1 + \theta(V_{FG} - V_T))] (1 + \eta V_{DS})} \quad (1)$$

$$V_{FG} = \alpha_{CG} V_{CG} + \alpha_D V_D + V_0 \quad (2)$$

$$V_0 = \alpha_{CG} \Psi_{CG} + \alpha_S \Psi_S + \alpha_D \Psi_D + \alpha_B \Psi_B \quad (3)$$

$$V_{TH} = V_{BIN} + (K_1 - K_2 \sqrt{\phi_S - V_{BS}}) \sqrt{\phi_S - V_{BS}} - \sigma V_{DS} \quad (4)$$

$$a = 1 + \frac{0.5g K_1}{\sqrt{\phi_S - V_{BS}}} - K_2 \quad (5)$$

$$g = 1 - \frac{1}{1.744 + 0.836 (\phi_S - V_{BS})} \quad (6)$$

B. Saturation region

$$I_{DS} = \frac{I_{d,sat}}{1 - \delta L/L} \quad (7)$$

$$V_{dsat} = (V_{GS} - V_T + a E_C L) D - \sqrt{(V_{GS} - V_T + a E_C L)^2 - 2D (V_{GS} - V_T) E_C L / D} \quad (8)$$

$$D = a (1 - \beta_0 R L E_C) \quad (9)$$

Table 1 Equations of the present flash memory I-V model.

$$I_G = I_D P_{inj} ((E_{eff} \lambda) / \phi_b)^2 \exp(-\phi_b / (E_{eff} \lambda)) \quad (1)$$

$$\phi_b = 3.2 - 2.56x \cdot 10^{-4} E_{ox}^{1/2} - 10^{-5} E_{ox}^{1/3} \quad (2)$$

$$E_{eff} = \frac{(V_{DS} - V_{D,hot})}{l_d} \quad (3)$$

$$J_{FN} = \alpha_{FN} E_{ox}^2 \exp(-\beta_{FN} / E_{ox}) \quad (4)$$

$$E_{ox} = \frac{V_B - V_G}{t_{ox}} \quad (5)$$

Table 2 Equations of the gate current model and FN current model.

$$I_G = I_D P_{inj} ((E_{eff} \lambda) / \phi_b)^2 \exp(-\phi_b / (E_{eff} \lambda)) \exp(-\alpha_{Nii} \Delta N_{ii}) \quad (1)$$

$$J_{FN} = \alpha_{FN} E_{ox}^2 \exp(-\beta_{FN} / E_{ox}) \quad (2)$$

$$E_{ox} = \frac{V_B - V_G - \Delta V_G}{t_{ox}} \quad (3)$$

Table 3 Equations of the gate current and FN current degradation model.

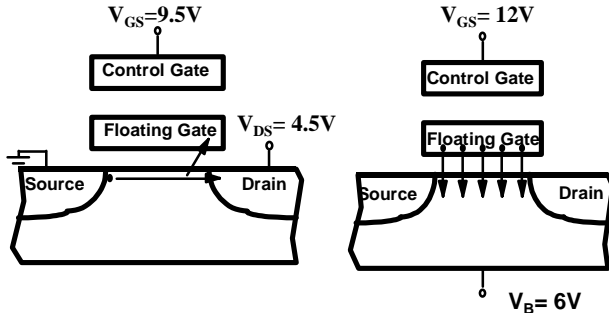


Fig. 1 Schematic diagram of (a) channel-hot-electron program and (b) channel FN erase operation for the tested memory cells in this study.

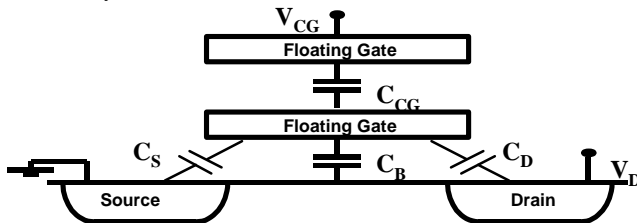


Fig. 2 The simplified equivalent circuit of stacked-gate flash cells.

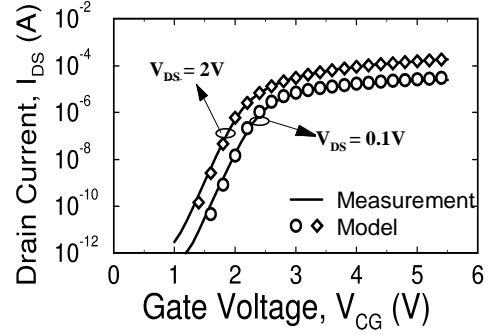


Fig. 3 Subthreshold current characteristics of a flash memory cell at different drain biases.

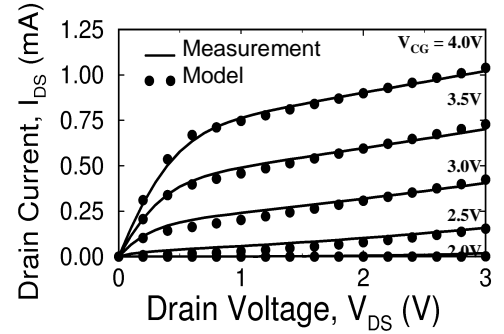


Fig. 4 The drain current characteristics of a flash memory cell.

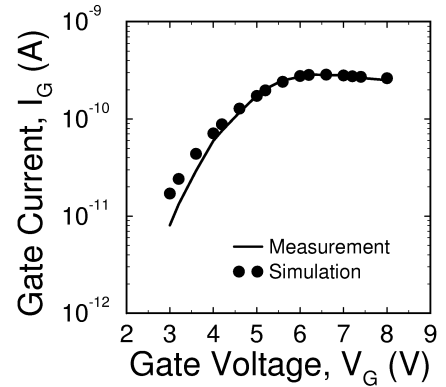


Fig. 5 The modeled and measured channel hot electron injection (gate) current of a flash memory cell.

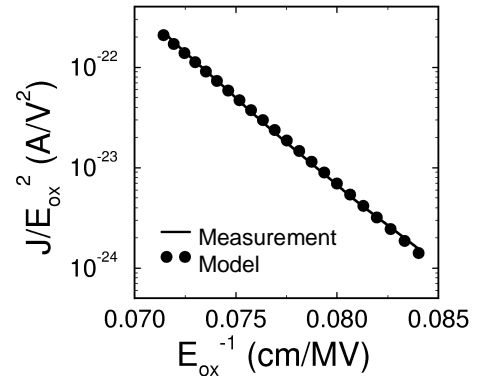


Fig. 6 The modeled and measured data of the FN tunneling current.

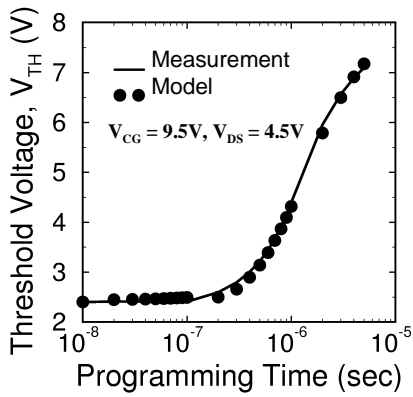


Fig. 7 The measured and modeled programming characteristics of flash memory cell.

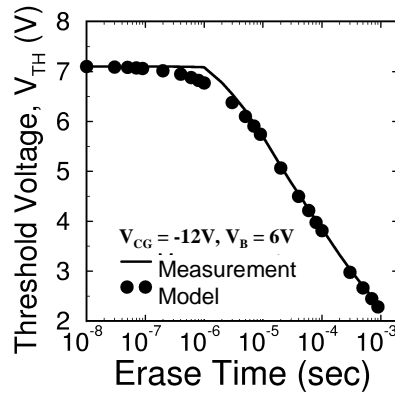


Fig. 8 The measured and modeled erase characteristics of flash memory cell.

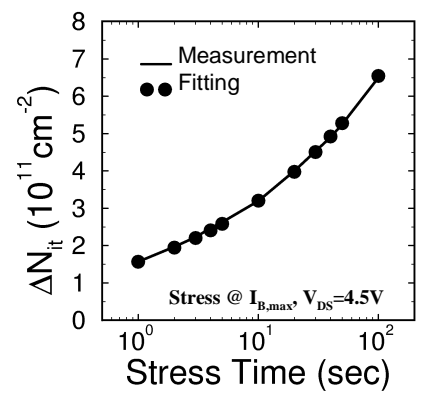


Fig. 9 Time evolution of the interface states after $I_{B,max}$ stress.

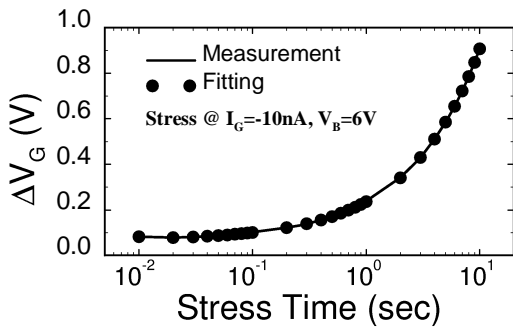


Fig. 10 Time evolution of the gate voltage shift for a dummy cell after constant FN current stress.

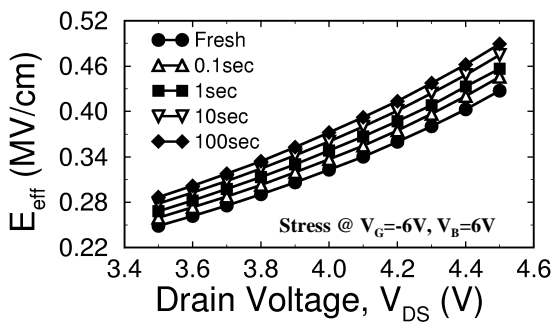


Fig. 11 Variation of the effective electric field for a dummy cell after FN stress.

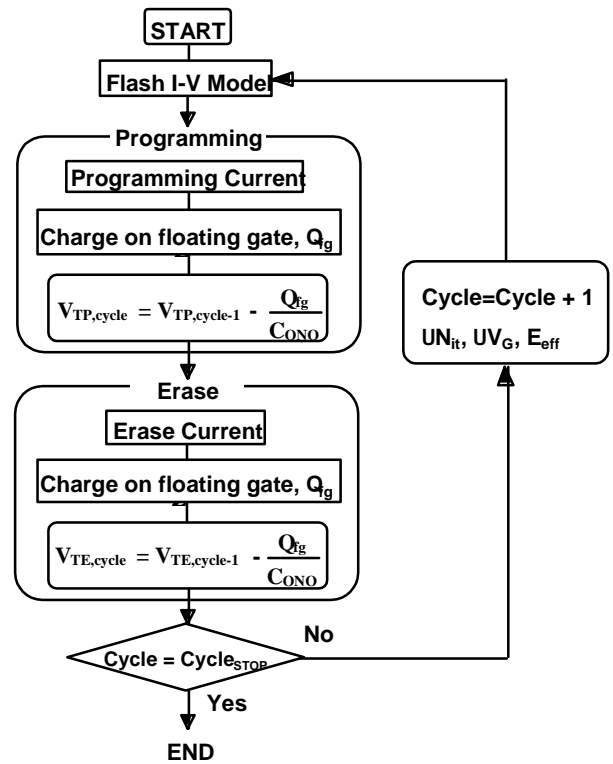


Fig. 12 Flowchart of flash memory cell endurance simulation.

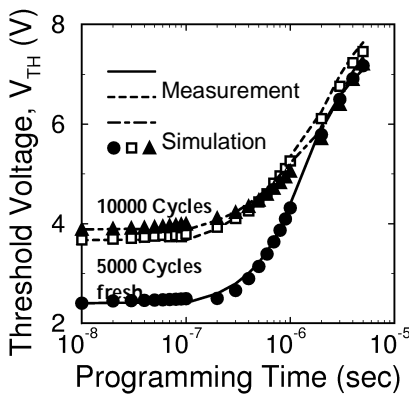


Fig. 13 The measured and simulated programming characteristics for flash memory cells at fresh and after various P/E cycles.

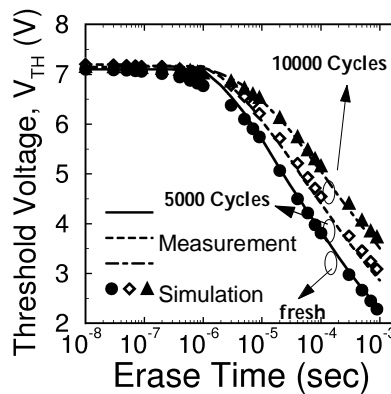


Fig. 14 The measured and simulated erase characteristics for flash memory cells at fresh and after various P/E cycles.

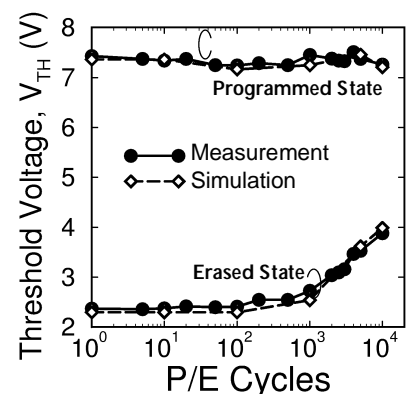


Fig. 15 Simulated and measured flash cell endurance characteristics.