

利用氘化及氮化處理製備高可靠性薄閘氧化層深次微米 NMOS 元件

Highly Reliable Thin Gate Oxide Deep-Submicron N-MOSFET by Deuterium and Nitrogen Treatments

計畫編號：NSC 89-2215-E-009-045

執行期限：88 年 08 月 01 日至 89 年 07 月 31 日

主持人：莊紹勳 國立交通大學電子工程學系

一、中文摘要

深次微米 MOS 元件熱載子可靠性問題為現今半導體可靠性最重要關鍵性課題之一。在先進的半導體設計上，元件不斷的小型化而且閘氧化層不斷的薄化，這使得元件熱載子可靠性必須重新考量。為了有效的解決元件熱載子效應，吾人設計了氘化及氮化製程。分別利用氘氣及氮氣對閘氧化不同的傷害改善機制，來增強元件熱載子可靠性。

在本計劃中，吾人首先設計氘化、氮化的元件一批，元件採用 40Å 超薄氧化層。其後，乃進行熱載子($I_{B,max}$)加速實驗。吾人利用電荷幫浦法及電性量測的結果，成功的驗證氘化及氮化製程對熱載子傷害改善的結果。本計劃得到重要結論有：(1) 氮化閘氧化層可藉由穩定的 Si-N 鍵結，有效的改善元件熱載子可靠性。(2) 氘氣製程乃是利用同位素效應及其鍵結(Si-D)的震盪頻率，成功的降低元件熱載子傷害。(3) 氘化製程應用於電漿傷害的研究上，亦獲得相當程度之改善。

關鍵詞：深次微米 MOS 元件，熱載子可靠性，氘化製程，氮化製程，電漿製程傷害。

Abstract

The issue of hot carrier reliability for the deep-submicron MOSFETs is the most important topic in modern IC reliability. To achieve higher device performance in advanced IC manufacturing, device channel length is shrunk and gate oxide is thinned. Therefore, a reliable design for improving hot

carrier effect is strongly required. In this project, to effectively solve the issue of hot carrier effect, deuterium post-metal annealing process and N_2O gate oxynitride have been introduced. By using the different efficacies of these two materials, the hot carrier effect can be immunized.

In this project, we first designed and fabricated N-MOS devices with thin gate oxide ($T_{ox} \sim 40\text{\AA}$). The split conditions included the material (O_2 and N_2O) of gate oxide and the post-metal annealing processes (D_2 and H_2). Then, the $I_{B,max}$ accelerated experiments were performed. From the experimental results, we found that the hot carrier effect can be effectively suppressed by the N_2O gate oxynitride and the deuterium annealing process. Several important conclusions have been drawn. First, the hot carrier effect can be reduced by the N_2O gate oxynitride as a result of the strong Si-N bond. Second, the two reasons for the immunization of device degradation by the deuterium annealing process are the isotope effect and the vibrating frequency of the Si-D bond which is the same as that of silicon phonon. Finally, plasma damage can also be cured by the deuterium annealing process.

Keywords: Deep-submicron MOS devices, hot carrier reliability, deuterium annealing process, N_2O gate oxynitride, plasma damage.

二、計劃緣由與目的

設計高效能高可靠性深次微米 CMOS 元件為現今大家所共同努力的目標。為了完成此一目的，必須透過半導體製程與材料上的配合。之前有人利用 N_2O 或 NO 成長的氧化層來改善元件可靠性問題，但是在未來更高的可靠性要求上，單單只靠此一製程將不足以符合元件設計的需要。於是，氘氣(D_2)高溫回火製程開始被應用於增強元件熱載子可靠性。近年來知名的美國大學、公司以及實驗室(Bell Lab.)，都已在國際知名的 conference，諸如 VLSI[1]、IRPS[2]，以及 Letter 型式論文，如 EDL[3-4] 等，發表跟氘氣有關的可靠性研究成果。這些研究，往往只涵蓋 D_2 製程對元件電特性上的影響或是一般性元件熱載子生命週期(lifetime)做簡略探討，並無法深入研究其元件退化情形及其物理機制。本研究群於兩年前已著手於氘化製程對元件特性改善之研究，首批成果發表於 1998 年 SSDM [5](其中主要即以 TFT 元件為研究對象)，根據累積的經驗，吾人將可把它實際應用於 MOS 元件之研究，為本計劃目標。

在現今元件設計考量上，若要使得元件長時間正常運作，必須對其熱載子可靠性問題做深入的研究。由於元件的熱載子可靠性，不管是氘化或是氮化改善製程，以往的研究都只是片面的講述到該現象，但是對於更深入的機制研究，國內外的研究都相當的缺乏；或者，以往都侷限於單一製程對元件電性改善之研究。本計劃著眼於此，即設計結合氘化及氮化製程的 MOSFET 來進一步研究及探討其改善機制。

在計劃的進行上，可分為三個階段：在第一個階段，乃是完成氮化閘氧化層與傳統閘氧化層的特性比較；第二階段將完成氘化高溫回火製程對元件電性的改善研究；第三階段將針對最近相當熱門的主題-電漿傷害，進行可靠性之探討。是故，本研究之完成，除了將前述之氘化氮化製程做一詳盡且完整之研究外，並可作為未來設計元件可靠性之參考。

三、結果與討論

本計劃旨在研究薄閘氧化層元件中，因熱載子注入所引起的可靠性相關問題，並利用氮化及氘化製程作為改善元件可靠性方法。同時，吾人將採行電荷幫浦技術 [6]來探討其電性退化模式及其物理機制，以作為未來設計超薄氧化層元件可靠性之設計準則。

計劃執行上，將分別針對 n-MOSFET 元件進行以下之研究：(1)針對傳統(O_2)閘氧化層及氮化(N_2O)閘氧化層進行熱載子傷害分析；(2)對此 n-MOSFET 進行氘化(H_2)及氘化(D_2)高溫回火製程，分別對其進行熱載子傷害研究；(3)將此一氘化製程應用於電漿傷害之研究，並研究其影響；以及(4)針對前述氘化及氮化製程，分別探討其傷害改善機制及其模式。各項研究工作及成果分述如下：

(1)氮化閘極氧化層之可靠性研究

傳統閘氧化層乃是採用熱氧(thermal oxide)法去成長閘氧化層，近年來為了增強閘氧化層的品質，紛紛有人改以其他方式來成長氧化層。其中最常被使用的乃是採用 N_2O 或是 NO 去成長氧化層，其主要原因有二：一為製程相容性好(因為此兩者皆為含氧元素之氣體，可直接用於成長氧化層)；二為成長後之含氮成份閘氧化層，其本質的崩潰(intrinsic oxide breakdown)電壓可以大幅的提升。

本計劃先針對傳統熱氧(thermal oxide, O_2)法成長之閘氧化層與含氮(以 N_2O 氣體成長)閘氧化層分別進行熱載子加速實驗 ($I_{B,max}$ stress)。其元件基本電性量測結果如 Fig.1 所示。在初始(fresh)狀況下，兩者的 subthreshold 特性大致上差距不大；然而，經過一段時間的 $I_{B,max}$ stress 之後，可以明顯看出含氮閘氧化層傷害程度小於傳統熱氧法(O_2)成長之閘氧化層，這表示氮化的閘氧化層可改善部份的熱載子傷害。

為了分析此一特性，吾人採行電荷幫浦量測來觀測元件中傷害產生的情形，所得的結果如 Fig.2 所示。由此圖可以看出，元件處於初始(fresh)狀態下元件的電性大致上也是很接近。然而，經過一段時間的 $I_{B,max}$ stress 後，亦可發現對於含氮之閘氧化層電荷幫浦電流量較小，亦即產生的界面缺陷(interface state)量較少。這結果即與前述之 subthreshold 區域的退化情形相吻合。

再更深入的研究熱載子效應對元件傷害的情形，吾人採行前述所提及的電荷幫浦粹取法[6]來觀測元件中產生的界面缺陷之分佈情形，所得之結果如 Fig.3 所示。由此，可以明顯的看出經過 3000 秒的熱載子加速實驗，果然在含氮的氧化層元件中，界面缺陷(interface state, N_{it})產生的量較少。由此反推到前面 I_D-V_G 退化曲線，可以得知-此含氮閘氧化層減緩了界面缺陷產生速度，使這得元件的熱載子傷害較小，而元件退化情形較不嚴重。

(2) 氘化回火製程對元件可靠性之影響

根據前面所得之結果，在這吾人設計氮化閘氧化層元件，同時輔以氘化或氫化高溫回火製程，來增強元件的熱載子可靠性。由於氘氣與氫氣的化性接近，主要僅差在兩者的原子質量不同，故氘氣製程可以完全相容於原先的氫氣製程。

對於此設計之元件，首先觀察其基本電性的差異。由 Fig.4 中的 fresh 元件 subthreshold 特性曲線上，可以看出此氘化與氫化高溫回火製程對元件基本電性造成的影響幾乎是微乎其微。然而，當採行 $I_{B,max}$ stress 3000 秒之後，兩者的差異即被突顯出來。如預期的，經過氘氣回火製程之元件擁有較好之電性。

同樣的，為了檢測元件的界面缺陷產生量，吾人採行了電荷幫浦法量測法，得到的結果如 Fig. 5 所示。在初始(fresh)狀況下，兩者的電荷幫浦電流幾乎是一樣的。

亦即，不管用氘氣或是氫氣去 annealing 晶圓，在初始狀態下界面缺陷(N_{it})產生量幾乎沒有多大的差別。而且，氘氣製程元件的 I_{CP} 量值僅僅小於氫氣製程元件一點點。經過一段時間的 stress 之後，兩者之 I_{CP} 電流值即有明顯的差距，在這已經可以看出氘氣優越的特性開始被突顯出來。

為了區分它的熱載子傷害產生原因為何，吾人進行閘極造成的汲極漏電流(GIDL)量測，結果則如 Fig.6 所示。此 GIDL 電流常被用於觀測元件的閘極與汲極 overlap 的區域的電荷量，若有漂移的情況發生，即表示區域的電荷量被改變。由該圖中之 fresh 特性曲線，吾人可以看出不論是在較高汲極偏壓下(V_D)或是較低的偏壓下，兩者 GIDL 電流大致上接近，亦即該區域電荷殘存量很接近。而在 stress 後，氘氣與氘氣所得到的 GIDL 電流仍然很接近，且量值也與原先初始(fresh)條件下之 GIDL 電流量值差不多。然而，吾人看到低 V_D 電壓下的 stress 後的特性，這區乃是 band-to-band tunneling 與 trap-assisted tunneling 所主導。其中，氘氣製程的 GIDL 量值大於氘氣製程，其主要原因乃是因為在汲極附近產生較多量值的 interface traps，以致於此一 GIDL 在低偏壓的時候仍有較大的電流值存在。而此結果反映到前面的 Fig.5，同樣的可以驗證此 interface state 的產生量較大。

由前述三者看來，此一測試之元件在初始狀況下，特性都很接近。而氘氣製程在整體上僅微量的優於氘氣製程。

接下來，吾人計算隨時間變化的汲極飽和電流(saturation current)退化情形，得到如 Fig.7 的結果。同樣的，結果與前面類似，亦是氘氣效果優於氘氣的效果。而電荷幫浦法對時間的作圖可以反映元件界面狀態隨時間的產生情形，結果如 Fig.8 所示。結果與汲極飽和電流退化情形類似，幾乎是接近成正比的關係。

最後，吾人採用電荷幫浦粹取法[6]，

去計算元件的界面缺陷的分佈情形，其結果如 Fig.9 所示。由此，吾人可知此乃是界面缺陷所主導元件的熱載子退化，而非氧化層的電荷。

(3) 氘化製程應用於電漿傷害之改善

在這個部份的研究中，吾人把氘化製程應用於具有天線結構之元件，來觀測其對元件傷害改善的結果。所謂的天線結構，乃是在電漿製程中會引發元件研究電漿傷害之結構。Fig.10 中所示乃是在這研究中所採用的天線結構。

同樣的，先量測其元件的 I_D-V_G 電流特性與電荷幫浦電流，結果分別如 Figs.11 與 12 所示。由此兩者來看可以發現，在熱載子實驗之前元件的電漿傷害量值大致上差距不會太大。這主要原因乃是在製程中，已經採行了氮化的閘氧化層，有效的降低製程中產生的電漿傷害。然而，經過一段時間的熱載子實驗之後，元件潛在性的電漿傷害就會再被激發出來。吾人可以明顯的看出，氘氣製程在熱載子加速實驗之後，仍有較好的結果。這表示氘氣製程有效的改善了電漿傷害對元件後續的影響程度。

接著量測其 GIDL 電流(如 Fig.13)，來觀測區域性氧化層電荷的產生情形，可以看出在氘氣製程的元件中熱載子加速實驗後產生較多量的氧化層電荷 (electron trap)；相對的，氘氣製程產生的量較少。不過這些量值都不算大，所以沒有進一步進行排除氧化層電荷(detrapping)的動作。

同樣的，利用電荷幫浦粹取法吾人可以取得在此狀況下之傷害情形(如 Fig.14)。這可以用來印證前面的結果-可以看出氘氣製程中，產生的界面狀態(N_{it})較小，這使得元件退化的量較小。

(4) 熱載子傷害退化機制分析

元件的熱載子傷害產生原因不外乎是

產生界面缺陷或是產生氧化層的電荷量。然而，在此 n 型 MOSFET 元件之中，元件承受熱載子($I_{B,max}$)加速實驗之後，主要即以產生界面狀態(interface trap)為主。這使得元件中電子的移動速度(mobility)下降，而造成元件的電流值下降。

由前述之實驗中，對於氮化閘氧化層，主要的降低元件熱載子可靠性問題的方式乃是因為它乃是形成 $SiON_x$ 的結構，氧化層中含有強力的 Si-N 鍵結。這使得氧化層內部鍵結強度大幅提昇，而熱載子無法輕易撞斷元件的鍵結。

而氘氣製程中亦可降低元件的熱載子效應，其主要的理由可分為兩類[7]:第一類是說法，主要乃是用同位素效應來解釋-亦即氘氣原子比氫氣原子大一倍，原子大小比氫大，這使得熱載子在撞擊時不太容易的動較重的氘原子。而且，氘原子比較大，卡在界面中就不太容易再位移，也使得它特性較好。另外一種說法是，氘氣與氫氣製程對 Si 來說形成的鍵結(Si-D 和 Si-H)能量很接近(兩原子的化性接近)，但是由於 Si-D 的共振頻率接近 Si 聲子(phonon)的共振頻率，這使得元件熱載子衝撞通道表面時，其能量可以藉由 phonon 來有效的排除，使得 Si-D 鍵結較不容易斷裂，而特性較好。

另外，有人用 SIMS 的量測結果[7]驗證了以下的結果，氘氣原子會穿透重重的保護層(passivation layer)而到達矽基底(Si-substrate)與閘氧化層(gate oxide)的界面，並且大量聚集在界面(interface)的位置；而相反的氫氣原子並無明顯的聚集在 oxide-substrate 的界面。此乃因為氘氣原子較大，較易被卡在該界面，而氫氣原子卻因原子較小，穿透過該界面而到達了 Si-substrate。所以，氘氣製程對於抑制元件熱載子傷害較有效。而這些特性反映到元件電性上，就如同本研所得到的電特性及退化情形。

然而，氘氣製程並非沒有他的缺點存

在。因為氘氣屬於稀有的同位素，存量遠比氫氣來的少，單位用量下單價較為昂貴，這使得氘氣製程雖可以有效的抑制元件熱載子傷害，而在短期內暫時無法完全應用現今的 IC 製程之中。此為現今氘化製程最大之缺點。

四、計劃成果自評

近年來，元件的小型化，使得熱載子效應變的更為複雜，為了有效的解決元件的熱載子傷害，吾人在此利用了氘化與氮化的製程，分別對元件造成不同效應來有效的改善元件的特性。在本研究中，已經成功的利用電荷幫浦法去取得界面缺陷產生的分佈情形，並完整的解釋元件熱載子傷害的改善情形。另外，吾人並將氘化製程應用於電漿蝕刻傷害的研究上，並得出有效的傷害改善結果。而從本研究中可以得知，對於氮化的效應，主要乃是因為他會造成強健的 S-N 鍵結，使得元件的 oxide quality 變好，抗熱載子能力就可以大幅的提高。而氘化的效果主要有兩個，一個是同位素效應，另一個乃是它的震盪頻率接近 Si 晶格，這使得其在熱載子加速實驗中 Si-D 鍵結也不容易斷裂。是故，本計劃中即合併這兩個效果，有效的應用於元件熱載子傷害的改善，而得出實質的成果。

本計劃部份研究成果分為三個部份，第一個部份乃是關於氮化層氧化層的研究成果，此部份延續了先前的計劃，結果除了已發表於國際性會議 99IRPS[8]外，並陸續投稿到國際性期刊 ED；第二部份乃是關於氘化回火製程的研究成果，除了前述所投之 98SSDM[4]外，其他相關之結果並陸續在整理當中；第三個部份乃是關於電漿蝕刻傷害研究的部份，現今已發表於國際性會議論文 2000 年 IRPS[9]，SSDM[10]，及 SISC[11]；國內性會議論文 2000 年 IEDMS[12]，除此之外最近亦在彙整結果，亦將會投稿到國際性期刊 ED。

五、參考文獻

- [1] Z. Chen et al., in *Tech. Digest of Symp. on VLSI Tech.*, pp.180-181, 1998.
- [2] S. Aur et al., in *Proc. of IRPS*, pp. 180-183, 1998.
- [3] I. C. Kizilyalli et al., *IEEE Trans. EDL*, pp. 81-83, 1997.
- [4] I. C. Kizilyalli et al., *IEEE Trans. EDL*, pp. 444-446, 1998.
- [5] D. C. Chen et al., *Ext. Abs. SSDM*, Hiroshima, Japan, pp. 440-441, 1998.
- [6] S. S. Chung et al., *Ext. Abs. SSDM*, Chiba, Japan, pp. 841, 1993.
- [7] K. Hess et al., *IEEE Trans. ED*, pp. 406-416.
- [8] S. S. Chung et al., in *IEEE IRPS*, pp. 249-252, Mar. 22-25, San Diego, 1999.
- [9] S. S. Chung et al., in *IEEE IRPS*, pp. 389-393, Apr. 10-13, San Jose, 2000.
- [10] S.-J. Chen et al., *Ext. Abs. SSDM*, pp. 16-17, Aug. 29-31, Sendai, Japan, 2000.
- [11] S. S. Chung et al., *IEEE SISC*, pp. xx, San Diego, Dec. 7-9, 2000.
- [12] S. J. Chen et al., in *IEDMS*, pp. xx, Dec. 20-22, 2000.

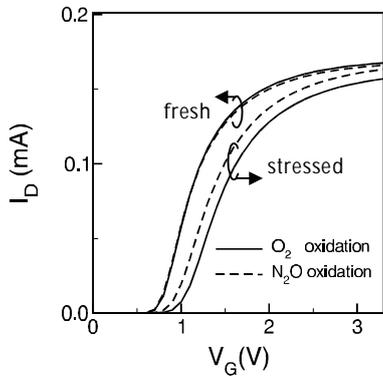


Fig. 1 The fresh and stressed subthreshold characteristics for the O₂ gate oxide and N₂O gate oxynitride.

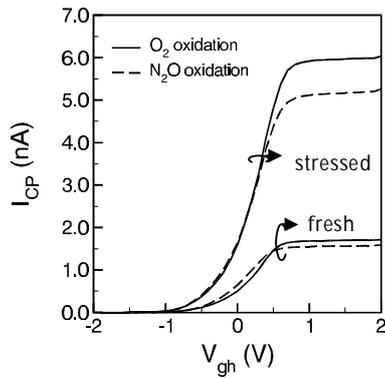


Fig. 2 The fresh and stressed charge pumping currents (I_{CP}) for the O₂ gate oxide and N₂O gate oxynitride.

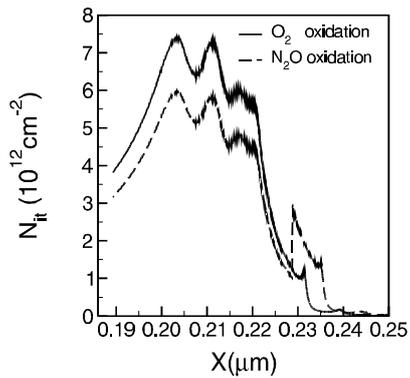


Fig. 3 The extracted N_{it} distributions for the O₂ gate oxide and N₂O gate oxynitride.

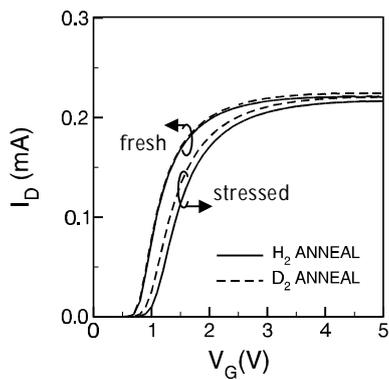


Fig. 4 The fresh and stressed subthreshold characteristics for the D₂ and H₂ annealing processes.

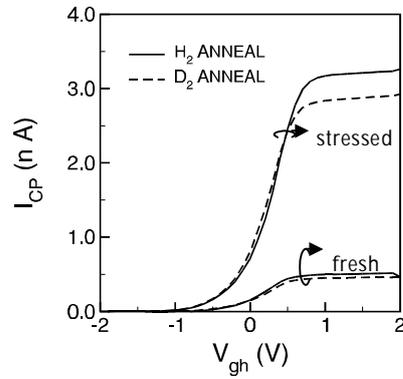


Fig. 5 The fresh and stressed charge pumping currents (I_{CP}) for the D₂ and H₂ annealing processes.

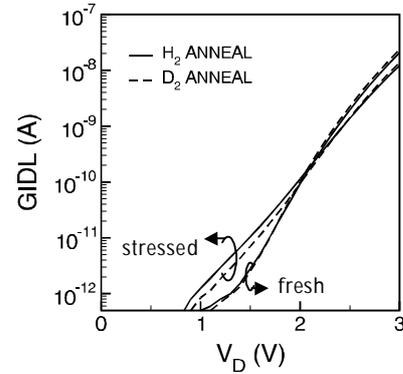


Fig. 6 The fresh and stressed gate-induced-drain-leakage (GIDL) currents for the D₂ and H₂ annealing processes.

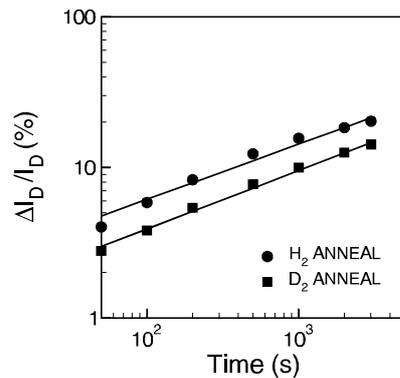


Fig. 7 The time dependence of the drain current degradations for the D₂ and H₂ annealing processes.

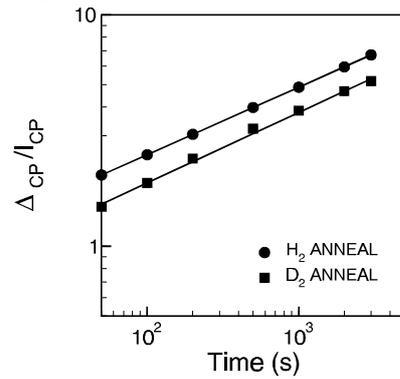


Fig. 8 The time dependence of charge pumping currents for the D₂ and H₂ annealing processes.

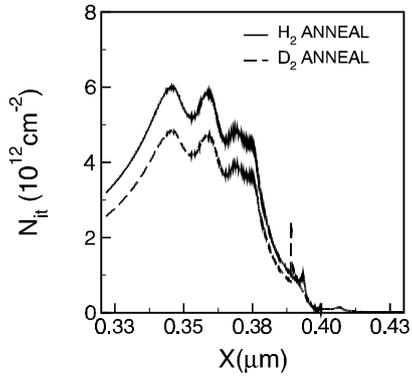


Fig. 9 The extracted N_{it} distributions for the D_2 and H_2 annealing processes.

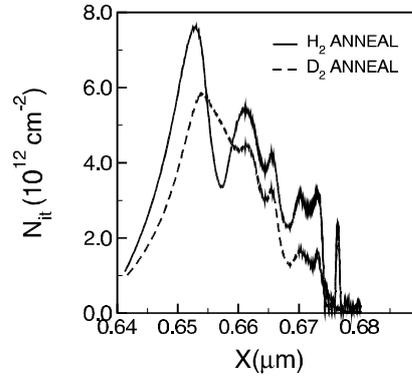


Fig. 14 The extracted N_{it} distributions for the plasma damage study with D_2 and H_2 annealing processes.

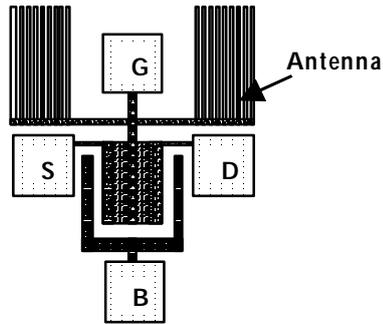


Fig. 10 The antenna structure for the plasma damage study with D_2 and H_2 annealing processes.

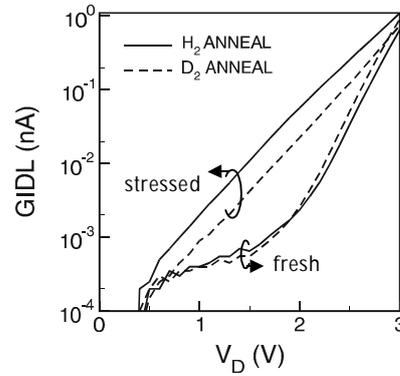


Fig. 13 The fresh and stressed gate-induced-drain-leakage (GIDL) currents for the plasma damage study with D_2 and H_2 annealing processes.

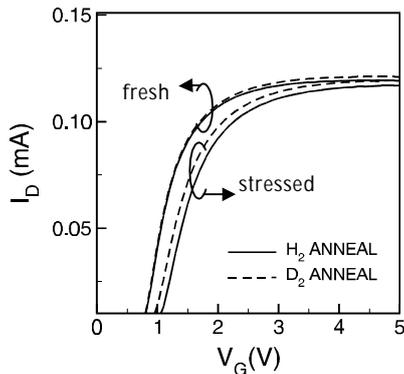


Fig. 11 The fresh and stressed subthreshold characteristics for the plasma damage study with D_2 and H_2 annealing processes.

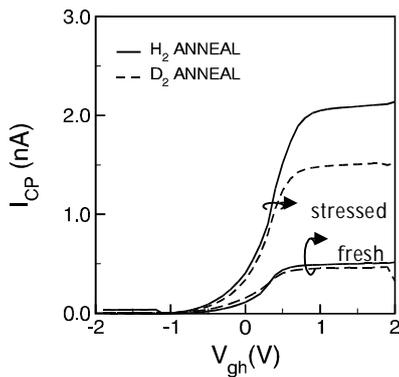


Fig. 12 The fresh and stressed charge pumping currents (I_{CP}) for the plasma damage study with D_2 and H_2 annealing processes.