

行政院國家科學委員會專題研究計畫 期中進度報告

後次微米時代新興電子設計自動化技術之研究--總計畫 (2/3) 期中進度報告(完整版)

計畫類別：整合型
計畫編號：NSC 98-2220-E-009-020-
執行期間：98年08月01日至99年07月31日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：周景揚
共同主持人：黃俊達、江蕙如、溫宏斌、李毅郎

處理方式：本計畫可公開查詢

中華民國 99 年 05 月 28 日

後次微米時代新興電子設計自動化技術之研究—總計畫

(2/3)

期中進度報告 (完整版)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 98-2220-E-009-020-

執行期間：98年 8月 1日至 99年 7月 31日

計畫主持人：周景揚

共同主持人：黃俊達、江蕙如、溫宏斌、李毅郎

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者
外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電子工程學系及電子研究所

中 華 民 國 99 年 5 月 27 日

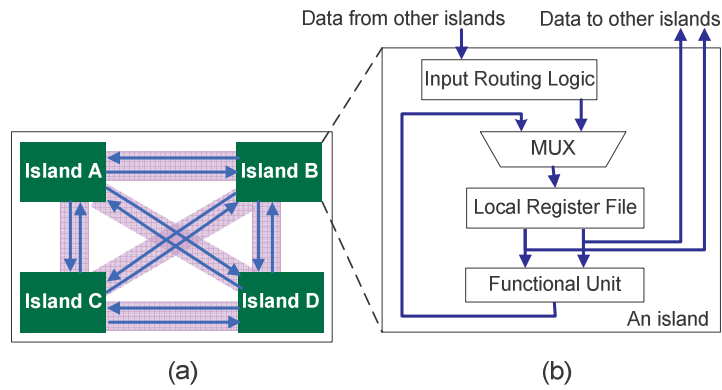
1. 前言與研究方法

在本計畫的第二年度，主要是針對目前深次微米時代的晶片設計，一共提出了五大問題分別表列如下：

- 長導線上多時脈週期的通訊問題
- 功率密度隨著元件縮小而增加，隨之而來的功率管理問題
- 第一次矽晶片的良率越來越低，使用第一次錯誤的矽晶片並找出錯誤所在的診斷問題
- 隨著製程降低，日益嚴重的軟性電子錯誤問題
- 針對製造、可靠度以及良率所特別提出的繞線系統問題

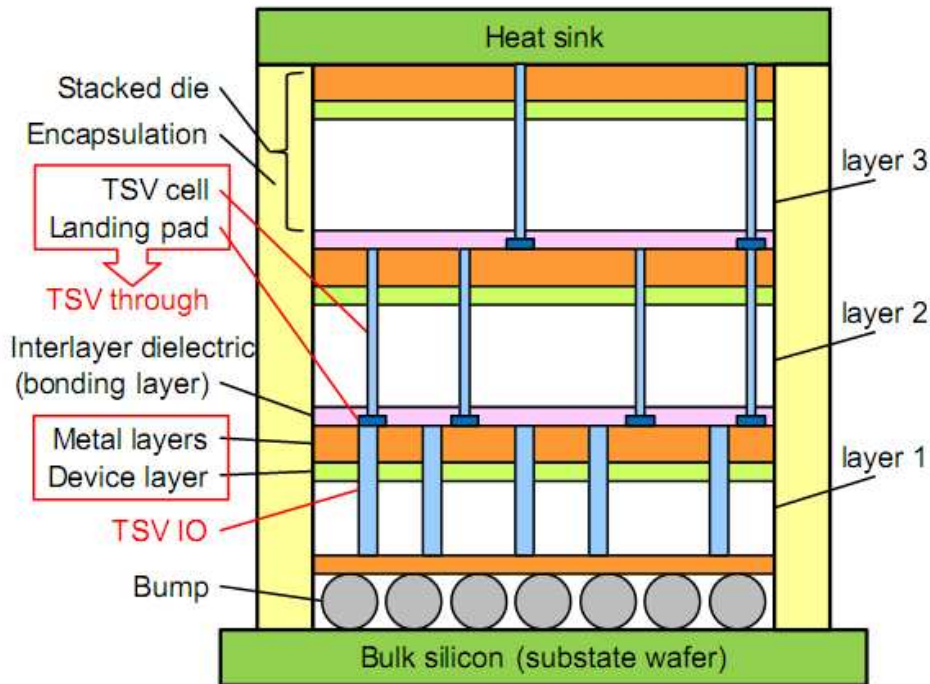
以上問題都已經出現在目前的設計流程當中，而急需相關技術來一一克服。

針對以上總計畫所提出的五大問題，總計畫中的各子計畫已陸續提出相關的解決方案，並已經設計出自動化的工具解決相關問題，更可整合進入目前的設計流程，有效的縮短整體的晶片設計時間。本計畫的涵蓋面包括了：可製造性設計 (Design for Manufacturing, DFM)、可確保良率性設計 (Design for Yield, DFT)、可測試性設計 (Design for Test, DFT)、除錯化設計 (Design for Debug) 以及低功率設計 (Design for Low-Power) 等相關領域。接下來，我們將逐一說明各項子計畫已經解決的相關問題及解決方法。



圖一

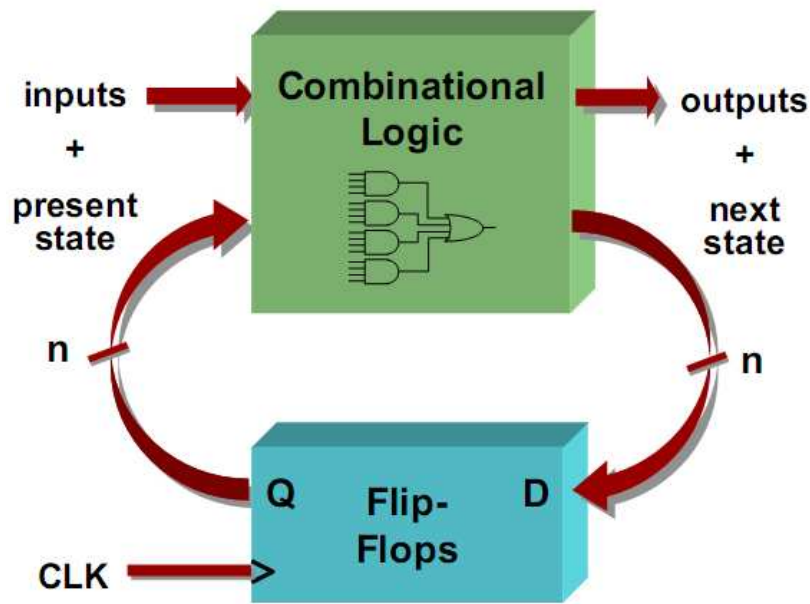
隨著製程的進步，單一元件的尺寸越來越小，在一個相同大小的晶片中所能置入的元件及模組數量隨著增加。為了在各模組之間進行訊號的溝通，長導線的配置是不可避免的。但是這些長導線的延遲，往往是系統時脈週期的數倍甚至是數十倍之多，如何在晶片設計前期就考慮這種長導線的配置，便是子計畫一在第二年度的重點。圖一為子計畫中一範例圖形，子計畫一會在考量長導線的影響之下，配合時間排程、模組的配置、佈局以及擺放和繞線、以及系統效能下，從高階設計語言自動合成出暫存器傳送層級硬體設計語言。



圖二

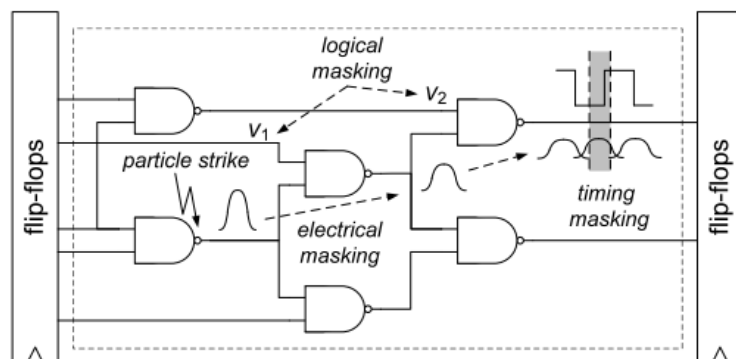
由於晶片的時脈頻率以及功能需求不斷的上升，耗電密度亦隨之與日遽增，但低耗電的需求也越來越大。圖二說明了目前三維晶片的概念圖，子計畫二在第二年便提出一套以多重電壓供給藉以達到控制並降低整體耗電量的整數線性規劃演算法，並且以三維晶片為主，提出一個整合性的低耗電管理設計流程及開發其中所需的技術。

由於良率的日漸降低，在第一次晶片完成之後失敗的晶片通常是居多的，又由於在設計做成了矽晶片之後，內部信號的觀察度大幅度的降低。圖三為晶片設計的一概念圖。子計畫三為了從這些失敗的晶片找出錯誤的原因，提出了追蹤緩衝區的訊號選擇演算法，在設計初期就把適當的正反器訊號與追蹤緩衝區結合，在晶片執行過程中記錄該訊號，使得在之後的錯誤分析時期能夠從追蹤緩衝區得到更多的晶片內部資訊，加速錯誤分析流程並使其結果更為準確。



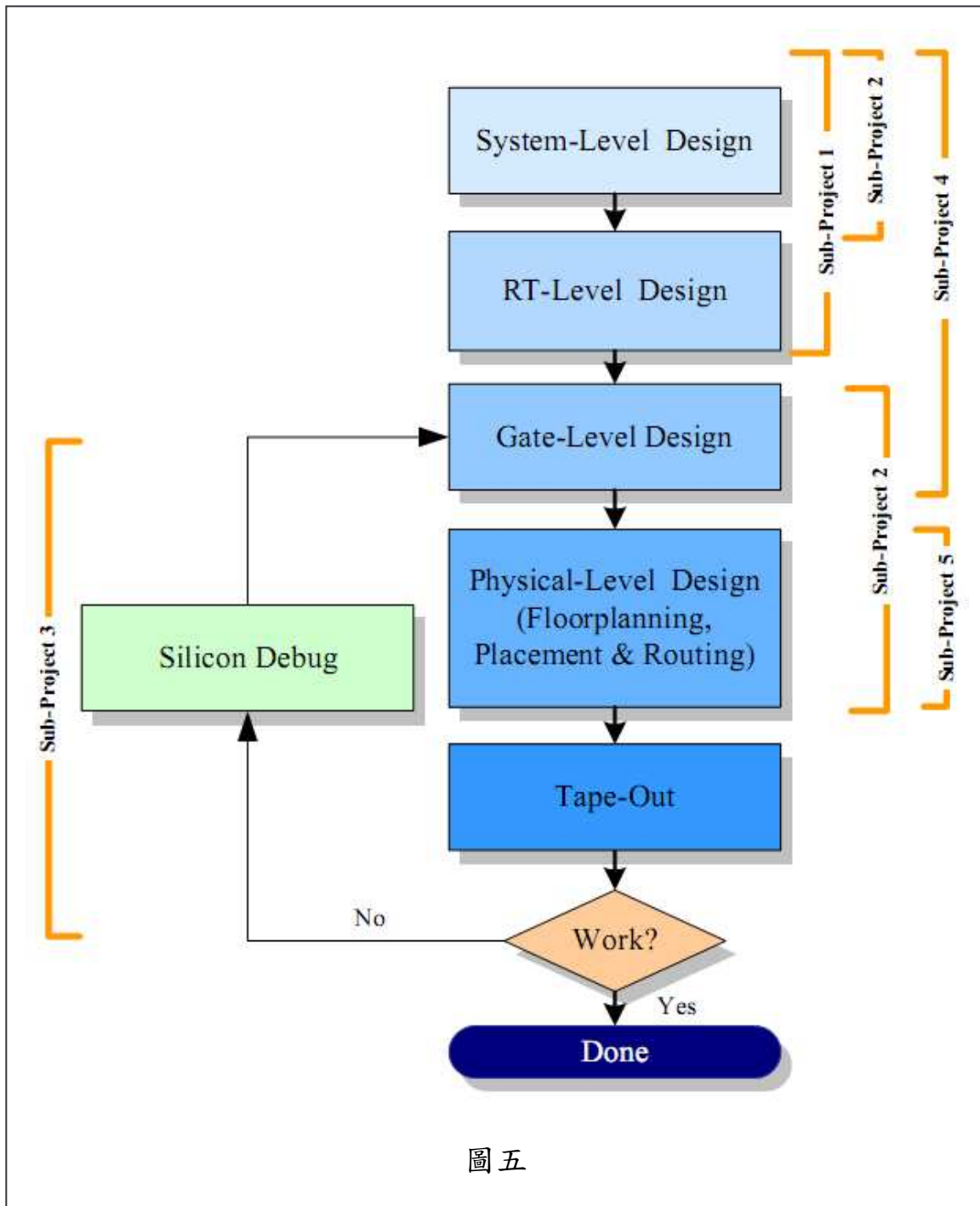
圖三

由於製程技術的進步以及製程變異的影響，因為宇宙射線的碰撞而產生的軟性錯誤機率越來越大，圖四說明了軟性錯誤可能發生的情況，子計畫四在第二年度中針對 90 奈米製程，提出了一個高準確性查表法的統計模型，使用蒙地卡羅進行對其分析，更配合上一些隨機序列的輔助，以達到較好的收斂並且增加運算速度。根據運算完的結果，可回饋給設計者改善並更進一步降低可能發生軟性錯誤的機率。



圖四

近年來由於特徵尺寸持續的縮小，大家開始關心電路設計的不良率導向問題，又由於持續上升的電晶體數量，這些電晶體之間的導線連線問題，很明顯的影響著良率問題。子計畫五在第二年度提出了一個調整與排列導線的有效方法，降低了隨機瑕疵的影響使得錯誤發生的比例有效的下降。



圖五為目前晶片設計流程以及各子計畫所針對的問題部分做個簡單說明。在第二年的研究成果中，針對晶片設計流程各個不同層級所碰到的問題，我們已發展出許多先進的自動化技術：

- 在設計前期，分散式暫存器架構中，考量多時脈週期通訊的長導線配置的高階語言合成器
- 在三維積體電路中，對於模組考慮多重電壓供給的整數線性規劃演算法
- 在多重電壓供給下的無時脈偏移的時脈樹合成演算法
- 配合錯誤分析所需的訊號，追蹤緩衝區的訊號選擇演算法
- 使用似隨機序列的高準確軟性電子錯誤率查表統計法
- 使用切量式分群法的導線層配置與擺放演算法

並針對這些技術共發表了 3 篇國際期刊論文、9 篇國際研討會論文（另有多篇期刊論文及會議論文已經被接受或是在投稿審核階段）。

本總計畫期中報告的主要內容分為兩部分：第一部份將簡單描述在本總計畫中各子計畫所研究的設計自動化流程。第二部份包括各自己畫在第二年執行之相關成果的中英文摘要報告，詳細內容請參考各子計畫之個別報告。最後附上計畫所發表之論文成果統計。

2. 各子計畫摘要報告

本總計畫包括下列子計畫：

子計畫一：符合次世代晶片上通訊思維之具備幾何考量的系統架構合成技術 (2/3)

計畫主持人：黃俊達副教授

計畫編號：NSC 98-2220-E-009-021-

子計畫二：整合性低耗電管理之技術開發(2/3)

計畫主持人：江蕙如助理教授

計畫編號：NSC 98-2220-E-009-022-

子計畫三：角落錯誤之矽除錯(2/3)

計畫主持人：周景揚教授

計畫編號：NSC 98-2220-E-009-023-

子計畫四：應用計算智慧推理處理後深次微米時代電路設計上的可靠度挑戰(2/3)

計畫主持人：溫宏斌助理教授

計畫編號：NSC 98-2220-E-009-024-

子計畫五：考慮可製造化、可靠度與良率的繞線系統(2/3)

計畫主持人：李毅郎副教授

計畫編號：NSC 98-2220-E-009-025-

本章節對各子計畫目前之第二年期中報告成果作摘要式描述，詳細敘述請參考各子計畫完整報告。

3.1 子計畫一：符合次世代晶片上通訊思維之具備幾何考量的系統架構合成技術 (2/3)

中文摘要

隨著製程的進步，單一元件(device)逐年縮小化，使得單一晶片(chip)可整合更多之電晶體數目及功能模組(modules)，同時，也使得單一元件的切換速度愈來愈快，進而可提高系統的操作頻率。然而，在系統中無可避免地會需要模組間的資料交換，這些通訊行為在晶片上代表著模組間需要長導線相互連接。相對於單一元件可由製程的進步得到切換速度的提昇，這些晶片上的長導線反而因為元件的縮小化而導致傳輸速度的惡化。在未來 35 奈米的製程中，訊號在橫跨晶片之長導線上之延遲時間將會是系統運作之時脈週期的十數到數十倍之譜。由於元件的縮小化是必要的趨勢，而現有之大部份設計自動化軟體及設計方法並無力處理未來長導線將會帶來之多時脈週期(multi-cycle)通訊的問題。因此，業界將會需要革命性的設計方法及思維作為因應。

由於系統上各模組間通訊所需要之通訊時間決定於佈局(floorplaning)和擺放(placement)之後的結果，而在已知文獻及我們的分析中發現，各模組間的通訊時間對系統效能之影響甚巨，因此在晶片設計前期已不能不將佈局及擺放同時考慮進去。本計畫將探討分散式暫存器架構(distributed register architecture)，在考慮多時脈週期通訊的情形下，研發高階合成(high level synthesis)之設計自動化軟體，在同時考量排程(scheduling)、模組的配置(allocation and binding)、佈局和擺放、繞線(routing)及系統效能的情形下，從高階設計語言自動合成出暫存器傳送層級(register transfer level)硬體設計語言(hardware design language)。

英文摘要

As the technology keeps advancing, the device is miniaturized year by year. The miniaturization makes more transistors and more modules being integrated into one single chip. It also makes the switching of the transistors faster and faster, and hence increases the system operating frequency. However, data transactions between modules in a system are unavoidable, and these transactions require physical long wires for interconnection. In contrast to the benefits transistors can get due to the advancing technology, the signal propagation delay on long wires is getting worse. In 35nm technology node, the propagation delay on a cross-chip long wire can be dozens of the clock cycles. Since the trend of miniaturization is mandatory and most current EDA tools cannot handle the multi-cycle communication issue due to the long wires, the industry definitely needs a revolutionary design methodology to overcome the problem caused by long wires in the future chips.

According to the up-to-date literature and our analysis, the communication latency among modules in a system greatly impacts the system performance. However, the exact communication latency is not available until the system is floorplanned and placed. Hence floorplanning and placement must be taken into consideration in the early stage of chip design as well. In this project, we will develop an automation tool for distributed register architecture (DRA) by considering the multi-cycle communication paradigm. Designs of chips written in high level design language will be synthesized automatically to a register transfer level version by taking scheduling, resource allocation/binding, floorplanning/placement, routing and system performance into consideration simultaneously.

Keywords: multi-cycle communication, on-chip communication, high level synthesis, floorplan, placement, distributed register architecture, design methodology, design automation.

3.2 子計畫二：整合性低耗電管理之技術開發 (2/3)

中文摘要

由於時脈頻率以及功能需求不斷的攀升，但是從製程演進中對耗電所能得到的好處卻趨於緩和，甚至漸漸出現了負面效應，以致於耗電密度與日俱增。此外，低耗電的需求不僅是為了隨身攜帶和需要電池的裝置延長電池的持續使用時間與壽命；對於固定的常置設備，也應考慮封裝以及冷卻的成本，若是家用的電器更應考慮靜音與環保。低耗電的研究雖已行之有年，但是之前的研究大多是分層級／分階段考慮，缺乏通盤的整合，導致在前期作好的最佳化結果無法在後期好好的利用。在本子計畫中，我們將提出一個整合性的低耗電管理的設計流程，開發其所需的新興技術。我們在系統，設計，與實現，三層級探討。

在實體設計層級，我們發展一套在三維積體電路上考慮多重電壓供給以整數線性規劃來做分割的軟體。多重電壓供給為實現低功耗電路上一個非常重要的技術；整數線性規劃有易於開發拓展到不同應用的特性。再者，為了讓多重電壓供給技術在電路上能順利的實現，本子計畫中亦提供可在多重電壓供給下保證無時脈偏移的時脈樹合成軟體。

英文摘要

The success of 3D ICs requires novel EDA techniques. Among them, this paper focuses on 3D IC partitioning, especially at the architectural level to maximize its benefits. We first derive logical formulations for 3D IC partitioning problems and then transform the formulations into integer linear programs (ILPs). Moreover, interconnect delay and low power are two of the main issues in nano technology, as well as in 3D ICs. Buffer insertion during routing effectively reduces interconnect delay; power state management and multiple supply voltage significantly multiple supply voltage significantly lower power consumption. However, buffering without considering power states in multiple supply voltage designs may cause the signal integrity problem. Thus, we consider power states into buffered clock tree construction.

In this project, we proposed a flexible and extendable 3D IC partitioning ILPs and a zero-skew power state aware clock tree synthesis approach, respectively. In Part I, the ILPs can minimize the footprint, the usage of vertical interconnects, and the power consumption simultaneously. In addition, our approach is very flexible and can readily extend to the partitioning problems with variant objectives and constraints, and with different abstract levels, e.g., from the architectural level down to the physical level. This flexibility makes the ILP formulations superior alternatives to the 3D IC partitioning problems. On the other hand, the power state aware clock tree synthesis approach considers power states into buffered clock tree construction in order to reach zero skew. Based on our method, we can reach minimum skew and minimize buffer numbers simultaneously.

3.3 子計畫三：角落錯誤之矽除錯 (2/3)

中文摘要

由於越來越高的設計複雜度，在目前的晶片製作中第一次製作的晶片通常都是失敗的或是僅有非常低的良率。我們可由這批失敗的晶片中，收集晶片的錯誤行為，並且經由這些錯誤行為找到並且更正我們設計中錯誤的部分。但是，由於不停增加的設計複雜度以及製成的不穩定性，錯誤分析已經變的越來越困難且比以前需要更多的時間。

對於給定的一個錯誤設計，除錯最重要的第一步就是找出第一個錯誤的時間。只要能得到第一個錯誤時間的範圍，就能將該時段的電路展開成數個組合電路連續串接的狀態，並根據該時段所擁有的信號重建當時的電路狀態使用既有的診斷錯誤工具進而找到真正錯誤的地方。

在這個子計畫中，我們提出了在矽除錯中追蹤緩衝區的訊號選擇問題，並且提出了一些條件式的選擇方法，藉以選擇一些正反器作為儲存入追蹤緩衝區的信號。我們將此問題套用至 minimum feedback vertex set 問題，此問題已經是大家熟知的 NP-complete 問題。在我們的設定之下，在測試電路 s9234 中，可直接觀察或推論出超過 97% 正反器的狀態而只需要選取 32 個正反器。即使在最差的測試電路 s13207 中，亦可得到超過 50% 的正反器狀態。這些實驗數據並沒有考慮可直接由輸出端觀察的情形，若配合上直接觀察輸出端的部分，可得到的正反器狀態會再增加。執行時間是可以接受的，並不會因為選擇的正反器數量不同而有所影響。

英文摘要

Due to the high design complexity, the first silicons of today's ICs usually fail or have very low yield. Based on these failed chips, we can collect faulty behavior, identify and correct the failure design. However, with the nonstop increasing design complexity and uncertainty of process variation, the failure analysis become more and more difficult and need much time than before.

For debugging a given faulty design, the most important thing is to find the first error cycle. Once we have the range of first faulty cycle, we can flatten the circuit into several combinational circuits and use existing techniques to diagnosis the combinational circuit of the faulty design.

In this project, we propose the problem of trace-buffer selection for silicon debug and give a heuristic methodology to choose the observation flip flops for trace buffer. We model this problem into minimum feedback vertex set (MFVS) problem which is a well-known NP-complete problem. With our assumptions, we can observe or infer the status almost 97% flip flops in benchmark s9234 with 32 observation flip flops. Even the worst case of our benchmark, we still could observe or infer more than 50% flip flops. These experimental results are not combined with the output information, which are trivially information we can get. The status of flip flops could be inferred more than the experimental results if we consider with the output information. The runtime is all acceptable and do not disturb with different size of observation flip flops.

3.4 子計畫四：應用計算智慧推理處理後深次微米時代電路設計上的可靠度挑戰 (2/3)

中文摘要

在 90 奈米製程以下，電路因為宇宙射線而產生軟性錯誤的影響越來越大。尤其在製程變異下，更需要用統計的方法去估計電路的軟性錯誤率。然而，因為缺少高品質的統計模型，現今的軟性錯誤率統計分析研究無法達到良好的準確性。在這篇論文裡，我們考慮在 90 奈米製程下，由於宇宙輻射線索引引起的軟性錯誤。並且提出了一個高準確性查表法的統計模型，並利用蒙地卡羅去分析這些統計模型。我們更進一步探索如何使用似隨機的序列，已達到比較好的收斂並且增加速度。實驗結果顯示，我們可以在合理的時間內更準確的估計出軟性錯誤率。

英文摘要

Beyond 90 nm process, circuit designs are vulnerable to the soft errors which are caused by cosmic radiation. Especially under the increasing process variation, a statistical method for accurately estimating soft error rate (SER) is necessary. However, due to the lack of the high quality statistical models, current SER analysis cannot reach a satisfactory accuracy. In our research contribution, radiation-induced soft error rate under the 90 nm technology is considered. Meanwhile, statistical high-precision look-up tables for cell are proposed and integrated with the Monte Carlo method. Deterministic high-discrepancy quasi-random sequences are also used to achieve better convergence. Our experimental results finally show that we can more accurately but faster compute the soft error rate of the entire circuit designs within reasonable time.

3.5 子計畫五：考慮可製造化、可靠度與良率的繞線系統 (2/3)

中文摘要

近來對於以良率為導向的電路設計問題關注度正持續提高。其中被大量討論與研究的議題就是如何去計算與縮小隨機瑕疵產生的臨界區域。調整與排列導線被認為是一種可以有效地改善電路設計上隨機瑕疵問題的方法。本計畫提出一個隨機瑕疵考量的層配置法與非點格式的軌道繞線方法去減少隨機瑕疵的影響

(RAAT, random defect aware layer assignment and gridless track routing) RAAT 利用一種普遍地使用在平面規劃與擺置階段的方法—最少切量式分群法，去擺放導線位置。以切割樹為基礎架構去降低相鄰群間重疊的線長藉此提高導線排序的效率。最後，一個考慮額外隨機瑕疵影響的二次錐規劃方法被用來決定線段的位置與寬度。實驗結果顯示了整合層配置與軌道繞線的重要性。結果也顯示了使用 RAAT 的非點格式軌道繞線之有效性。除了比前人的成果更迅速地完成任一個情況，RAAT 也在蒙地卡羅模擬中比前人的成果降低了約 6%~14% 的錯誤發生比例。

英文摘要

Design for yield (DFY) problems have received increasing attention. Of particular concern in DFY problems is how to formulate and reduce a critical area for random defects. Arranging interconnections is recognized as an effective means of improving the sensitivity towards random defects. Previous works have demonstrated that random defects significantly influence interconnections and the effectiveness of layer assignment and track routing to enhance routing quality and performance. This work proposes a random defect aware layer assignment and gridless track routing (RAAT) to eliminate the effect of random defects. RAAT utilizes min-cut partitioning, a conventionally adopted method for placement and floorplanning, to place interconnections. Slicing tree-based structure improves the efficiency of wire ordering in lowering overlapped length between adjacent partitions. Finally, a second-order cone programming refined by considering an extra random-defect effect determines the position and width of each route. Experimental results demonstrate the necessity of the integration of layer assignment and track routing. Results further demonstrate the effectiveness of the gridless track routing methods proposed by RAAT. In addition to finishing each case more rapidly with higher completion rate than previous works do, RAAT reduces about 6%~14% of the number of failures in the Monte Carlo simulation as compared to previous works.

本計畫執行成果之論文發表 (Published)

期刊論文

001. Ya-Shih Huang, Yu-Ju Hong, and Juinn-Dar Huang, "Communication Synthesis for Interconnect Minimization in Multicycle Communication Architecture," IEICE Trans. on Fundamentals. vol. E92-A, no. 12, pp. 3143-3150, Dec. 2009.
002. Chia-I Chen, and Juinn-Dar Huang, "A Hierarchical Criticality-Aware Architectural Synthesis Framework for Multicycle Communication," IEICE Trans. on Fundamentals. vol. E93-A, no. 7, Jul. 2010. (to appear)
003. Ying-Zhih Chuang, De-Shiun Fu and Yih-Lang Li, "Enhanced Edge-Based Device Migration under Topology Constraints," International Journal of Electrical Engineering (IJEE), Vol. 16, No. 6, pp. 493-502, Dec. 2009.

研討會論文

001. Juinn-Dar Huang, Chia-I Chen, Wan-Ling Hsu, Yen-Ting Lin, and Jing-Yang Jou, "Performance-Driven Architectural Synthesis for Distributed Register-File Microarchitecture Considering Inter-Island Delay," IEEE International Symposium on VLSI Design, Automation, and Test, Apr. 2010
002. I. H.-R. Jiang, "Generic Integer Linear Programming Formulation for 3D IC Partitioning," IEEE International SOC Conference (SOCC-2009), pp. 321-324, Sep. 2009.
003. W.-Y. Lee and I. H.-R. Jiang, "Variability Tolerance on Throughput and Power for 3D Chip-multiprocessors," International Workshop on Logic & Synthesis (IWLS), Jul. 2009.
004. Yu-Hsin Kuo, Huan-Kai Peng and Charles H.-P. Wen, "Accurate Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework With Quality Cell Models," IEEE International Symposium on Quality Electronic Design (ISQED), pp. 831-838, March 2010.
005. Yu-Hsin Kuo, Huan-Kai Peng and Charles H.-P. Wen, "Removed for The Blind Review Process," IEEE International Symposium on Circuits and Systems (ISCAS), May 2010.
006. Chih-Ta Lin, Yen-Hung Lin, Guan-Chan Su, Yih-Lang Li, "Dead Via Minimization by Simultaneous Routing and Redundant Via Insertion," Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 657-662, Jan. 2010.
007. Wen-Hao Liu, Yih-Lang Li, Hui-chi Chen, "Minimizing Clock Latency Range in Robust Clock Tree Synthesis," Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 389-394, Jan. 2010.
008. Ke-Ren Dai, Chien-Hung Lu, and Yih-Lang Li, "GRPlacer: Improving Routability and Wire-Length of Global Routing with Circuit Replacement," International Conference on Computer-Aided Design (ICCAD), pp. 351-356, 2009.

009. De-Shiun Fu, Ying-Zhih Chaung, Yen-Hung Lin, and Yih-Lang Li, "Topology-Driven Cell Layout Migration with Collinear Constraints," International Conference on Computer Design (ICCD), pp. 439-444, 2009.