

行政院國家科學委員會專題研究計畫 成果報告

Gbps 無線網路之異質晶片整合系統設計--子計畫二：毫米波 CMOS 射頻頻率合成器設計(3/3) 研究成果報告(完整版)

計畫類別：整合型
計畫編號：NSC 97-2220-E-009-009-
執行期間：97年08月01日至98年10月31日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：陳巍仁

計畫參與人員：碩士班研究生-兼任助理人員：吳國維
碩士班研究生-兼任助理人員：黃昕華
碩士班研究生-兼任助理人員：劉晟佑
碩士班研究生-兼任助理人員：陳育祥
碩士班研究生-兼任助理人員：蘇凱悌
碩士班研究生-兼任助理人員：吳宗恩
碩士班研究生-兼任助理人員：許世昕
碩士班研究生-兼任助理人員：黃文杰
碩士班研究生-兼任助理人員：黃健軒
碩士班研究生-兼任助理人員：楊逸弘
碩士班研究生-兼任助理人員：簡仲廷
碩士班研究生-兼任助理人員：陳建宏
碩士班研究生-兼任助理人員：王豔婷
碩士班研究生-兼任助理人員：歐陽有儀

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 99 年 01 月 12 日

Gbps 無線網路之異質晶片整合系統設計--子計畫二

毫米波 CMOS 射頻頻率合成器設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 96-2220-E-009-021

執行期間： 97 年 08 月 01 日至 98 年 07 月 31 日

計畫主持人：陳巍仁 教授

計畫參與人員：吳國維，黃昕華，劉晟佑，陳育祥，蘇凱悌，吳宗恩，許世昕，
黃文杰，黃健軒，楊逸弘，簡仲廷，陳建宏，王豔婷，歐陽有儀

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及
下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電子研究所

子計畫二：毫米波 CMOS 射頻頻率合成器設計(3/3)

Microwave Frequency Synthesis Circuit Techniques for Wide-band Networking (3/3)

計劃編號: NSC 96-2220-E-009-021 執行期間: 97 年 8 月~ 98 年 7 月
計劃主持人: 交通大學電子工程學系 陳巍仁 教授 e-mail: wzchen@alab.ee.nctu.edu.tw

摘要

本年度之計劃目標為開發毫米波頻率合成器架構與其關鍵性組件。開發成果包含

1. 一個 10GHz 快速鎖定之全數位式頻率合成器

本研發成果提出了一個具有動態迴路濾波器設計之全數位式鎖相迴路。其鎖定時間小於 $7 \mu\text{sec}$ ，於 9.92 GHz 輸出，時基抖動量測結果為 0.9 ps。本成果並提出了一個具備取樣相位自動調整功能的累加器電路，具有高速、低功耗等特性。本晶片以 UMC 90nm 製程製作，使用 1 V 的電壓，核心消耗功率為 7.1 mW。晶片的面積大小為 0.902 mm^2 。

2. 一操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器

本技術提出一個操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器。此接收機不需要如晶體振盪器之參考信號，而直接由所接收之射頻信號同時解調出本地震盪信號與基頻資料。晶片整合低雜訊放大器，混波器，本地載波信號回復電路，後級放大器與數位解調器於單一晶片，總共消耗 20.4mW。於 2.432GHz 載波頻率所量測到之相位雜訊為 -112dBc/Hz 與 1MHz 偏移，使用 180nm 製程，晶片面積為 $1.75 \times 1.55 \text{ mm}^2$ 。

3. 一 60-GHz, 14% 之多頻帶電壓控制震盪器結合單一個可變電感

本技術提出一個操作於 60 GHz，具 14% 頻率

調節範圍之多頻帶電壓控制振盪器，並結合本計畫所開發之可變電感。此可變電感由一變壓器與可變電阻組成，藉由調整可變電阻值而改變其等校電感值。此藉由可變電感之頻率調節技術，可以在不犧牲操作頻率的情形下，能多頻帶且寬頻操作。使用 90nm CMOS 製程，此電壓振盪器能振盪於 52.2 至 61.3 GHz。於中心頻率 61.3 GHz 且 10 MHz 偏移的量測情況下，輸出功率及相位雜訊分別為 -6.6 dBm 和 -118.75 dBc/Hz。晶片消耗 8.7mW 使用 0.7V 供應電壓。面積為 $0.28 \times 0.36 \text{ mm}^2$ 。

Abstract

In the third year, the research works of this project are focused on the explorations of the millimeter wave frequency synthesizer and its key components. The research results include:

1. A 10GHz, Fast-Locking All-Digital Frequency Synthesizer

A 10 GHz all digital frequency synthesizer with dynamic loop filter is presented. With less than $6.9 \mu\text{sec}$ locking time, the measured rms jitter from a 9.92 GHz carrier is 0.9 ps. A skew-compensated phase accumulator is proposed for high speed and low power operation. The core circuits dissipate 7.1 mW from a 1 V supply. Fabricated in 90 nm CMOS technology, the chip size is 0.902 mm^2

2. A 2.4 GHz Crystal-less Single-Chip Wireless Receiver for 1Mbps QPSK Demodulation

A 2.4 GHz reference-less single chip wireless receiver for 1Mbps QPSK demodulation is presented. The receiver accomplishes LO carrier recovery and data demodulation directly from the received RF signal without resort to resonator based reference, such as crystal oscillator. Integrating LNA, mixer, LO carrier recovery loop, post amplifier, and digital demodulator on a

single chip, the total power consumption is 20.4mW. The measured phase noise from a recovered carrier at 2.432 GHz is about -112dBc/Hz at 1 MHz offset. The chip size is $1.75 \times 1.55 \text{ mm}^2$

3. A 60-GHz Wide-Tuning-Range Multi-Band VCO with a Single Variable Inductor

A 60-GHz, 14% tuning range VCO incorporating a proposed variable inductor (VID) is presented. The variable inductor, consisting of a transformer and a variable resistor, is tunable by adjusting the resistor. By employing the proposed frequency tuning scheme, wide-tuning range as well as multi-band operations are achieved without sacrificing its operating frequency. Fabricated in a 90-nm CMOS process, the VCO is capable of covering frequency range from 52.2 to 61.3 GHz. The measured phase noise from a 61.3-GHz carrier is about -118.75 dBc/Hz at 10-MHz offset, and the output power is -6.6 dBm. The VCO core dissipates 8.7 mW from a 0.7-V supply. Chip size is $0.28 \times 0.36 \text{ mm}^2$.

前言

一、一個 10GHz 快速鎖定之全數位式頻率合成器

隨著全世界通訊產業的快速發展，對於射頻收發機晶片的整合度、低成本、低功率消耗等的需求的逐漸增加。而對於類比電路而言，深次微米的製程下低工作電壓的環境，限制了類比電路工作範圍，進而使類比電路的設計更加複雜；此外，類比電路也無法如同數位電路隨著製程演進而快速的縮小尺寸。因此近年來出現許多研究，希望能尋求電路中類比電路以數位方式實現的替代方案。

頻率合成器(Frequency Synthesizer)對於通訊晶，扮演著非常重要的角色，影響整個通訊晶片的性能甚大。傳統的頻率合成器通常使用充電泵式鎖相迴路(Charge Pump Based PLL)來實現，然而近年來，許多研究紛紛提出了全數位式的鎖向迴路(All-Digital PLL)的架構 [1]-[5]。迴路中數位化控制信號取代了傳統鎖相迴路中類比的電壓信號，因此具有高度可程式化、面積小、抗雜訊、易於整合、不易受製程環境、溫度與電壓漂移等因素干擾等優勢。基於以上種種的優點，本論文期望能實現一個全數位式的頻率合成器，並且達成低相位雜訊、快速鎖定等目標。

二、一操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器

由於近年來，無限通訊產品的應用越來越普及，並大量用於消費性電子，生物醫學等方面，並有許多新的系統因應此潮流而產生。對於射頻收發機晶片的整合度、低成本、低功率消耗等的需求逐漸的增加。在生物醫學方面所使用的無線近身網路(Wireless Body Area Network)[8][9]，應用於無線感測器(Wireless Sensor Node, WSN)，強調裝置的微化，功率消耗低使用時間長，低成本的考量等，在典型之射頻無線傳輸系統，如圖 1 所示，由於傳輸與接收端各有一顆石英晶體振盪器，提供系統電路產生時脈信號，由於兩端的石英晶體振盪器所提供的頻率不會完全相同，因此將造成系統的載波頻率誤差，此外石英振盪器本身之功耗及體積較大，不適用於單晶片系統整合，及應用在低功率之無線感測系統。

我們提出了一個工作於 2.4GHz 的無線接收器，使用 QPSK 資料調變系統，資料傳輸數度為 1Mbps，並針對傳統架構的缺點加以改良，本作品著重於接收機電路可自發射端傳送信號直接還原頻率信號，無須仰賴石英晶體振盪器等參考信號源，免除石英晶體振盪器之額外功率消耗，同時減少收發機之頻率誤差問題。在頻率還原過程將同時進行資料解調變，無須仰賴類比數位轉換器及傳統之解調變器結構，降低系統複雜度並減少成本，實現高度整合於單一晶片中之設計。

三、一 60-GHz, 14%之多頻帶電壓控制震盪器結合單一個可變電感

在 RF 前端接收機當中，使用 LC tank 的壓控震盪器(VCO)被廣泛的使用於頻率合成器以產生本地震盪訊號。傳統上，VCO 的頻率多使用累積型電晶體可變電容(A-MOS varactor)調整之[1]-[5]。VCO 的頻率可由下式計算：

$$f_{vco} = \frac{1}{2\pi\sqrt{L(C_{var} + C_p)}}$$

其中 L , C_{var} , and C_p 分別代表 LC tank 中的電感值，可變電容值與其他電容值。其它電容值包含了所有的寄生效應電容與 VCO 後級電路電容。由此式可知，當震盪頻率升高時， C_{var} 將被限制而導致

相當有限的頻率調整範圍。此問題將更為嚴重當可用電壓下降時。另一方面，對於同樣調整頻率百分比，VCO操作於高頻時，將擁有較大的VCO增益(K_{VCO})，這將不利於相位雜訊。若想達到與低頻時同樣的 K_{VCO} ，多頻帶操作將是必要的。但若用傳統的電容陣列， C_p 將急劇增加使得VCO的震盪頻率下降。

研究方法與目的

一、一個 10GHz 快速鎖定之全數位式頻率合成器

1. 系統架構

本晶片的電路結構如圖 1 所示，其主要的架構為一個數位式整數型鎖相迴路，包含數位控制振盪器(DCO)、除四預除器、兩組相位累加電路(PAC1、PAC2)、雙模相位偵測器(DPD)與一數位迴路濾波器。其中迴路濾波器中，具有可調增益的直通路徑與積分路徑，並受一鎖訂過程監視電路(LPM)所控制。其工作原理如下：PAC1 在每次參考信號(f_{REF})上升緣時累加四分之一的倍頻數($N/4$)，PAC2 則累加除四預除器的輸出，將兩數值相減則可得到相位誤差(Φ_E)。而雙模相位偵測器 DPD 中透過 LPM 所控制，分為現性模式與二進位模式，其輸出則送入迴路濾波器中。最後迴路濾波器之輸出送入數位控制振盪器，產生 10GHz 的高頻，透過一組除四的預除電路，將頻率降低以節省功率消耗，此除頻後信號連接至 PAC2，完成回授。

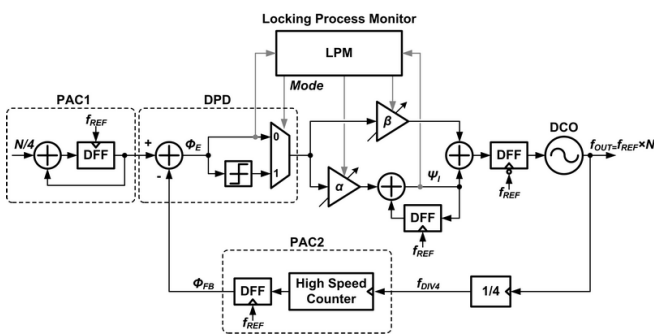


圖 1 系統架構圖

2. 迴路所定流程

當電路開始鎖定時，首先會進入頻率追蹤(Frequency Acquisition, FA)模式。在此模式下，迴路濾波器積分路徑關閉(即 $\alpha=0$)。當相位誤差資訊 Φ_E 的變化量降至一個 LSB，則迴路進入相位追蹤(Phase Tracking, PT)模式。此模式下，迴路濾波器積分路徑將會啟動。在此同時，PAC1 與 PAC2 會

重置，且此時的 DCO 控制碼會回存至迴路濾波器中的積分路徑暫存器。隨後，LPM 送出控制信號 Mode 至 DPD，使相位偵測模式由線性模式轉變為二進位模式。

在此二進位模式下，較大的直通路徑增益 β 會增加迴路頻寬並加速迴路鎖定，但卻會增加穩態後的時基抖動量；相反的，若是使用較小的 β ，雖然可以降低參考信號造成的突波(Reference Spur)以及時基抖動量，卻需附上較長的鎖定時間的代價。為了解決上述的取捨問題，本晶片提出一種動態調整的迴路濾波器的方式，詳述如下：

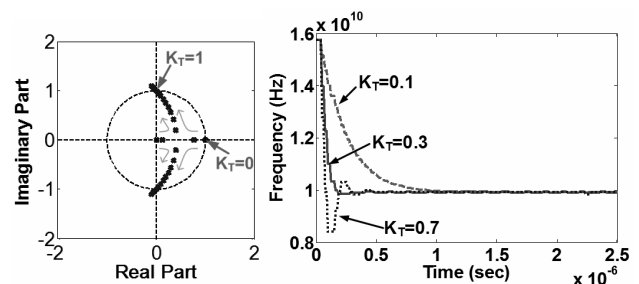
將此二進位鎖相迴路的行為對比至合差調變器($\Sigma\Delta$ Modulator)，則迴路濾波器中的積分路徑數值(Ψ_I)，其平均值可以對應迴路穩定後的頻率。故當迴路趨於穩定時， Ψ_I 上的漣波(Ripple)大小會逐漸縮小，我們可以藉由這項特性來判斷迴路是否已經鎖定。當迴路剛切入相位追蹤模式時，以較大的 β 開始鎖定，當迴路達到上述的鎖定條件時，則將 α 與 β 調小，直到下一次又再度達成鎖定，則再度將 α 與 β 調小。此程序會一直進行到 α 與 β 為一預設的最佳化數值為止。由上述的機制，可以使鎖定時間大幅縮短，並且於穩態時，時基抖動最小。

3. 系統設計

對於一個具有回授的電路而言，系統穩定性是其最基本必須滿足的條件，因此我們首先考量電路在 FA 模式下的穩定性。在 FA 模式下，系統的轉移函式可以推倒如下式：

$$\frac{f_{OUT}(z)}{N(z)} = \frac{2f_{REF}K_T z^2}{1 + (K_T - 1)z^{-1} + K_T z^{-2}} \quad \text{where } K_T = \frac{K_{DCO}\beta_{FA}}{8f_{REF}}$$

其中 K_{DCO} 代表 DCO 的增益大小， β_{FA} 則代表 FA 模式下直通路徑之增益。根據此式，可以畫出其根軌跡圖，如圖 2(a)所示。從圖中可以得知，當 K_T 小於一時，根的位置皆位於單位圓內(Unit Circle)，代表迴路穩定。圖 2(b)則為不同 K_T 的暫態響應模擬結果，當 K_T 值越大，鎖訂速度越快，但振鈴(Ringing)的現象越明顯，且穩定後頻率誤差較大。在此晶片中， K_T 所選的大小為 0.016。



(a) (b)

圖 2 (a)FA 模式根軌跡圖(b)FA 模式下暫態響應模擬結果

對於 PT 模式下，由於迴路中存在著一非線性元件，因此在此採用時域上的分析來探討穩定性，根據[6]推導，迴路穩定的條件可表示如下：

$$\frac{\beta}{\alpha} > \frac{2D+1}{2}$$

其中 D 代表迴路中，從 DPD 至 DCO 中的延遲時間，在此晶片中，數位濾波器的輸出由一負緣觸發的正反器重新取樣，故 $D=1/2$ ，因此只要滿足 $\beta > \alpha$ ，迴路即可穩定。

對於系統的輸出相位雜訊，其主要的來源為參考信號之雜訊、二進位相位偵測器造成的雜訊以及 DCO 本身之相位雜訊。為了使輸出雜訊減少，根據[6]之推導，當 α 越小時，輸出的時基抖動越小，因此本晶片在穩態時， $\alpha=1$ 。而 β 的大小則決定了迴路頻寬的大小，根據 Matlab 模擬結果，並考量信號產生器的雜訊特性，電路輸出雜訊主要由 DCO 的相位雜訊所主導。由於迴路對於 DCO 相位雜訊而言，為高通的特性，因此當迴路頻寬越大時，低頻部份 DCO 產生的相位雜訊被抑制的頻率範圍也越大，可使輸出的整體相位雜訊量變少。然而當 β 太大時，其非線性效應將導致輸出產生 Limiting Cycle 振盪的現象，在輸出頻譜上型成突波(Spurious Tone)。在本設計中，迴路頻寬在鎖定後為 200kHz。

4. 電路架構與模擬結果

DCO 的電路架構如圖 3(a)所示，由 8bit 的二進位加權(Binary-weighted)的粗調電容陣列(Coarse Tune Bank，如圖 3(b)所示)與 10bit 的單位加權(Unity-weighted，如圖 3(c)所示)細調電容陣列(Fine Tune Bank)所組成，為了提高頻率解析度，加入了 8bit 的 Mash-II 合差調變器，利用高速平均的效應，使解析度達到 400Hz/LSB 的解析度。晶片上並內建了一個線性穩壓器，以提供振盪器穩定的偏壓電流。

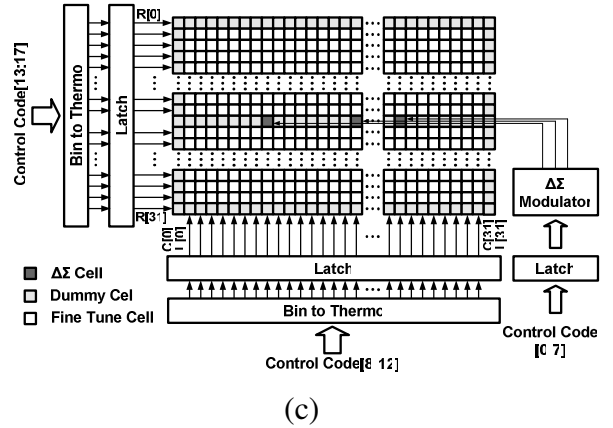
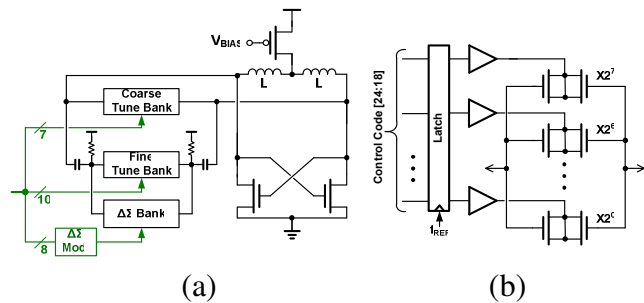


圖 3 (a)DCO 電路架構 (b)Coarse Tune Bank (c)Fine Tune Bank with $\Delta\Sigma$ Modulator

經由模擬，DCO 的輸出頻率範圍約為 9.78 GHz~10.33 GHz，消耗 3.64 mA 的電流，在 1 MHz 頻率偏移下的相位雜訊為 -103 dBc/Hz。

晶片中的除四預除器的架構為兩級除二除頻器串接而成，除二除頻器電路的電路結構如圖 4(a)所示[7]。圖 4(b)為除四預除器模擬結果，工作於 10 GHz 輸入頻率時，消耗功率約為 1.3 mW。

PAC2 的電路結構如圖 5 所示，其主要架構為一非同步計數器。隨著輸入頻率增加，或者計數器級數增加，因為非同步計數器中的正反器時脈端至資料輸出端的累積延遲，有可能會超過一個輸入信號週期，造成取的數值錯誤。但若是採用同步計數器，以避免延遲的問題，則會造成較高的功率消耗。為了解決上述問題，在此電路中加入了一個取樣相位延遲的機制，當取樣相位 f_{REF} 來臨時，首先會被兩個串接的正反器取樣產生 $s1$ ，以避免不穩態的情形發生，接著根據每個除二電路的延遲關係，由控鎖器 $D_{L1} \sim D_{L3}$ 產生一組對應的延遲取樣相 ($s2 \sim s4$)，藉由這些相位來擷取每個除二電路所產生的數值，而得到正確的輸出結果。其中第 4 到第 8 級的計數器輸出皆由 $s4$ 取樣，乃是因為 $s4$ 產生的延遲足以滿足第 4 到第 8 級取樣時的 Setup Time。

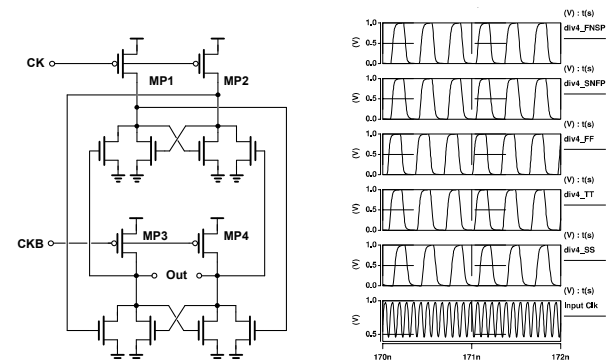


圖 4 (a)除二除頻器電路圖(b)除四預除器模擬結果

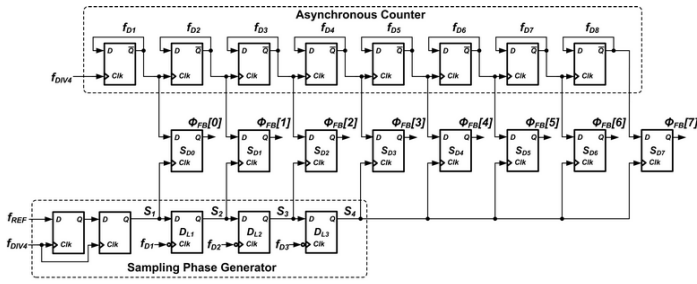


圖 5 PAC2 電路結構圖

5. 佈局與測試考量

電路的佈局如圖 6 所示，其中左半邊數位電路採用標準函式庫流程(Cell-Based)製作，右半邊類比電路則採用全客戶(Fully-Custom)實現。量測時為了避免包裝造成的信號損失，因此採用裸晶透過打線方式連接至印刷電路板來量測。量測時的環境設置如圖 7 所示，由信號產生器產生 40 MHz 之參考信號，頻譜分析儀與示波器來觀察頻域與時域之特性。此外，調變域分析儀則用以量測所定時間，同時晶片可透過電腦來調整系統中的參數。

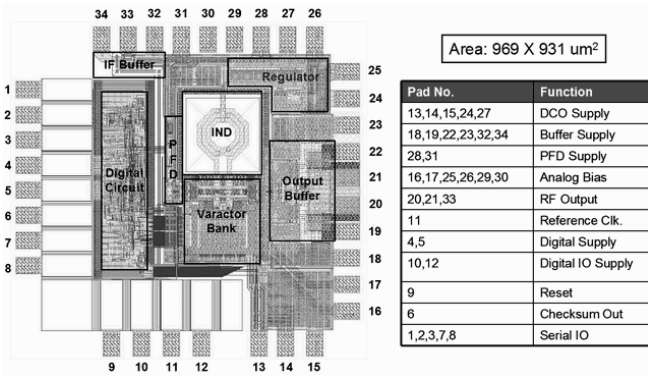


圖 6 晶片佈局與腳位配置

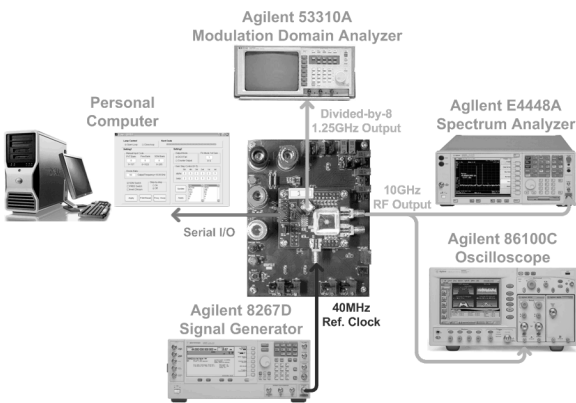


圖 7 量測環境配置圖

二、一操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器

整個詳細之無石英晶體振盪器之無線接收器

與資料解調電路如圖 8 所示。其架構由一低雜訊放大器(LNA)，混波器(Mixer)，後級放大器(Post Amplifier)，低通濾波器(Low Pass Filter)，頻率還原器(LO Regenerator, LOR)，與資料解調器(Data Demodulator)整合於單一晶片中，其可應用在相位調變(BPSK, QPSK 等)之無線接收機。其中虛線部分為頻率還原器。頻率還原過程將經歷兩個步驟，(a) 頻率追蹤步驟 (b) 相位頻率追蹤及資料解調。茲說明如下：

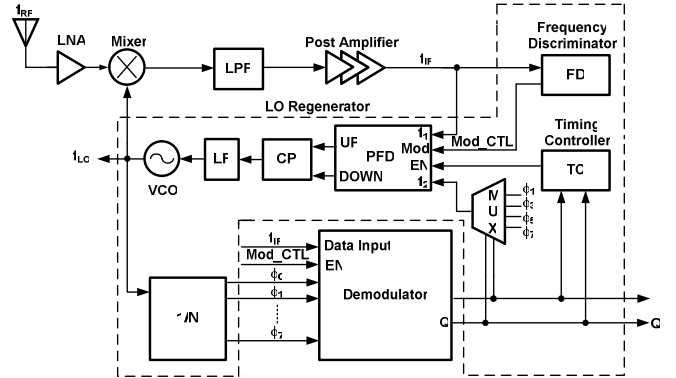


圖 8 電路系統架構圖

(a) 頻率追蹤步驟

在系統初始狀態，令壓控振盪器之頻率為 f_{LO} ，且 f_{LO} 預設為高於接收端之射頻信號(f_{RF})。此時發射端將傳送固定頻率導引信號 f_{RF} (preamble) 進行通道連結。則接收端經降頻後之中頻信號為 f_{IF} ，且

$$f_{IF} = f_{LO} - f_{RF}$$

此時，電壓控制振盪器經由除頻器 (1/N) 產生多組相位輸出之除頻後信號 ($\Phi_0 \dots \Phi_7$)，其頻率皆為 f_{LO}/N ，若將 f_{IF} 與固定相位之除頻器輸出信號(如 Φ_0)進行相位頻率比較，且若

$$(f_{LO} - f_{RF}) > \frac{f_{LO}}{N}$$

則降低振盪器之輸出頻率。反之，若

$$(f_{LO} - f_{RF}) < \frac{f_{LO}}{N}$$

則提高振盪器之輸出頻率。如此一來壓控振盪器與相頻偵測器將構成負回授之鎖相迴路，當系統達到穩定狀態，則

$$f_{LO} = f_{RF} \frac{N}{N-1}$$

因此僅需藉由設定除頻器係數，同時經由天線接收之射頻導引信號 (preamble)，即可達到初步之頻率追蹤。當頻率還原器透過射頻導引信號完成初步頻率鎖定，頻率檢知器 (Frequency Discriminator) 會送出一控制訊號 (Mod_CTL)，將頻率還原器切換至相位頻率追蹤及資料解調模式。

(b) 相位頻率追蹤及資料解調

此時發射端資料為相位調變信號。以 QPSK 調變器為例，亦即射頻信號 (fRF) 及降頻後之中頻信號 (fIF) 將在 (45°, 135°, 225°, 315°) 之間進行相位切換。此時若除頻器產生 8 個相位均勻分布之信號 ($\Phi_0 \dots \Phi_7$)，其中 ($\Phi_0, \Phi_2, \Phi_4, \Phi_6$) 將均分一個週期同時產生四個相位區 (I, II, III, IV)，各自為 90° 區間。此時令 ($\Phi_1 = 45^\circ, \Phi_3 = 135^\circ, \Phi_5 = 225^\circ, \Phi_7 = 315^\circ$) 為鎖定時之目標相位。為達相位及頻率追蹤，其中中頻信號 (fIF) 將藉由相位選擇電路 (如下圖之取樣電路 (D F-F)，編碼器 (Encoder)，及信心計數器 (Confident counter)) 判斷調變信號之相位區 (I, II, III, IV)，並據此將目標相位 ($\Phi_1 = 45^\circ, \Phi_3 = 135^\circ, \Phi_5 = 225^\circ, \Phi_7 = 315^\circ$) 透過多工器 (MUX) 導入至相位頻率偵測器，以持續進行相位及頻率追蹤。而此時相頻偵測器將進入調節模式 (Gating mode)，其在偵測到輸入參考相位切換過程 (如下圖中之 C_{dm} 及 C_{su}) 將不進行相位比較，以避免迴路之誤動作，此一部份將藉由計時控制器 (TC) 進行系統控制，在此同時，由於相位選擇電路已分辨出中頻信號 (fIF) 之相位區域，其座落區間即為相位解調變之結果。

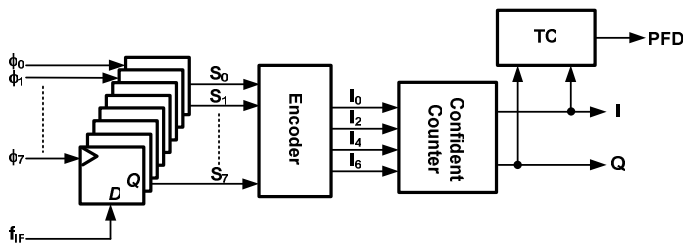


圖 9 相位選擇器

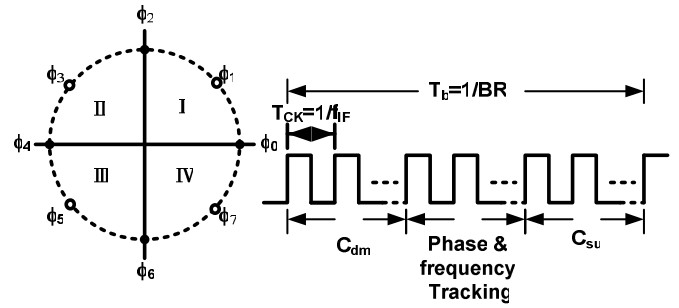


圖 10(a)相域圖 (b)時序圖

我們將以上的概念利用 Matlab 作系統驗證，設定本地振盪的起使頻率為 2.48GHz，經由發射端傳送固定頻率導引信號，對接收端進行資料通道的連結，因訊號是透過天線在空氣中傳送，故接收到的訊號品質必須要將雜訊一起考慮，在模擬時加入了添加白高斯雜訊 (Additive White Gaussian Noise, AWGN)，將訊號對雜訊品質 (SNR) 設定於 5dB，觀察本地振盪還原器的輸出頻率變化與解調出的資料 I/Q 訊號的資料錯誤率。

由圖 11 所示頻率最後穩定於 2.432GHz，頻率檢知器於約 97us 時送出鎖定訊號，將系統切換至頻率追蹤及資料解調模式，於資料解調模式驗證出的資料錯誤率約為 0 (BER ≈ 0)。如圖 12 所示，由電路層級實現本系統之模擬結果，系統約於 55us 時切換為頻率追蹤與資料解調模式，I 與 Q 為資料解調器所解出的資料，與原始資料比對後的資料錯誤率約為 0。

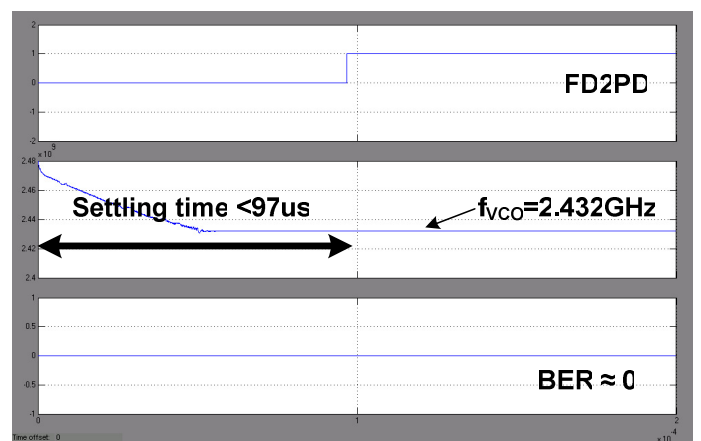


圖 11 Matlab 系統模擬結果

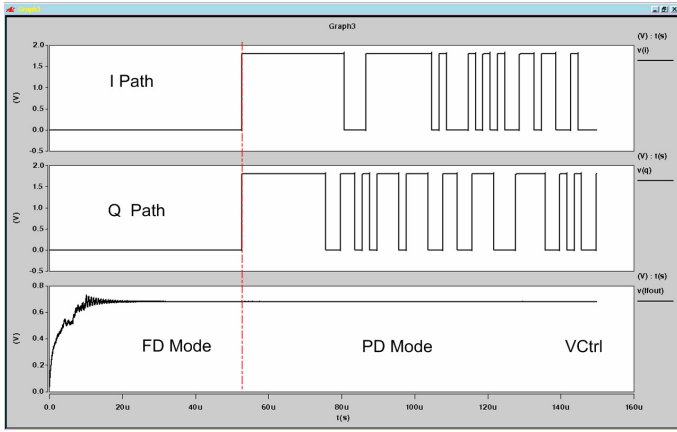


圖 12 接收端本地振盪頻率穩定圖與資料解調

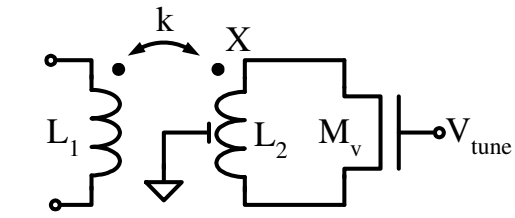


圖 15 可變電感的實現

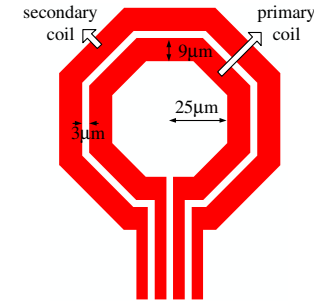


圖 16 所使用之變壓器

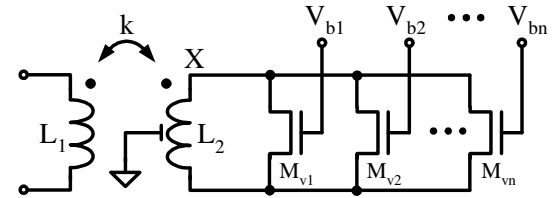


圖 17 多頻段可變電感

$$R_{eq}(R_v, \omega) = \frac{R_v^2 L_1 [1 - \omega^2 C_v L_2 (1 - k^2)]^2 + \omega^2 L_1 L_2^2 (1 - k^2)^2}{R_v k^2 L_2}$$

而若 $\omega C_v L_2 < 1$ ，則 $R_v = 0$ 時， L_{eq} 將最小，而無限大時， L_{eq} 將最大。因此，此電感的調整率 α ，定義為 $[L_{eq}(\infty, \omega) - L_{eq}(0, \omega)] / L_{eq}(\infty, \omega)$ ，將如下所示：

$$\alpha = \frac{k^2}{1 - \omega^2 C_v L_2 (1 - k^2)}$$

所提出的 VID 可如圖 15 般實現，利用一 NMOS M_v 操作於線性區實現可變電阻。次線圈的中心可抽出且接至地。則 M_v 操提供的等效電阻將可經由 V_{tune} 的大小而改變。實際設計時，圖 16 為所使用的單圈 1:1 變壓器。經過電磁模擬，所提出的 VID 的電感值與 Q 值相對於 V_{tune} 的模擬結果如圖四所示。當 V_{tune} 由 0 至 1.2V 時， L_{eq} 將由 102.6 變化至 139.6pH。其相對應之 α 約為 30%。而在整個範圍當中 VID 的 Q 值將在 3.6 與 6.72 間變化，而在曲線的兩端 Q 值最高由於 M_v 幾乎完全被打開或關閉將使其每振盪週期的功率消耗變小。

另外，所提出的 VID 可被修改用於多頻帶操作，如圖 17 所示。 M_v 可被分解為許多較小的

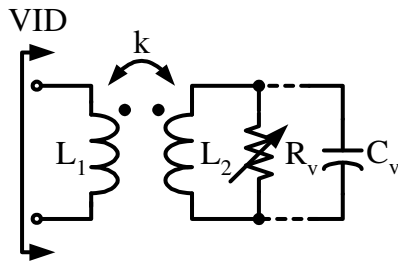


圖 13 所提出之可變電感

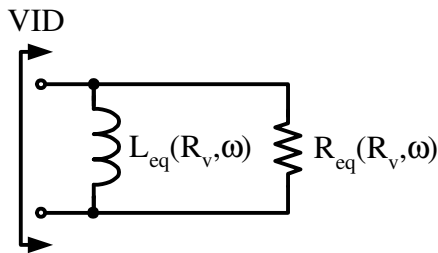


圖 14 所提出可變電感知等效模型

三、-60-GHz, 14% 之多頻帶電壓控制震盪器結合單一個可變電感

為了操作在 60GHz 並且增大頻率調整範圍以及多頻帶操作，本設計中提出一可變電感 (VID) 用以取代傳統的可變電容。所提出的 VID 包含了一變壓器與一可變電阻，如圖 14 所示。其中 L_1 與 L_2 為主線圈與次線圈之自感值， k 為 coupling factor， R_v 為可變電阻值，而 C_v 為次線圈上的寄生電容。VID 的等效電路如圖 14 所示，可表示唯一組並聯的電感 L_{eq} 與電阻 R_{eq} 。其值可計算如下：

$$L_{eq}(R_v, \omega) = \frac{R_v^2 L_1 [1 - \omega^2 C_v L_2 (1 - k^2)]^2 + \omega^2 L_1 L_2^2 (1 - k^2)^2}{R_v^2 [1 - \omega^2 C_v L_2 (1 - k^2)] + \omega^2 L_2^2 (1 - k^2)}$$

與

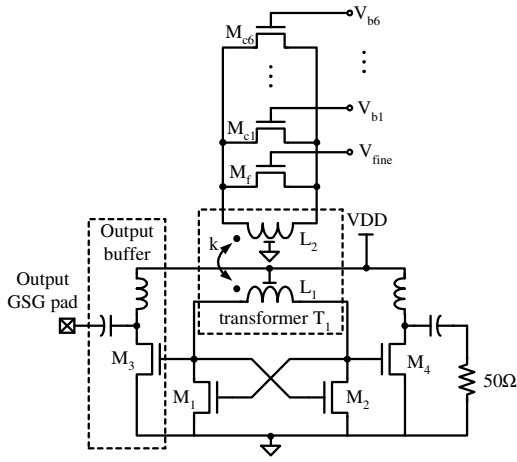


圖 18 多頻段 VCO

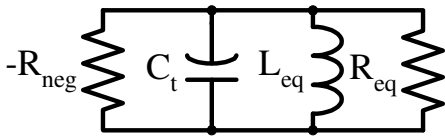


圖 19 VCO 等效電路

NMOS $M_{v1} \dots M_{vn}$ 。這些 NMOS 將可被不同的控制電壓 $V_{b1} \dots V_{bn}$ 分別控制。由於 $M_{v1} \dots M_{vn}$ 的 size 總和將與 M_v 相同。因此在圖 17 點 X 上的寄生電容將幾乎與在圖 15 相同。這意味著此多頻段架構並不需要犧牲 VCO 的震盪頻率。與傳統電容陣列相比，在高頻時此將為極重要之優點。

VCO 使用所提出之多頻段 VID 被設計並且製作使用 90-nm CMOS 製程。VCO 電路圖如圖 18 所示。 $M_{c1} \dots M_{cn}$ 為一組 binary-weighted MOS 陣列，分別由所 $V_{b1} \dots V_{bn}$ 控制以切換不同頻段。而 NMOS M_f 則由 V_{fine} 控制負責微調頻率。利用圖 14，此 VCO 的等效電路如圖 19 所示，其中 $-R_{neg}$ 為 cross-coupled pair 所產生的負阻值。為了確保啟動振盪，本設計中 R_{neg} 將小於 $R_{eq}/2$ 在整個調整範圍當中。 C_t 則為 tank 中的等效電容，包含了所有的寄生電容與下級電容。而此 VCO 的振盪頻率將可由解以下的方程式而得：

$$\omega = \frac{1}{\sqrt{C_t L_{eq}(R_v, \omega)}}$$

$$= \frac{1}{\sqrt{R_v^2 (1 - \omega^2 C_v L_2) [1 - \omega^2 C_v L_2 (1 - k^2)] + \omega^2 L_2^2 (1 - k^2)}}$$

$$= \frac{1}{\sqrt{C_t R_v^2 L_1 [1 - \omega^2 C_v L_2 (1 - k^2)]^2 + \omega^2 C_t L_1 L_2^2 (1 - k^2)^2}}$$

所幸，此 VCO 的調整範圍下限無需解上式即可求之。 L_{eq} 最小值為

$$L_{eq}(0, \omega) = L_1 (1 - k^2)$$

而最大值為

$$L_{eq}(\infty, \omega) = L_1 \left(1 + \frac{\omega^2 / \omega_2^2}{1 - \omega^2 / \omega_2^2} k^2 \right) > L_1$$

因此最小與最大振盪頻率分別為

$$\omega_{max} = \frac{1}{\sqrt{C_t L_{eq}(0, \omega_{max})}} = \frac{1}{\sqrt{C_t L_1 (1 - k^2)}}$$

與

$$\omega_{min} = \frac{1}{\sqrt{C_t L_{eq}(\infty, \omega_{min})}} < \frac{1}{\sqrt{C_t L_1}}$$

由上兩式，VCO 的頻率調整範圍 β 將可寫為

$$\beta \equiv \frac{2(\omega_{max} - \omega_{min})}{\omega_{max} + \omega_{min}} > \frac{2(1 - \sqrt{1 - k^2})}{1 + \sqrt{1 - k^2}} \approx \frac{k^2}{2}$$

此下限將與頻率無關僅與變壓器的 coupling factor 有關，並且 VCO 的頻率調整範圍將可快速的被估計在電路設計之前。

量測結果

一、一個 10GHz 快速鎖定之全數位式頻率合成器

圖 20 為電路輸出 9.92GHz 時之相位雜訊量測結果，在 1 MHz 與 10 MHz 偏移下，相位雜訊大小分別為 -100 dBc/Hz 與 -120 dBc/Hz。圖 21 則為 9.92 GHz 輸出之頻譜，其中標記 1 和標記 2 為二進位鎖相迴路穩態時 Limiting Cycle 所造成的突波，而在 40MHz 偏移的標記 3 處，測得參考信號突波大小為 -72dBc。圖 22 為輸出時域之波型圖，在 9.92GHz 輸出時，時基抖動均方根(rms)大小為 0.9 ps，此數值也包含示波器本身激發(Trigger)的時基抖動量。由於儀器頻寬限制(Agilent 53310A 調變域分析儀)，量測跳頻時間時是採用除八後的輸出。量測結果如圖 23 所示，當頻率由 9.92GHz 跳至 10.08GHz 時(除八後為 1.24GHz 至 1.26GHz)，於 20ppm 之精確度內所需要的時間約為 7μsec。系統功率消耗分布如圖 24 所示，扣除介面的緩衝放大器的功耗，核心部份功率消耗為 7.1 mW。

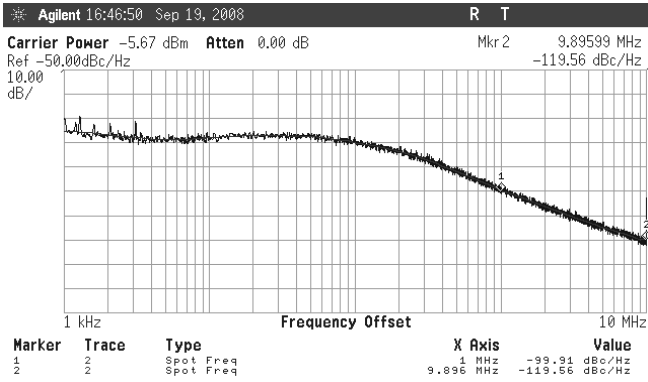


圖 20 9.92 GHz 輸出相位雜訊量測結果

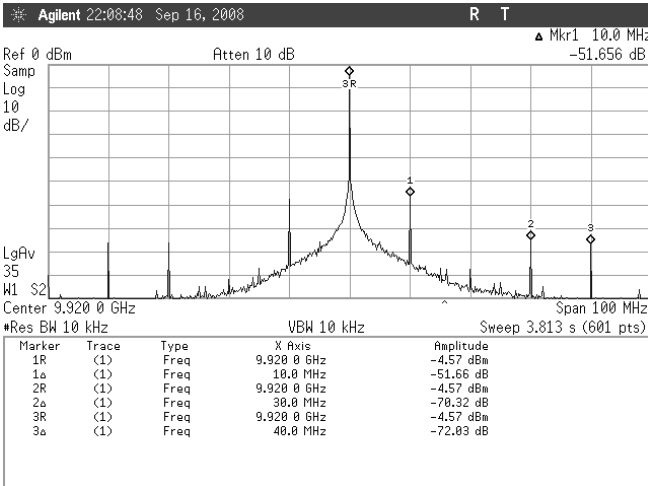


圖 21 9.92 GHz 輸出頻譜

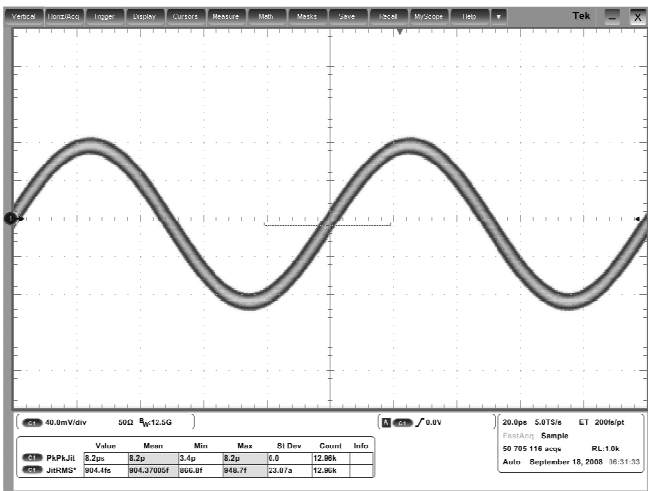


圖 22 9.92GHz 輸出波形與時基抖動量測

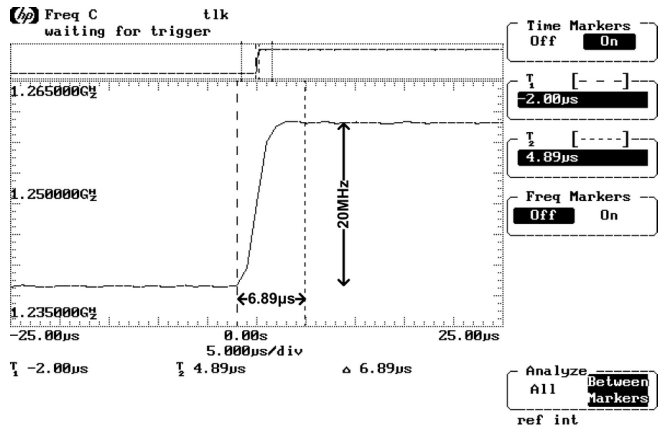


圖 23 輸出頻率由 9.92 GHz 跳頻至 10.08 GHz 之量測結果(圖中量測的為除八輸出，即由 1.24GHz 跳頻至 1.26GHz)

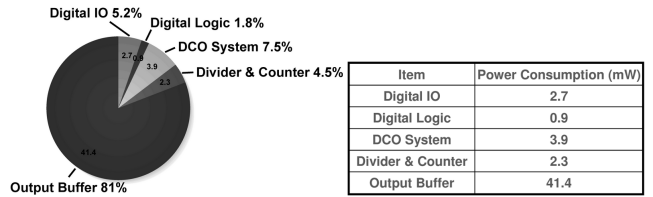


圖 24 功率消耗分佈

二、一操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器

此晶片採用 0.18- μm CMOS 製程實現。圖 25 為晶片照相圖。晶片面積約 $1.8 \times 1.6 \text{ mm}^2$ 。此電路的主要功能，是以數位調變實現頻率回復與資料解調，其架構基於單一的頻率回復器，藉由追蹤發射端的射頻頻率，在接收端將射頻頻率還原與完成資料解調，而不需外接石英晶體振盪器，做為參考訊號源，適用於 QPSK, BPSK 等調變系統。

在電路佈局方面，因低雜訊放大器(LNA)，混波器(Mixer)與壓控振盪器(VCO)都為類比電路，所使用的偏壓電源與輸入輸出腳位較多，且極易受干擾，另外考量到輸入輸出的差動訊號線必須要對稱的問題，因此將 LNA 與 Mixer 放置在本晶片左上方，則 VCO 需搭配低通濾波器(LF)，則將其放置於本晶片的下方，其餘的電路多半為數位電路或是工作於較低頻的類比電路，考量到走線的流暢度，故將其放置於正中央，因每個子電路所擺設的位子都非常的緊密，避免雜訊的相互干擾，在每個子電路上都利用雙層的保護環(Guard ring)包覆。

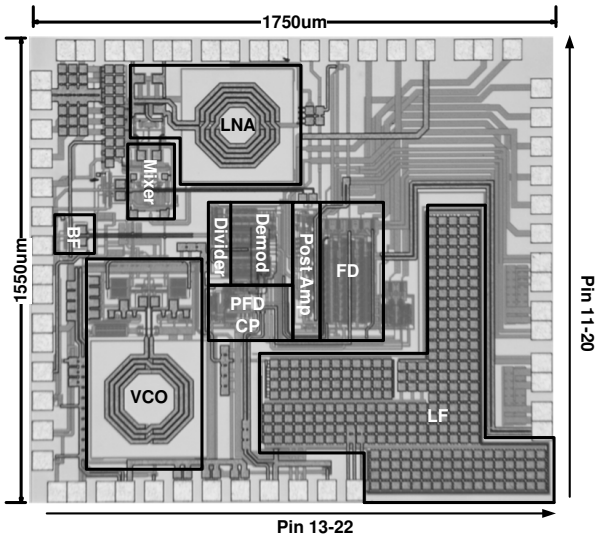


圖 25 晶片照相圖與其腳位順序

本晶片所需的輸入訊號(RF)為 2.416GHz 的 QPSK 調變訊號，而欲觀察頻率還原器在頻率鎖定時輸出 2.432GHz 的頻譜與資料解調器解調出的 IQ 訊號所構成的星座圖(Constellation)。

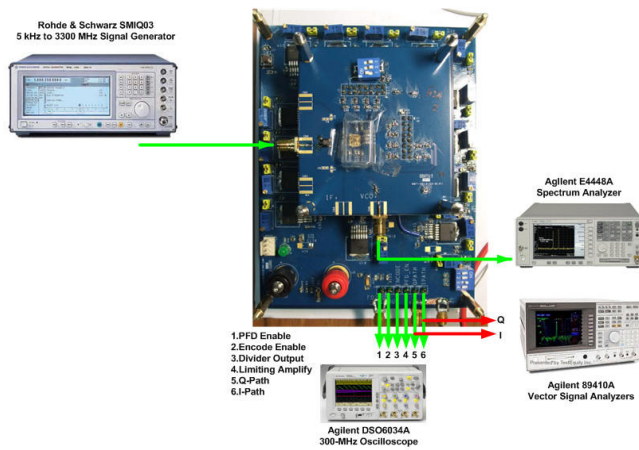
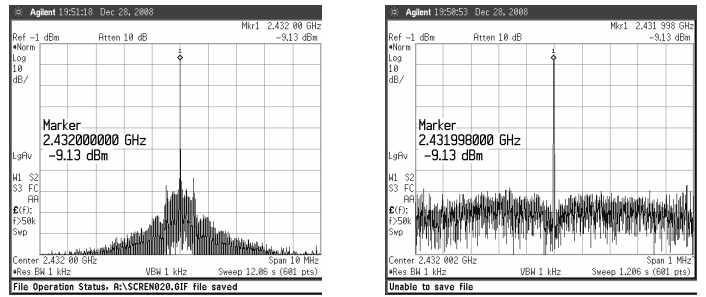


圖 26 儀器設置圖

儀器設置如圖 26 所示，晶片量測以裸晶片安置在 FR-4 材質之印刷電路板上進行量測，高頻輸出採用 3.5 mm SMA 接頭外接 cable 線至儀器。其發射端的射頻訊號利用 Rohde & Schwarz SMIQ03 向量訊號產生器，將編輯好的資料向量輸入至晶片。輸出訊號方面，頻譜的觀察採用 Agilent E4448A 之頻譜分析儀，觀察時域行為則使用 Agilent DSO6034A 示波器觀察頻率鎖定時的輸出波形與鎖定行為，在資料解調的輸出端 I/Q 訊號，則使用 Agilent 89410A 的向量訊號分析儀，觀察解調變訊號的星座圖與眼圖。

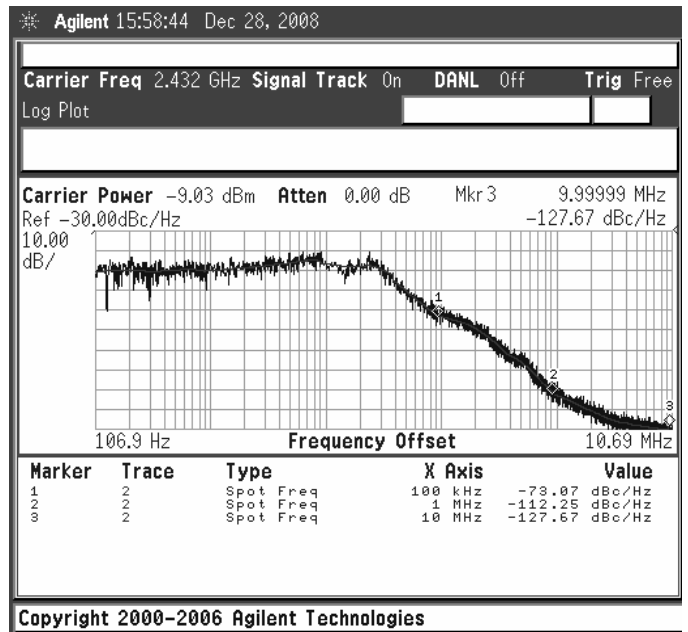
如圖 27 所示，為系統鎖定後壓控振盪器的輸出頻譜，圖 20(A)所示輸出頻頻率鎖定於 2.432GHz，其

量測到的功率約為-9.2dBm，而相位雜訊之表現如圖 20 (C) 所示，約為-112 dBc/Hz 於 1 MHz 偏移時，根據[12]已符合一般藍芽接收器的要求。



(A)

(B)



(C)

圖 27 壓控振盪器輸出頻譜(A) At Span 10MHz (B) At Span 1MHz (C)與其相位雜訊

如圖 28 所示為頻率回復器鎖定所需的時間，利用示波器觀察迴路濾波器輸出端的電壓變化，由量測圖可得知，控制電壓由 0 伏特爬升到 0.57 伏特需要 90us，經由觀察壓控振盪器輸出頻譜，確認頻率已鎖定於我們所設定的頻率值，且觀察中頻訊號與除頻器輸出波形，兩訊號的上升緣在同一時間點是對齊的，如圖 29 所示。

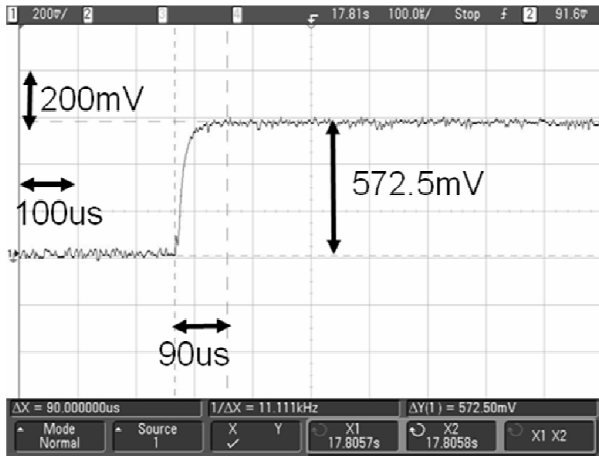


圖 28 頻率鎖定迴路濾波器的電壓變化



圖 29 鎖定後除頻器與中頻訊號的輸出波形

如圖 30(A)所示，為解調變後 I/Q 的輸出波形，經由向量訊號分析儀量測到的星座圖，由圖可觀察知，解調變後的訊號都有在調變系統所規範的四點上。如圖 30(B)所示，為 I/Q 輸出波形所疊出的眼圖，依照眼圖最高準位與最低準位所交疊的開口寬度與高度均於所規範內。

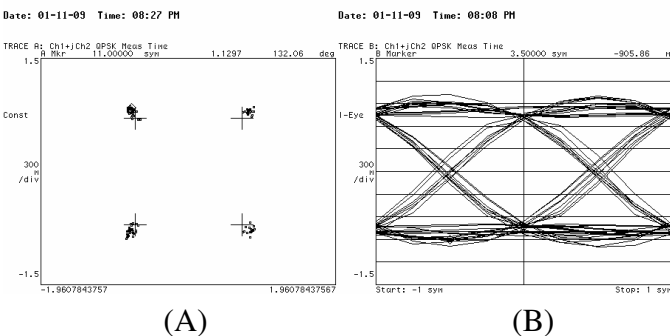


圖 30(A) I/Q 輸出訊號之星座圖，QPSK 調變傳輸速率 1Mbps (B) 輸出訊號之眼圖

最後整個無線接收器，所測量到的靈敏度約為 -40dBm，資料錯誤率小於 10^{-3} ，其功率消耗核心

電路操作在 1.8 V 之電壓下，總共消耗約 21mW，其輸出緩衝級工作於 3.3V，功率消耗約為 103.9mW，如表所示為本晶片量測出的效能摘要表，如表 3 所示。

表 1 本晶片效能摘要表

Parameter	Value
Process	TSMC 0.18 μ m CMOS
Core Supply	1.8V
Buffer Supply	3.3V
Phase Noise	-112dB @ 1MHz
Locking Time	90 us
Sensitivity	-40dBm for BER < 10^{-3} (初步量測)
Power Consumption	20.8mW@1.8v(Core) 103.9mW@3.3v(Buffer)
Chip Area	1750 um x 1550 um

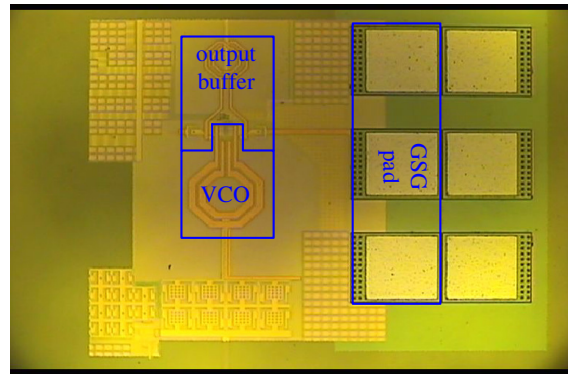


圖 31 60-GHz 多頻帶寬調整範圍 VCO 晶片圖

三、- 60-GHz, 14%之多頻帶電壓控制震盪器結合單一個可變電感

此設計中k約為0.45，因此VCO的頻率調整範圍將大於10.125%。圖31為VCO晶片照像圖，其面積約為 $0.28 \times 0.36 \text{ mm}^2$ 。當 $V_{DD}=0.8\text{V}$ 時，所量測的頻率調整範圍如圖32所示。當 $V_{b1}-V_{b6}$ 與 V_{fine} 連結在一起且由0至1.2V時，VCO頻率可由52.73至60.4 GHz。其調整範圍為13.56%。而若由0至0.8V時，其調整範圍為12.9%。在調整範圍內的振幅畫於圖32當中。

在多頻段操作中，所有的控制電壓將分開被控制。總共可分為64個頻段，其頻率分布如圖33所示。在所有頻段當中最大的 K_{VCO} 為719 MHz/V。

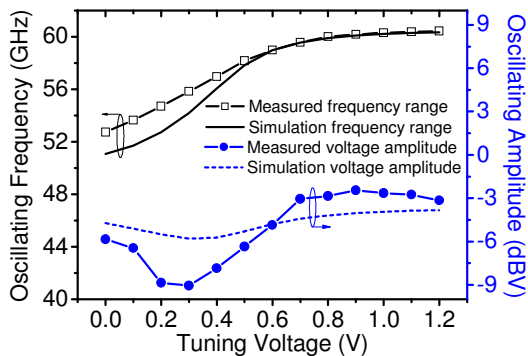


圖32 量測頻率範圍與振盪振幅

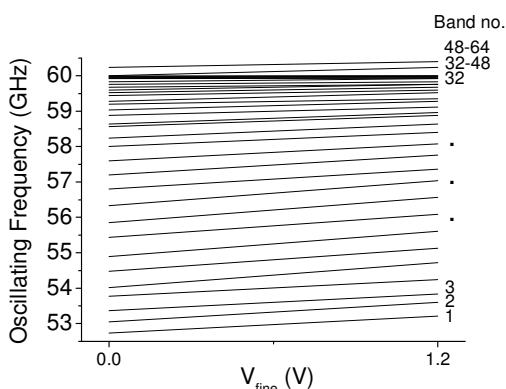


圖33 量測頻率範圍與振盪振幅

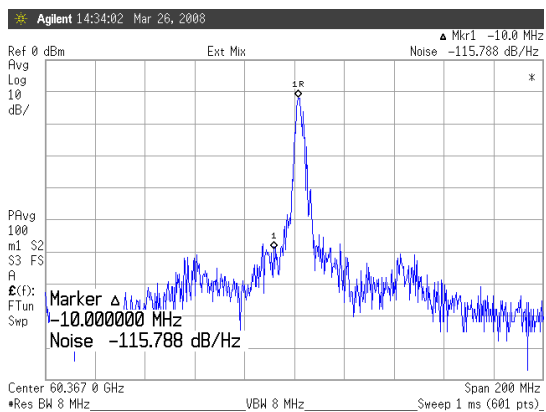


圖34 量測60 GHz頻譜

60.4GHz時，相位雜訊為-115.8dBc/Hz在10-MHz offset，如圖34所示。

結論

一、一個 10GHz 快速鎖定之全數位式頻率合成器

透過動態調整的迴路濾波器，以及所提出的具備取樣相位自動調整功能的累加器電路，本論文實

現了一個全數位式的頻率合成器，晶片各功能皆有實驗結果證實，且具有高速鎖定(<7μsec)，低功耗(7.1mW)，工作頻率達 10GHz 等特性。與近幾年的論文比較(如表 2)，本論文在輸出頻率、鎖訂速度與電源效率等皆有不錯的表現。

表 2 效能比較

Reference	Tech.	Supply	Power	Frequency range	Phase Noise	Locking Time	Reference Frequency/Multiplication Factor
[1] 05' JSSC	90nm	1.2V	19.6mW ⁽¹⁾ (4.9 mW/GHz)	3.2GHz~4.0GHz	-165dBc/Hz @ 20MHz ⁽²⁾	10μs	26MHz (N=31.7)
[2] 05' JSSC	130nm	1.5V	19.5mW (4.02 mW/GHz)	2.08GHz~2.25GHz 3.16GHz~3.66GHz 4.1GHz~4.85GHz	-118dBc/Hz @ 1MHz	N/A	200MHz (N=24)
[3] 08' JSSC	65nm	0.9V	17.2mW (3.37 mW/GHz)	0.5GHz~5.1GHz	-112dBc/Hz @ 1MHz ⁽³⁾	N/A	500MHz (N=8)
[4] 08' ISSCC	130nm	1.5V	39mW (NA)	N/A	-132dBc/Hz @ 3MHz	20μs	50MHz (N=74)
[5] 08' ISSCC	130nm	N/A	40mA (10mA/GHz)	3.2GHz~4.0GHz	-126dBc/Hz @ 1MHz	N/A	26MHz (N=138.98)
This Work	90nm	1.0V	7.1mW (0.71 mW/GHz)	9.75GHz~10.17GHz	-100dBc/Hz @ 1MHz	6.9μs	40MHz (N=248)

(1) Power dissipation for DCO and time-to-digital converter only

(2) Measured from 900 MHz carrier

(3) Measured from 4 GHz carrier

二、一操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器

本論文提出一個操作於 2.4GHz 無晶體振盪器之單晶片無線接收器使用 1Mbps 的 QPSK 解調器(A 2.4 GHz Crystal-less Single-Chip Wireless Receiver for 1Mbps QPSK Demodulation)，其電路由低雜訊放大器，混波器，後級放大器，低通濾波器，頻率還原器，與資料解調器整合於單一晶片中，本無線接收器電路可自發射端信號直接還原頻率信號，無須仰賴石英晶體振盪器等參考信號源，使系統達到完全單晶片化，免除石英晶體振盪器之額外功率消耗，在電路板系統層級可做到低功耗及低成本，因系統可自發射端信號直接還原頻率信號，降低無線發射器與接收器兩端之頻率誤差問題。此外頻率還原電路可同時進行發射信號之資料解調變(如 BPSK，或 QPSK)，無須仰賴傳統之類比數位轉換器及解調變器，大幅降低系統複雜度及成本。

三、一 60-GHz, 14%之多頻帶電壓控制震盪器結合單一個可變電感

此技術，提出一 60-GHz 多頻帶寬調整範圍 VCO，共消耗 12.8mW，而 output buffer 消耗 5.6mW。表一為所設計之 VCO 與其他 50GHz 以上已發表的 VCO 的比較。不同的 figures of merits 將

用於表3中：

$$FOM = PN - 20 \log \left(\frac{f_o}{\Delta f} \right) + 10 \log \left(\frac{P_{cons}}{1mW} \right)$$

$$FOM_T = PN - 20 \log \left(\frac{f_o}{\Delta f} \frac{TP}{10\%} \right) + 10 \log \left(\frac{P_{cons}}{1mW} \right)$$

$$FOM_{T/V} = PN - 20 \log \left(\frac{f_o}{\Delta f} \frac{TP}{10\%} \frac{IV}{\Delta V_t} \right) + 10 \log \left(\frac{P_{cons}}{1mW} \right)$$

其中 PN 為 phase noise 在 Δf offset, f_o 代表振盪頻率, P_{cons} 為功率消耗, 頻率調整範圍為頻率調整範圍。由表一可知, 在 50GHz 以上, 本設計為唯一有多頻段功能的 VCO, 且擁有優良的 figures of merits。

表 2 VCO 效能比較

References	[10]	[11]	[12]	[13]	[14]	This Work
CMOS Process	.25 μ m	.12 μ m	.13 μ m	90nm	90nm	90nm
Multi-band operation	without	without	without	without	without	with
VDD/ ΔV_t (V)	1.3/2.5	1/1.6	1.5/1.5	1/N.A.	0.7/1.1	0.7/1.2 (0.7/0.7)
Freq. Range (GHz)	49-50.1	50.9-51.6	53.6-59.4	59.9-60	73.8-79.3	53.1-61.3
Tuning Percentage	2.22%	1.37%	10.3%	0.2%	7.2%	14.34% (13.98%)
PN at Δf (dBc/Hz)	-100 at 1MHz	-85 at 1MHz	-108 at 10MHz	-100 at 1MHz	-110 at 10MHz	-118.75 at 10MHz
Power (mW)	13	1	9.8	1.9	13.58	8.7
FOM (dBc/Hz)	-182.8	-179.2	-173.1	-192.8	-176.3	-184.25
FOM _T (dBc/Hz)	-169.7	-161.9	-173.4	-158.8	-173.5	-187.38
FOM _{T/V} (dBc/Hz)	-161.7	-157.8	-169.9	N.A.	-172.7	-185.8

計劃成果

[1] Song-Yu Yang, **Wei-Zen Chen**, and Tai-You Lu, "A 7.1mW, 10GHz All Digital Frequency Synthesizer with Dynamically Reconfigured Digital Loop Filter in 90nm CMOS Technology", *IEEE Journal of Solid-State Circuits*, accepted for publication.

[2] **Wei-Zen Chen**, Ruei-Ming Gan, and Shih-Hao Huang, "A Single Chip 2.5 Gbps CMOS Burst Mode Optical Receiver", *IEEE Transactions on Circuits and Systems-(I)*, vol. 56, NO. 10, pp. 2325-2331, Oct., 2009.

[3] Song-Yu Yang and **Wei-Zen Chen**, "A 7.1 mW, 10-GHz All Digital Frequency Synthesizer with Dynamically Reconfigured Digital Loop Filter in 90 nm CMOS Technology", *2009 IEEE International Solid-State Circuits Conference Dig. of Tech. Papers*, pp. 90-91.

[4] **Wei-Zen Chen** and Shih-Hao Huang, "A 10-Gbps CMOS Single Chip Optical Receiver with 2-D Meshed Spatially-Modulated Light Detector", *2009 IEEE Custom Integrated Circuit Conference*, September, 2009.

[5] Guo-Wei Wu, **Wei-Zen Chen**, and Shih-Hao Huang, "An 8 Gbps Fast-Locked Automatic Gain Control for PAM Receiver," *2008 IEEE Asian Solid-State Circuits Conference*, Nov. 2009.

[6] **Wei-Zen Chen**, Wei-Wen Ou, Tai-You Lu, Shun-Tien Chou, and Song-Yu Yang, "A 2.4 GHz Reference-less Wireless Receiver for 1Mbps QPSK Demodulation," accepted to *2010 IEEE International Symposium on Circuits and Systems*, May. 2010

[7] 2009 中國工程師學會青年論文獎 (黃世豪)

[8] 2009 Electronic Technology Symposium 最佳論文獎 (黃世豪)

[9] 國科會晶片設計製作中心 (CIC) 2009 特別設計獎 (楊松諭)

參考文獻

[1] R. B. Staszewski, J. L. Wallberg, S. Rezeq et al., "All-Digital PLL and Transmitter for Mobile Phones," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2469-2482, Dec. 2005.

[2] N. Da Dalt, E. Thaller, P. Gregorius et al., "A Compact Triple-Band Low-Jitter Digital LC PLL with Programmable Coil in 130-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1482-1490, July 2005.

[3] J. A. Tierno, A. V. Rylyakov and D. J. Friedman, "A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI," *IEEE J. Solid-State Circuits*, vol. 43, no. 1, pp. 42-51, Jan. 2008.

[3] J. A. Tierno, A. V. Rylyakov and D. J. Friedman, "A Wide Power Supply Range, Wide Tuning Range,

- All Static CMOS All Digital PLL in 65 nm SOI," IEEE J. Solid-State Circuits, vol. 43, no. 1, pp. 42-51, Jan. 2008.
- [4] Chun-Ming Hsu, M. Z. Straayer and M. H. Perrott, "A Low-Noise, Wide-BW 3.6GHz Digital $\Delta\Sigma$ Fractional-N Frequency Synthesizer with a Noise-Shaping Time-to-Digital Converter and Quantization Noise Cancellation," ISSCC Dig. Tech. Papers, pp. 340-617, Feb. 2008.
- [5] Hsiang-Hui Chang, Ping-Ying Wang, J.-H. C. Zhan et al., "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE," ISSCC Dig. Tech. Papers, pp. 200-606, Feb. 2008.
- [6] N. Da Dalt, "A Design-Oriented Study of the Nonlinear Dynamics of Digital Bang-Bang PLLs," IEEE Trans. Circuits Syst. I: Reg. Papers, vol. 52, no.1, pp. 21–31, Jan. 2005.
- [7] B. Razavi, K.F. Lee, R.-H. Yan, "A 13.4-GHz CMOS frequency divider," ISSCC Dig. Of Tech. Papers, pp. 176-177, Feb. 1994.
- [8] B. Gyselinckx, et al, "Human++: autonomous wireless sensors for body area networks," Proc. of IEEE Custom Integrated Circuits Conference, Sept. 2005, pp.13-19.
- [9] D. Han and Y. Zheng, "An ultra low power GFSK demodulator for wireless body area network," Proc. of IEEE ESSCIRC, Sept. 2008, pp.434–437.
- [10] H. Wang, "A 50GHz VCO in 0.25 μm CMOS," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 2001, pp. 372-373.
- [11] M. Teibout, "A 51GHz VCO in 0.13 μm CMOS," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 2002, pp. 300-301.,
- [12] C. Cao and K. K. O, "Millimeter-wave voltage-controlled oscillators in 0.13- μm technology," IEEE J. Solid-State Circuits, vol. 41, no. 6, pp. 1297–1304, Jun. 2006.
- [13] D. Huang, W. Hant, N.-Y. Wang, T. W. Ku, Q. Gu, R. Wong, and M.-C. F. Chang, "A 60 GHz CMOS VCO using on-chip resonator with embedded artificial dielectric for size, loss and noise reduction," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 2006, pp. 314-315.
- [14] K. Ishibashi, M. Motoyoshi, N. Kobayashi, and M. Fujishima, "76GHz CMOS voltage-controlled oscillator with 7% frequency tuning range," in Symp. VLSI Circuit Dig. Tech. Papers, Jun. 2007, pp. 176-177.

2009 Symposium on VLSI Circuits Symposium

心得報告

交大電子 陳巍仁

本年度(2009)超大型積體電路設計研討會 (09' Symposium on VLSI Circuits) 於 6/16-6/18 日於日本京都 (Kyoto) 召開。本年度之會議主要包含 1 天之短期課程與三天之論文發表。本屆會議針對 "Energy Management for Green SoC's and SiP's" 及 "mm-Wave and Multi-Gigabit Transceivers for High-Speed Wireless Communication" 方面之相關研究有一天之短期課程，其課程主軸呼應近來在毫米波通訊電路技術之進展及綠能電子之重要趨勢。大會演講為 Fujitsu laboratories 的 N. Yokoyama 所發表之 "Challenges in Nanoelectronics : Dream or Reality ?" 及 Medtronic Neuromodulation Technology 所發表之 "Creating Support Circuits for the Nervous System : Considerations for [Brain-Machine]"。由此可見在奈米電子時代，生醫電子之應用亦為一重要趨勢。

本年度之議程可概分為 28 場 8 大類，分別為 1. 有線傳輸通訊積體電路，包含限幅放大器，時脈產生器，等化器電路，資料連結系統及資料與時脈回復電路 2. 無線通訊積體電路，包括毫米波積體電路，發射機與接收機電路 3. 生物醫學與感測器電路 4. 類比/數位、數位/類比轉換器，含高速，低功率及和差調變式資料轉換器。5. 前瞻記憶體技術，含非揮發性記憶體，動態隨機存取記憶體，靜態隨機存取記憶體及融合式記憶體 6. 混合信號與類比電路技術，含離散時間類比電路技術 7. 直流轉換器及功率管理電路 8. 訊號處理及多媒體處理器電路技術。

以今年研討會內容來看：在生醫電子之應用方面，結合生理信號檢測，分析，同時能進行系統之回饋與醫療，如治療帕金森氏症等，為未來之重要應用趨勢。此外，為進行長時間之監控（如 EEG），相關電路系統之低功耗設計，且利用類比技術降低系統之低頻雜訊，皆為其中之重要考量。在高速有線傳輸系統之應用方面，結合快閃式類比數位轉換器及等化器電路，可有效克服通道之頻寬限制並提升效能。而在低功率類比數位轉換器方面，連續漸進式(SAR)類比數位轉換器在先進製程之實現上已顯現不錯之優勢，而導管式架構結合和差調變技術對於提升整體系統之解析度亦有相當之幫助。而在三維 IC 之系統整合方面，利用電感耦合技術進行資料傳輸為 TSV 世代提供先期之解決方案。而在無線通訊方面，Nokia 標誌著未來行動裝置結合感應，計算，與通訊之功能，將大幅改變人類生活之應用範疇。彈性化軟硬體架構亦為未來行動通訊之重要技術指標。

總結而言，本年度之研討會對於下世代單晶片系統之應用，其所具備之高整合度、低功率消耗、混合模式電路設計技術之應用等方面，皆提供了精采的研討範例，同時對吾人之未來研究方向具有深度之啟發。