

行政院國家科學委員會補助專題研究計畫成果報告

矽鍺源/汲極金氧半電晶體及電感在射頻應用之研究 A Study on SiGe Source/Drain MOSFET and Inductor for RF Applications

計畫類別：特約研究人員專題研究計畫

計畫編號：NSC89-2215-E009-050

執行期間：88年 8月 1日至 89年 7月 31日

計畫主持人：張俊彥 教授

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子研究所

中 華 民 國 89年 10月 31日

矽鍺源/汲極金氧半電晶體及電感在射頻應用之研究

A Study on SiGe Source/Drain MOSFET and Inductor for RF Applications

計劃編號: NSC89-2215-E009-050

執行期間: 88/08/01~89/07/31

主持人: 張俊彥 教授 交通大學電子研究所

一、中文摘要

在本研究計畫中, 先以超高真空化學分子束磊晶之選擇性磊晶成長技術研製矽鍺 p⁺-n 淺接面源/汲極, 並研究在不同成長條件與製程溫度下之電子特性, 以及相對應的硼雜質濃度對深度的曲線也做了詳細的分析。除此之外, 我們也研製並發展金屬矽化物製程並將之應用到矽鍺磊晶層上, 並以各種精密的材料分析來研究矽化物反應機制, 以完成下年度計劃中 SiGe RFCMOS 製程模組之技術整合。

另外, 本計劃亦將以三年時間研究發展相容於互補型金氧半電晶體技術之高效能電感製程, 並探討其特性。首先我們將利用已成熟之鋁導線製程技術製作不同結構之電感, 並分析電感特性與結構之關係。我們也將研究將銅導線與低介電係數材料結合, 運用於電感之製作, 並探討其對電感特性之影響。經由本計劃之執行, 我們將能夠對矽基板上之電感從結構到製程材料有完整之研究。這對高頻電路的應用有重大的意義。

關鍵詞: 矽鍺、淺接面、超高真空化學分子束磊晶、金屬矽化物、電感

Abstract

In this project, strained boron-doped Si_{1-x}Ge_x layer was selectively deposited by ultra high vacuum chemical molecular epitaxy (UHVCME) to form shallow p⁺-n junction suitable for raised source/drain MOSFET applications. Detailed electrical characterizations were performed. In addition, the Co silicide on SiGe layer was studied, the reaction mechanism was analyzed by X-ray

diffraction, AES, SEM, SIMS, and so on. The Co silicide process suitable raised SiGe source/drain MOSFET fabrication has been developed this year.

To obtain high quality factor inductors compatible with modern CMOS technology also is the goal of this project. First, we will use the mature Al metal process to fabricate inductors with different structures and analyze its characteristics. Based on these Al inductors, we will combine Cu metal and low dielectric constant materials to fabricate Cu inductors and analyze their effects on the inductor. By executing this project, we will obtain a thorough understanding of inductor structure, process materials, and their relations, which will be very meaningful for the application on high frequency circuit.

Keywords: SiGe, shallow junction, UHVCME, silicide, inductor

二、緣由與目的

因 CMOS 製程具有高集積度、低成本與省電的特性, 使其在個人行動通信設備要求迷你、輕量與低耗電的條件下, 有無比的競爭力。然而, Si-MOSFET 元件本身存在著很大的寄生被動元件效應, 如閘極電阻、接面空乏電容、汲極電導...等等, 這些因素都會造成其高頻特性變差。如要改善 MOSFET 之 RF 特性, 必須作一些細部的分析及製程方面的改善以探討影響寄生效應的成分。

為了降低雜訊, 轉換電導 (gm) 必須增加, 閘極及汲極的電阻也必須降低。故必須引進金屬矽化物的製程。此計畫將進一步分析 f_{min} 、 F_{MAX} 、 F_T 對經過特殊製程改善之後的改變。在元件尺寸縮小的同

時，為避免短通道效應，源 / 汲極必須保持淺接面；但此時金屬矽化物製程將消耗部分的矽而導致漏電流增加。本計畫將結合矽與矽鍺選擇性磊晶成長技術，利用超高真空化學氣相沈積系統在閘極與源 / 汲極選擇性成長一層矽磊晶供金屬與矽反應時的消耗層，同時可降低閘極電阻。在 PMOS 方面，因矽鍺的能隙寬較矽窄，使金屬與矽鍺間的位障降低，如在金屬矽化物與矽基板間成長一層矽鍺磊晶，可進一步降低源 / 汲極的接觸電阻。

在 CMOS 製程中，因為矽基板之低電阻值造成的能量耗損，以及傳統鋁導線的電阻，使得製作在矽基板上的電感品質因數較三五族材料基板上的電感低許多；此外由於平面電感與基板間的寄生電容，使得此電感電容系統存在一共振頻率，限制了電感可以操作的頻率範圍。根據目前國內外的研究，在降低基板耗損方面，可利用高阻值係數之矽基板，或是矽-絕緣層基板 (SOI) 來克服；而在降低電感電阻方面，則可利用多層金屬的結構來提高金屬層的等效厚度，或是利用低電阻係數之金屬材料。而為了提高共振頻率，有人利用微機械製程將電感架空；或利用超厚的二氧化矽層降低電感與基板間之寄生電容。為相容於 CMOS 製程，本計劃中之電感部份將致力於三個主要目標：(1) 設計不同之電感結構，探討其與電感特性之關係，藉以提高電感之品質因數。(2) 改變傳統電感材料，降低電感之電阻。(3) 利用低介電係數絕緣材料，降低平面電感與矽基板間的寄生電容，提高共振頻率。藉此得到一相容於 CMOS 製程之高品質電感。

三、研究方法

A Raised SiGe S/D MOSFET 相關製程

為研究 Raised Si/SiGe Source/Drain 對 MOSFET 元件特性之影響，計劃第一年度已設計各種測試結構，來量測矽鍺磊晶之片電阻及接觸電阻。並利用二極體結構來探討矽鍺源 / 汲極與矽基板間之特性。實驗上，以 N 型六吋矽晶片為基板，首先沉積 300nm 之氧化層，並開出各種不同大小

之矽窗；晶片清洗後，利用超高真空化學分子束磊晶系統選擇性成長 100 nm 厚之矽鍺層。然後沉積 200 nm 之 TEOS 作為絕緣層。在開出接觸窗後，濺鍍 TiN/Al-4%Cu/TiN/Ti 做金屬連接線。以 HP4145B 參數分析儀量測電子特性，其中片電阻值利用 TLM 及 CBKR 的方法萃取出來，接觸電阻藉由 TLM 及 Kevin Cross 結構量得，最後利用 SIMS 量測擴散深度。

B 金屬矽化物製程

本計畫研究鈷與矽或矽鍺形成金屬矽化物之反應機制，同樣利用超高真空化學分子束磊晶系統完成矽鍺磊晶，晶片清洗後，再濺鍍 17 nm 的鈷金屬層。針對不同的退火條件（溫度，時間）與磊晶方法（不同鍺含量，是否 cap Si）。利用四點探針，X 光繞射儀，歐傑電子顯微鏡等來分析金屬矽化物的片電阻值，相變化情形，矽鍺磊晶 relax 的程度，鍺的分佈變化等。

C 電感元件

因螺旋電感之品質係數 (Q Factor) 與進入矽基板之磁力線有密切關係，在本計畫中，我們試圖阻止電感之磁力線進入矽基板，藉此提高 Q 值。我們設計了三種不同結構之螺旋電感，金屬寬度為 5 μ m、厚度為 1 μ m，結構一為一正常結構之螺旋電感，結構二為上下串連但方向相反之二線圈，結構三為上下並連，方向亦為相反，其結構分別如圖一~三所示。

四、結果與討論

A Raised SiGe S/D MOSFET 相關製程

圖四為 SiGe 二極體之 I-V 特性，因鍺原子會造成矽鍺磊晶與矽基板間介面的差排缺陷，使漏電流隨鍺含量而增加。另外，在高電流時，Si_{0.86}Ge_{0.14} 二極體具有最高的順向電流，說明了金屬與矽鍺接面間的低接觸電阻所造成的低串聯電阻結果。在理論上，金屬與半導體介面之位障決定了其接觸電阻值，已知矽鍺之能隙寬隨鍺之增加由 1.12eV 變化至 0.66eV，使得金屬與 p 型矽

銻間之蕭特基位障(SBH)降低。如： $p\text{-Si}_{0.86}\text{Ge}_{0.14}$ 之SBH較 $p\text{-Si}$ 低了 0.07eV ，因此有效降低其接觸電阻。由圖五可知接觸電阻確實隨銻增加而降低，當銻含量達14%時可得 $4.8\mu\Omega\text{-cm}^2$ 的低接觸電阻，但銻含量增至20%時，接觸電阻上升至高電阻值，乃因矽與矽銻介面之嚴重差排造成。

為研究矽與矽銻之介面差排，我們量測矽銻磊晶層之片電阻(圖六)。對矽而言，片電阻值隨電阻寬度縮小而降低，導因於較寬之磊晶區易使差排延伸而增加了電阻值。相對地，對銻含量為9%及14%之樣本而言，其片電阻反隨寬度縮減而增加，則導因於field oxide edge的undercut，當矽銻成長時，差排及缺陷便由undercut區延伸至整個主動區。但在銻含量高時($\text{Ge}=20\%$)，矽與矽銻之介面差排比undercut效應嚴重，又使得片電阻值隨電阻寬度縮小而降低。

最後研究以矽銻磊晶層為硼擴散源之界面深度，如圖七所示，因硼之擴散係數在矽銻與矽之界面區域會降低，所以矽銻較矽磊晶具有較淺之界面深度，說明了矽銻可應於CMOS製程之源/汲極淺界面技術。

B 金屬矽化物製程

圖八說明 Co/SiGe 層在不同退火溫度下之片電阻值，在 500°C 時，因 Co/SiGe 有相對阻值較低的 CoGe 相的形成，使 Co/SiGe 之阻值低於 Co/Si 。反之，在 600°C 及 700°C 時，其阻值高於 Co/Si ，乃因銻析出於表面，同時高阻值之 CoSi 開始形成，由X光繞射分析可知 Co/Si 在此溫度下已開始形成 CoSi_2 。再者，對未摻雜樣品經 700°C 的退火處理後，其片電阻已開始降低，但硼摻雜之樣品其阻值仍高，導因於硼與銻會堆積於 Co/SiGe 反應介面(圖九)，阻礙 CoSi_2 的形成。最後，經 800°C 及 900°C 退火處理後，所有樣品之片電阻皆降至 $10\ \Omega/$ ，此時 CoSi 已完全轉換為 CoSi_2 。然而， $\text{Co/Si}_{0.86}\text{Ge}_{0.14}$ 的片電阻再度增加於 1000°C 後，顯示 Co/SiGe 的結塊現象比 Co/Si 嚴重。

由於矽銻與矽基版的晶格常數不同，當矽銻與上層之銻反應時其磊晶會鬆弛，晶

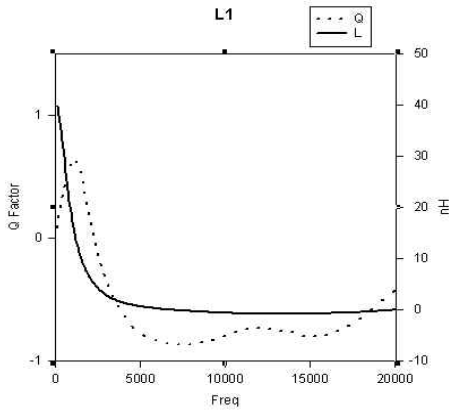
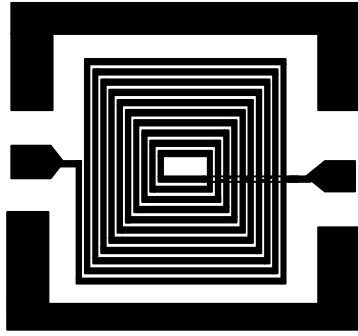
格鬆弛將使在X光繞射圖中的矽銻特性峰偏移並靠近矽特性峰(如圖十)，由偏移量可知其鬆弛之程度，在 700°C 時，未摻雜樣品之偏移角為 0.07° ，而硼摻雜之樣品其偏移角為 0.04° ，證明了硼原子會緩和矽銻的內部張力，進而降低其張力鬆弛的程度。

C 電感元件

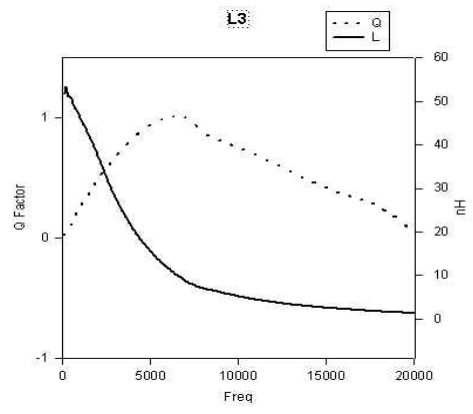
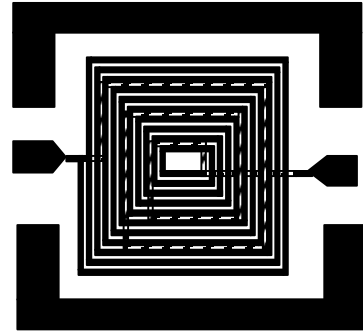
在本計畫中，我們利用不同的結構來抑制電感磁力線進入矽基板的量，藉以提高Q值，由高頻散射參數導出其電感及Q值，其結果如圖一~三所示，我們發現結構三之Q值頻率範圍較大，而其共振頻率與電感值亦較結構一、二為大。由實驗結果我們看出藉由上下方向相反之二線圈，的確可抑制電力線進入矽基板，使得Q Factor以及共振頻率的範圍明顯增加，而Q值的增加有可能是因電感並聯使電阻下降所產生之效應，以及進入基板電磁線量減少所共同造成，如何分離此二效應將由後續之計畫繼續研究。

五、參考文獻

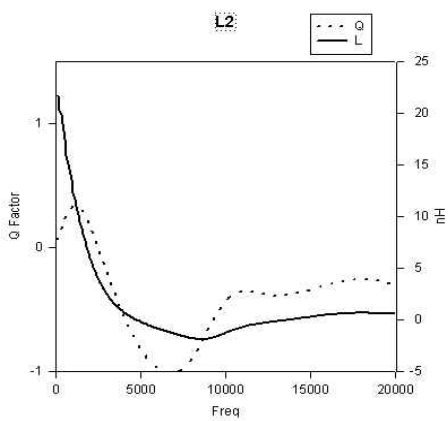
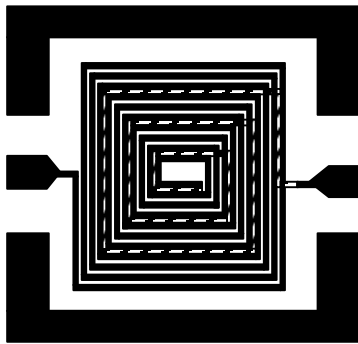
1. D.B.Noble, J.L. Hoyt, C.A. King, J.F. Gibbons, T.I. Kamins, and M.P. Scott, Appl. Phys. Lett., Vol.56, p.51 (1995)
2. T.I.Kamins, K.Nauka, R.D. Jacowitz, J.L. Hoyt, D.B. Noble, and J.F. Gibbons, IEEE Electron Device Lett., Vol.13, p.177 (1992)
3. H.Shinoda, M. Kosaka, J. Kojima, H. Ikeda, S. Zaima, and Y. Yausda, Appl. Surf. Sci., Vol.100/101, p.526 (1996)
4. W.J. Qi, B.Z. Li, W.N. Haung, and Z.Q. Gu, J. Appl. Phys., Vol.77, p.1086 (1995).
5. F. Lin, G. Sarcona, M.K. Hatalis, A.F. Cserhati, E. Austin, and D.W. Greve, Thin Solid Films, Vol. 250, p.20 (1994)
6. C. Zaring, A. Pisch, J. Cardenas, P. Gas, and B. G. Svensson, J. Appl. Phys., Vol.80, p.2742 (1996).
7. M. Soyuer, J.N. Burghartz, K.A. Jenkins, S. Ponnappalli, J.F. Ewen, IEEE Electronics Lett. Vol.31, p.359 (1995)
8. Robb A. Johnson, Paul R., Charles E. Chang, IEEE Trans. Electron Device, Vol.45, p.1047 (1998)
9. Joachim N. Burghartz, Daniel C. Edelstein, Keith A. Jenkins, IEEE Trans. Microwave Theory And Techniques, Vol.45, p.1961 (1997)
10. Choong-Mo Nam and Young-Se Kwon, IEEE Microwave And Guided Wave Letters, Vol.7, p.236 (1997)



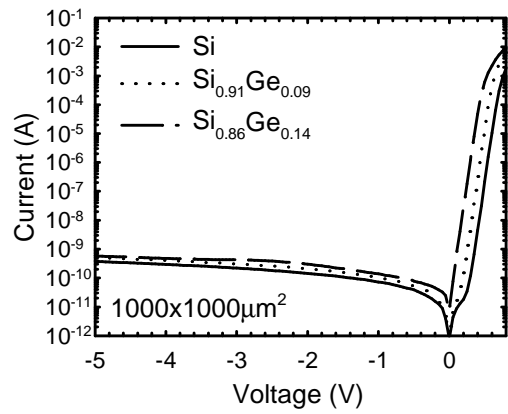
圖一、正常結構之螺旋電感。



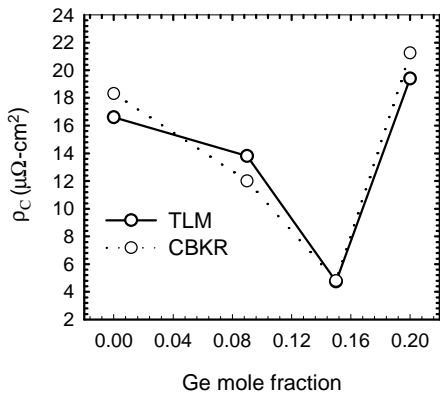
圖三、上下並連，方向相反之螺旋電感。



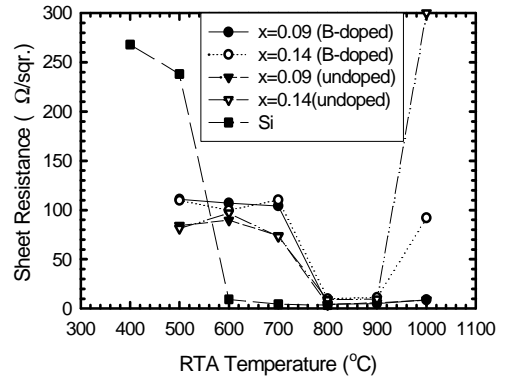
圖二、上下串連但方向相反之螺旋電感。



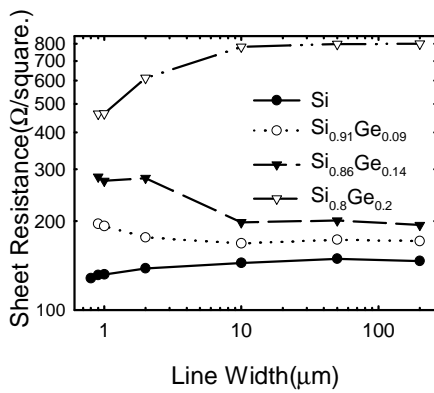
圖四、Si/SiGe 二極體之 I-V 特性。



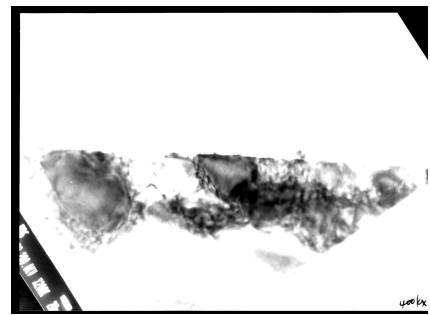
圖五、金屬與矽鍺間之接觸電阻。



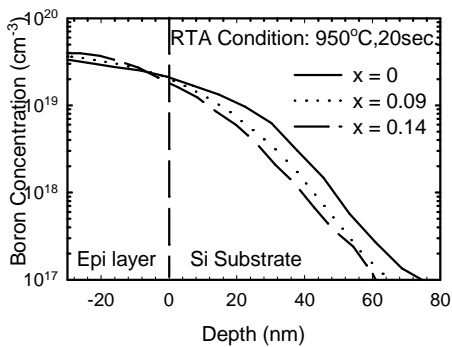
圖八、Co/SiGe 經退火處理後之片電阻。



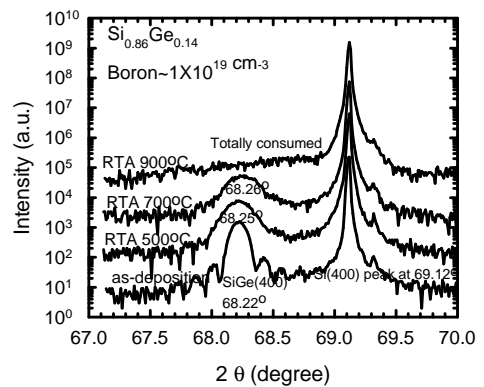
圖六、矽鍺之片電阻與電阻寬度之關係。



圖九、Co/SiGe 經 900°C 後之 TEM 圖。



圖七、以矽鍺為硼擴散源之界面深度。



圖十、Co/SiGe 經 RTA 後之 Si 與 SiGe 的 XRD peak。