

# 行政院國家科學委員會補助專題研究計畫成果報告

※※※

※ 多媒體系統晶片設計技術之研究—子計畫五： ※

※ 系統晶片上系統驗證之研究 (3/3) ※

※ ※

※※※

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC89-2218-E-009-060-

執行期間：89年8月1日至90年7月31日

計畫主持人：周景揚

共同主持人：

計畫參與人員：

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子工程系

中華民國 90年 10月 31日

多媒體系統晶片設計技術之研究—子計畫五：

系統晶片上系統驗證之研究 (3/3)

“System-on-Chip Design Technology for Multimedia Applications”

— The Study on System Verification for Systems-on-Chips

計畫編號：NSC89-2218-E-009-060

執行期間：89年8月1日至90年7月31日

主持人：周景揚 交通大學電子工程系教授

## 一、中文摘要

當設計邁入單晶片系統的時代，設計的流程與方法都必須要重新調整，一些電腦輔助設計的軟體也必須要重新發展。為了處理晶片中數百萬個電晶體的複雜度，一些核心技術，如功率最佳化，速度最佳化等等，都必須再做改進，而正因為單晶片系統的高複雜度，我們在設計驗證以及使用智慧財產(IP)來做設計時，都將會面臨相當多的問題，尤其是整合的動作，將會變得更加困難。在下一段裡，我們將就兩個研究基本方向做簡單的介紹，一個是在功能上考量由上而下的方法，另一個是在結構上考量由下而上的方法。

### 1. 測試資料的自動產生：

因為單晶片系統的日趨複雜，以硬體描述語言(HDL)為基礎的設計方式越來越受到歡迎。當硬體描述語言的程式碼越來越龐大，究竟如何產生測試資料來驗證設計的正确無誤，就成了很大的挑戰。我們將會先針對硬體描述語言(HDL)，定義出一套合理的程式碼涵蓋量度(code coverage metric)，用以決定測試的完整性。另一個問題則是測試資料的迅速成長，一般來說，測試的資料通常可以大到原始高階程式碼的五倍，為了解決這個問題，我們將試著在原始的程式碼中加入一些驗證用的程式碼，以期降低測試的複雜度及測試所需的資料量。最後，我們將整合前面所提到的兩項技術，發展出一套自動建立測試環境及產生測試資

料的系統，以幫助設計者偵測到程式碼中所有的錯誤。

### 2. 使用設計智慧財產(IP)做設計時的整合錯誤偵測：

一個系統晶片中通常含有很多的設計智慧財產(IP)，它們可能來自不同的公司，也可能各有各的功能測試向量(functional vectors)，但是，在整合設計測試時，光靠這些向量是絕對不夠的。在這個計劃中，我們將提出另一種以連接錯誤為主的錯誤模式，並根據這種錯誤模式，發展一個自動產生測試向量來偵測這種錯誤的演算法以及系統。

## 英文摘要

To support systems-on-chips, the design methodologies have to be refined and several CAD tools have to be developed. There are some core technologies such as power optimization and timing optimization have to be enhanced from time to time in order to handle the chips with millions transistors in a chip. Due to the complexity of the systems-on-chips, we may face the design verification issues and the IP-based design issues. Among those, the integration efforts become very difficult and need to be paid attention. In the following, I will outline two basic directions of my research efforts. One is the top-down approach in functional domain.

Another one is the bottom-up approach in structural domain.

#### 1. Automatic Test Bench Generation :

With the high complexity of systems-on-chips, the HDL-based design methodology is getting more and more popular. When the size of HDL code becomes larger and larger, how to prepare test benches to ensure the correctness of design is a big challenge. The first problem in HDL verification is how to define the completeness of a test bench. We will define a reasonable code coverage metric for HDL and use it to measure the completeness of a test bench. Another problem is the fast growing size of the test bench code. The test bench could be five times as much code as the RTL description of the design. We will try to insert verification structure into the original HDL code automatically to reduce the testing complexity and the size of test benches. Finally, based on the two technologies mentioned above, an automatic test bench generator will be built to generate high code coverage test benches.

#### 2. Integration Error Detection for IP-based Designs :

A system chip may consist of many IPs from different vendors with their functional vectors. However, those functional vectors are not appropriate for the integration design verification. In this research, we are going to propose another connectivity-based design error model. Based on that, we are going to develop an automatic verification pattern generation algorithm and build the automatic verification pattern generator for it.

## 二、計畫的緣由與目的

由於積體電路製造技術的持續進步，預計

公元 2000 年，利用 0.18um 技術可以把 80 million transistors 放在單一晶片上，再加上創新好用之 consumer products 的不斷需求下，把整個系統整合在單一晶片上已是在 cost effectiveness 考量上所必須走的一條路。然而在設計如此複雜的系統時，絕對需要一個新的 design methodology 以及相關的 CAD tools 之配合，才有成功的機會。

有鑑於此，本計劃將利用其他子計劃有關 systems-on-chip(SOC)設計技術在多媒體上之運用為 driver，研發有關 SOC 之關鍵 CAD technology，一方面藉研究發展以培養相關人才，另一方面藉率先深入研究此領域之 CAD 需求，以期能幫助學界 / 業界對此趨勢之掌握與了解。

為了能 manage 如此高複雜度的設計，top-down design with HDL description as the design entry 是一個必然的選擇。而隨著超大型積體電路系統的日趨複雜，在採用 HDL-based 的設計流程時，所設計出的 HDL code 也越來越龐大。而在設計的過程中，發生錯誤在所難免，但若能在越早期的設計中發現錯誤，則更正它所需的代價就越小，因此，發展一套有效率的方式來驗證高階的 HDL code，絕對有其必要性存在。

在 HDL 驗證中所用到的涵蓋量度 (coverage metric)，是一個值得探討的問題，究竟應該測試哪些項目，以及究竟應該測試到什麼地步才算是正確，至今仍未有一定的標準。在國外學術界之中，亦有少數正在研究這方面的技術，他們大致的做法均是將高階的 HDL code 轉換成 FSM 的 model，而後盡量讓測試資料能夠經過每一個 state 或是走過每一條 state 之間的 transition。不過由於 state 的數目是呈指數成長，若不做任何修改，在測試大型系統時恐怕會花上相當多的時間，因此有的方法只測試控制部分的電路，有的方法則轉成較簡化的 FSM model，以期降低測試的複雜度。

有人甚至提出應該要像 silicon test 一樣，同時考慮 code 的 controllability 和 observability，而不是像前面所提的方法一樣，只考慮到 fault excitation(到達每個 state)，而未考慮 fault observation。不過，由於這些都是最近才被提出的新觀念，因此實用性如何仍有待評估。我們的目標是建立一套有系統的 HDL 驗證系統，以解決上述的兩個問題，一方面先針對 HDL 的特性，定義出一套合理的 coverage metric，再根據這個 metric，自動產生 test bench，希望能在最短的時間內，完成 100% 正確的驗證。

半導體技術的突飛猛進，使得單晶片可容納的電晶體數目大幅成長，當代包含一百萬個電晶體的設計比比皆是，然而工程師的設計能力雖然有電腦輔助工具的幫助，成長的幅度仍遠遠落後單晶片可容納電晶體的成長速度。彌補這兩者之間成長速度差距的主要方法是利用已驗證且可重複使用的設計方塊進行積體電路設計。這些已驗證且可重複使用的設計方塊即為所謂的設計智慧財產(IP: Intellectual Property)，利用這些設計智慧財產作為 ASIC 核心元件，除引用既有經驗與節省人力，並可以大幅度縮減 ASIC 開發時程。因為經由取得已經驗證的設計智慧財產授權，設計工程師可以將目標集中在必須重新設計的部分，而不是花費了大部分時間在做重複性的設計驗證工作。

所有 IP 使用都面臨最大問題在：IP 是否經過完整驗證？是否有充分而完整的文件說明？使用若遭遇問題時是否有適當人力支援？進而引出何謂完整驗證和完整文件等問題。如能解決上述問題，設計工程師才會願意去使用 IP；否則與其要在 IP 中到處找錯並嘗試修正，不如自己設計一個可能還快些完成計劃。另一方面，對於 Systems-on-Chip (SOC) 設計流程而言，在使用 reusable IP 時必然將遭遇到整合設計與驗證的問題。基於系統晶片設計

之需求，在 IP-based 的設計與驗證方法上必須有所創新。本計劃將配合多媒體系統晶片設計技術之其它子計劃，以 Virtual Media Processor (VMP) 為研究載具，作為相關問題之切入點。

為了有效解決 SOC 系統整合的驗證問題，我們提出了兩個方案，一個是從上而下 (top-down) 且在 functional domain 上運作的方法，另一個則是由下而上 (bottom-up) 且在 structural domain 上運作的方法，希望採取上下夾攻，functional and structural 兼顧的考量下，能夠實實在在的解決此一複雜的問題。

### 三、研究方法及成果

我們已在第一年的計劃中提出一套以 Port Order Fault (POF) 為障礙模型 (Fault Model) 的方法，就標準元件庫基礎元件模型化一致性進行研究，以減少不必要的測試工作，充分發揮智慧財產對加速設計時程的效果。對於已經充分驗證的 IP 使用於 ASIC 設計時，實不再需要對 IP 部分再以徹底的測試向量加以驗證，否則重複且複雜的驗證工作將抵銷使用 IP 所獲得的好處。我們也發展了一套利用傳統 SAF pattern generator 產生 POF verification sequence 的方法，初步的成果相當令人滿意，並已發表於國際性會議中 [Tun98]。

在第二年的計劃當中，我們發展了一套完整而有效率的 POF AVPG 流程。針對先前提出的 POF model，我們先發展出合適的亂數產生器 (random pattern generator)、障礙模擬器 (fault simulator) 及特定障礙向量產生器 (deterministic test pattern generator)，並藉由特徵向量 (characteristic vector) 的推導，產生出 POF 障礙涵蓋度接近 100% 的測試向量。初步的成果相當令人滿意，並已發表在國際會議中 [Wan01-1]。

在本年度的計劃當中，我們針對已提出的 POF AVPG 做改進，利用相關的圖形理論 - automorphism approach，來做不同角度的觀

察與轉換，而得到比原先 AVPG 最佳的驗證向量，這個成果即將發表於國際性會議中 [Wan01-2]。

另一方面，我們也針對常用的資料流元件-加法器與乘法器，發展出對應的演算法，來產生最佳的 POF 驗證向量，這些演算法讓驗證向量的數量複雜度從線性降為對數，這個成果即將發表於國際性會議中 [Wan01-3]。

#### 四、結論與討論

我們延續上一年的研究，對於針對 IP-based design 所設計的障礙模型 (Fault Model) — POF，做進一步的研究。在本年度的計劃當中，我們利用相關的圖形理論-automorphism approach，發展了一套完整而更有效率的 POF AVPG 流程，可以產生出更有效率的測試向量。這個成果即將發表於國際性會議中 [Wan01-2]。

另一方面，我們也針對常用的資料流元件-加法器與乘法器，發展出對應的演算法，來產生最佳的 POF 驗證向量，這些演算法讓驗證向量的數量複雜度從線性降為對數，這個成果即將發表於國際性會議中 [Wan01-3]。

表一簡列近年本研究群的相關研究成果。87 年發表會議論文 5 篇，期刊論文 5 篇，並於 IEEE 期刊發表一篇論文。88 年發表會議論文 12 篇，期刊論文 4 篇，並於 IEEE 期刊與 ACM 期刊各發表一篇論文。89 年發表會議論文 5 篇，期刊論文 6 篇，並有 4 篇論文於 IEEE 期刊發表。90 年發表會議論文 8 篇，期刊論文 4 篇，並有 3 篇論文於 IEEE。

1999	4	0	8	4 (IEEE:1) (ACM:1)	12
2000	0	0	5	7 (IEEE:5)	12
2001	2	0	8	4 (IEEE:3)	12

#### 五、參考文獻

- [Tun98] Shing-Wu Tung and Jing-Yang Jou, “Verification Pattern Generation for Core-Based Design Using Port Order Fault Model”, in Proc. of the 7<sup>th</sup> Asian Test Symposium, Nov. 1998.
- [Liu01] Chien-Nan Liu, I-Ling Chen and Jing-Yang Jou, “An Efficient Design-for- Verification Technique for HDLs”, in Proc. of ASP-DAC, 2001
- [Wan01-1] Chun-Yao Wang, Shing-Wu Tung and Jing-Yang Jou, “An AVPG for SoC Design Verification with Port Order Fault Model”, in Proc. of ISCAS’2001.
- [Wan01-2] Chun-Yao Wang, Shing-Wu Tung and Jing-Yang Jou, “An Improved AVPG Algorithm for SoC Design Verification Using Port Order Fault Model”, in Proc. of the 10<sup>th</sup> ATS’01 (to appear).
- [Wan01-3] Chun-Yao Wang, Shing-Wu Tung and Jing-Yang Jou, “On Generation of the Minimum Pattern Set for Data Path Elements in SoC Design Verification Based on Port Order Fault Model”, in Proc. of HLDVT’2001 (to appear).

Year	Number of Papers				SCI
	Domestic		International		
	Conference	Journal	Conference	Journal	
1998	2	1	3	4 (IEEE:1)	8