

行政院國家科學委員會補助專題研究計畫成果報告

超大型積體電路之測試與可測試設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 89-2215-E-009-042

執行期間： 88 年 8 月 1 日至 89 年 7 月 31 日

計畫主持人：李崇仁教授 國立交通大學電子研究所

共同主持人：

計畫參與人員：

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子研究所

中 華 民 國 89 年 10 月 25 日

行政院國家科學委員會專題研究計畫成果報告

超大型積體電路之測試與可測試設計 VLSI Testing and Design for Testability

計畫編號：NSC 89-2215-E-009-042

執行期限：88年8月1日至89年7月31日

主持人：李崇仁教授 國立交通大學電子研究所

Email:cllee@cc.nctu.edu.tw

I. 中文摘要

本計畫是延續上年度之計畫：超大型積體電路之測試、可測試設計及合成。根據上年度計畫之結果，更進一步研究一些與超大型積體電路之測試與可測試性設計及有關之主題。其詳細內容如下：

一、於深次微米 CMOS 線路中串音障礙之研究：

於深次微米 VLSI 中，信號之間的串音(coupling)將變得非常嚴重。吾人擬提出以串音雜波(coupling glitch)的方式，探討深次微米 CMOS 電路中的串音障礙(coupling fault)，並根據串音雜波傳播的特性，發展一有效的串音障礙的模擬器。

二、深次微米領域之超大型積體電路靜態電流測試：

靜態電流測試(IDDQ Testing)，能偵測出許多以邏輯測試法無法測得之障礙。然而在深次微米的領域裏，電晶體的通道減小，次臨界漏電流增加，IDDQ 測試變得很困難。吾人於本子題中將研究以統計方法研究靜態電流與製程關係，以新的觀念配以內建式(或外加式)之電流測量電路，來解決此問題。

三、封閉迴路運算放大器之通用(generalized)障礙模型：

在此子題中，吾人擬提出一通用障礙

模型來描述封閉迴路運算放大器的錯誤行為。它可以描述封閉迴路放大器大部份的直流障礙行為。當它應用於交流電路分析時，吾人擬採用 discrete-time 取樣方式，處理電容效應，如此它亦可用於交流障礙分析。它用於低頻的類比電路障礙模擬，具有既快速又準確的優點。

四、階層式類比電路障礙模型與其於線性線路測試應用：

在此子題中，吾人擬提出階層式障礙模型來簡化一般測試類比電路的複雜度。透過觀察較少數靈敏度較高的元件或參數，就可得知電路是否工作正常。用此階層式障礙模型應用於線性線路測試時，因能幫助選擇易於觀察的參數，使得尋找測試圖樣較為容易。

五、切換電容式線性電路之障礙診斷：

於這個子題中，吾人擬提出一可測試性設計的運算放大器與簡單的控制信號來診斷切換電容線性電路。藉由將切換電容式電路分割成數級，並觀察主要輸出端的訊號，可以逐級地對每一級做診斷。於研究中我們亦將探討運算放大器本身的障礙。

關鍵詞：數位測試、類比測試、靜態電流測試、運算放大器、內建式電流測量電路、障礙模型、串音障礙、障礙診斷、階層式障礙模型、切換電容式線性電路。

Abstract

This project is the continuation of the previous year's project: "Testing, Design and Synthesis for Testability of VLSI.". Based on results obtained from the previous project, it further studies some important topics related on design and testing for VLSI. The topics and details are:

1. Investigation of Coupling Faults on Deep Submicron CMOS Circuits:

In deep submicron VLSI, signal coupling between lines becomes very serious. In this sub-topic, we plan to investigate the coupling faults in the deep submicron CMOS circuit by proposing a coupling glitch model. Based on the derived coupling glitch model, an efficient coupling fault simulator will be developed.

2. IDDQ Testing for Deep Submicron VLSI:

IDDQ testing can test many faults which can not be tested by the conventional logic testing. However, the traditional pass/fail decision making with the IDDQ testing becomes increasingly difficult as the feature size is reduced in the deep sub-micron regime due to the increased transistor sub-threshold leakage current. In this sub-topic, a new approach involves considering the process variation of VLSI to estimate the IDDQ of a VLSI will be adopted. Based on the estimation, a new IDDQ testing scheme, which tests a single chip with many test patterns instead of testing many chips with a few patterns, will be proposed. New test circuits, either built-in on the chip, or external to the chip, will be devised to facilitate the scheme.

3. A Generalized Fault Model for Closed-Loop Operational Amplifier:

In this sub-topic, a generalized fault model to describe the faulty behaviors of a closed-loop OP will be proposed. It can well describe almost all the DC faulty behaviors of the OP connected in the inverting or non-inverting configurations.

When the model is applied to A.C. analysis, incorporated with the discrete-time sampling technique to treat the capacitor effect, it can have the advantages of high speed and high accuracy.

4. Hierarchical Fault Model and Its Application to Linear Circuit Testing

In this sub-topic, a hierarchical fault model approach is to be proposed to decrease the complexity of testing analog circuits. For this hierarchical fault model approach, only elements or parameters which are sensitive need to be considered during testing. This makes finding test patterns be easier.

5. Fault Diagnosis of Switched-Capacitor Type Linear Analog Circuit:

In this sub-topic, we plan to propose an opamp with design-for-testability(DFT) incorporating a simple control scheme to diagnose switched-capacitor (SC) circuits. For this scheme, when diagnosing an SC circuit, we partition the circuit into stages and the circuit is diagnosed in a stage-by-stage fashion. In the study, it is not only to consider capacitor ratio faults but also opamp faults.

Keywords: digital testing, analog testing, IDDQ testing, operational amplifier, built-in current sensor, fault model, coupling fault, fault diagnosis, hierarchical fault model, switched-capacitor type linear analog circuit

II. 緣由與目的

一、於深次微米 CMOS 線路中串音障礙之研究：

由於 VLSI 製造技術之進展，於深次微米 VLSI 之串音障礙變得極為嚴重。線路中任何一傳染線上(affecting line)的信號轉換，由傳輸線的藕合效應，就會導致處於靜態的承受線(victim line)發生串音障礙[1]，甚至繞線的佈局如轉折及近距離重疊等，所造成的高頻效應，也會導致串音的發生[2-3]。因此在深次微米 VLSI 測試中，串音障礙是不可忽視的課題。近幾

年來已有一些報導[1-3]，對此問題作研究，但結果皆屬初階不成熟。故吾人乃決定研究此問題。

於本子題中，吾人擬先研究串音雜訊其可能成為障礙之條件與傳輸之可能性，然後再擬建構一串音障礙模擬器，並利用虛隨機測試圖樣，來產生測試串音障礙之測試圖樣集。

二、深次微米領域之超大型積體電路靜態電流測試：

在傳統的電路中，漏電流很小，所以極易測出不正常電流。然而，當超大型積體電路進入深次微米領域時，由於電晶體的臨界電壓(V_t)減小，電晶體的數目增加，使得漏電流大幅增加，甚至比不正常電流大很多倍，所以在深次微米的領域裏，IDDQ testing 不易應用在超大型積體電路的測試中[4-9]。

於本子題研究中，吾人將對深次微米領域的超大型積體電路作靜態電流之統計分析，考慮晶片製程上之參數變化尋求新的測試方法，並發展新的測試電路使IDDQ testing 更能適用於深次微米領域之超大型積體電路的測試中。

三、封閉迴路運算放大器之通用(generalized)障礙模型：

運算放大器乃類比電路中最基本也是最重要的元件。許多類比電路皆由其為基本建構單元。對於其應用於開迴路(open-loop)的有一些障礙模型被已提出[10-13]。但仔細思考運算放大器，其大多被應用於封閉迴路(closed-loop)中。於封閉迴路，transistor level 之障礙常被 desensitized 甚或 masked。故應有另一障礙模型。於本研究中，吾人即擬對此提出一般化的障礙模型，以期更簡便地來模擬運算放大器在封閉迴路時的障礙行為。初步的研究結果顯示：的確幾乎所有的元件參數性障礙及大部份的巨變性障礙皆可由 offset 及 I_{max} 兩個參數取代。此使得該障礙模型應用於測試圖樣產生及障礙模擬上大大提高了效率。

四、階層式類比電路障礙模型與其於線性線路測試應用：

針對類比電路的測試技巧，主要可分為規格要求推導技巧 (specification-driven)[14] 和障礙模型推導技巧 (fault-model-driven)[15] 兩種。

而隨著電路增大，階層式(Hierarchical)[16]電路分析日益重要，用階層式的電路分析，簡化了電路的複雜性。而再階層式的架構下，最重要的是各階層的參數之間的關係。而探討它們之間的關係，有靈敏度(Sensitivity)[17-18]的分析，藉由元件與各階層的參數之間的靈敏度，找出最佳的參數。[19]則是利用統計方式的技巧，建構一個推理式的模型(inference model)，試圖去找出最佳的參數。於本研究中，吾人即擬提出階層式的障礙模型來簡化類比測試的複雜度，針對階層式電路作研究，找出各階層最有效的參數，並將其建構成障礙模型。吾人希望能建立一通用法則，循此法則以期未來電路日益增大時，能將代表性之障礙尋出，降低障礙偵測複雜度。

五、切換電容式線性電路之障礙診斷：

對於切換電容式電路之測試與診斷技術的研究已有一些方法被提出[20-26]：然而這些方法大都假設運算放大器是理想的，只考慮電容比值的障礙，然而當障礙出現在運算放大器上，對整個電路的效能也會有所影響。除此之外，許多的技巧為了存取內部訊號，都會在訊號路徑上加入切換開關，然而這些額外加入的開關既一方面會對整體電路的效能有所影響，另一方面也會引入雜訊，造成測試與診斷的品質變差。於本子題的研究中，吾人擬採用可測試設計來設計一可控制運算放大器提供測試圖樣，使得額外的切換開關數目可以降至最低，並設計簡單且規律的時脈訊號，將障礙的效應傳遞至輸出，藉由分析輸出訊號的大小，來診斷切換電容式電路中的電容比值障礙與運算放大器的障礙。

III. 結果與討論

一、於深次微米 CMOS 線路中串音障礙之研究：

本子題提出一時序模型以描述雜波的傳播行為，藉由分析雜波的最小振幅、時間與邏輯閘之傳播延遲時間的關係，我們得到一些結論，若一邏輯閘是被另一相同的邏輯閘所推動，則傳播延遲時間與元件尺寸無關，且雜波至少要元件延遲時間的八倍大才能傳遞過去。當一雜波與邊緣訊號同時抵達邏輯閘，則兩訊號抵達時間的相對差距直接反映在輸出端訊號的傳播延遲。當兩雜波抵達邏輯閘時，其相對距離決定了雜波可否在輸出端被觀測到。為驗證本時序模型於模擬時的正確性，我們以此模型去推導電路之響應，並以 SPICE 的模擬結果作比較，其結論相當準確。

二、深次微米領域之超大型積體電路靜態電流測試：

本子題研究中，首先對西元 2006~2012 年之深次微米領域作靜態電流分佈之預估，此預估考慮了製程變動和不同的輸入向量，其中製程變動乃是超大型積體電路之靜態電流變動的最主要因素。靜態電流的期望值幾乎和電路大小成線性關係，而標準誤差大約正比於電路大小的平方根，根據估計結果，本研究提出四種靜態電流測試方法，這四種方法乃是比較兩個不同的輸入向量下或兩個副電路之靜態電流。配合過去計畫中所發展的快速感測方法，應用於自動量測儀或內建電流感測器，量取靜態電流。本子題所發展之方法經實驗驗證，確實對深次微米領域之超大型積體電路提供一準確之靜態電流測試。

三、封閉迴路運算放大器之通用 (generalized) 障礙模型：

吾人于本研究子題中，對封閉迴路運算放大器之障礙行為進行研究，提出一套比傳統障礙模型較為簡便又不失其真實性的新障礙模型，以補偏電壓來描述封閉迴路運算放大器之障礙行為，其中包含有限增益、有限輸入阻抗、以及非零的輸出阻抗。另外，此障礙模型用受限電流來描述許多因速度過快，外接電阻過小或電容過大所引起的失常現象。經驗證，此模型至少可包含 92.5% 的驟變型障礙和 100% 的參數型障礙。針對由封閉迴路運算放大器和非橋式被動元件所組成之類比電路，使用此障礙模型進行障礙模擬，速度將可增快很多。

四、階層式類比電路障礙模型與其於線性線路測試應用：

本研究子題提出一開迴路運算放大器之轉移函數階層的交流障礙模型，並據此推演出封閉迴路運算放大器的轉移函數，其中，吾人針對各種不同之封閉迴路運算放大器的組態，進行此障礙模型的驗證，以顯示其正確性。再者，吾人亦引用一濾波器電路，說明如何建立階層式的障礙模型。此階層式障礙模型亦可於蒙地卡羅分析時取代原運算放大器的複雜電路，改以此障礙模型進行模擬，可大量減低模擬時間。

五、切換電容式線性電路之障礙診斷：

於本子題中，吾人發展出半直流的訊號作為測試圖樣，並使用多重可控制技巧以減低多餘電路面積。此外，透過一訊號傳遞的策略，可在不加開關控制讀取訊號下，得到電路內部節點的訊息。針對運算放大器部分，吾人提出一可測性設計，在障礙診斷過程中，透過此可測性設計，可診斷出運算放大器之運作是否正常。

IV. 成果自評

吾人已完成原提計劃之 71% , 並已發表於國內外之期刊[27-30]、博士論文[31-32]或碩士論文中[33-35]。

V. 參考文獻

- [1] F.H.Branian,Jr., "Transient analysis of lossless transmission lines," Proc. IEEE, 55,2012-2013(1967).
- [2] A.Deutsch, G.V.kopcsay, "High speed signal propagation on lossy transmission lines," IBM J. Res. Develop. Vol 34 No 4 JULY 1990.
- [3] A. Deutsch, G.V.Kopcsay, "When are Transmission-Line Effects Important for On-Chip Interconnections? IEEE Transactions on Microwave theory and techniques," Vol 45, No10, October 1997.
- [4] Ali Keshavarzi, Kaushik Roy and Charles F. Hawkins, "Intrinsic Leakage in Low Power Deep Submicron CMOS ICs", Int. Test Conf., pp.146-155, 1997.
- [5] Antoni Ferre and Joan Figueras, "IDDQ Characterization -in Submicron CMOS", Int. Test Conf., pp.137-155, 1997.
- [6] T.R. Henry and T. Soo, "Burn-in Elimination of a High Volume Microprocessor Using IDDQ", Int. Test Conf., pp.242-249, 1996.
- [7] T.W. Williams, R.H. Dennard and R. Kapur "Iddq Test: Sensitivity Analysis of Scaling", Int. Test Conf., pp.786-792, 1996.
- [8] Manoj Sachdev, "Deep Sub-micron IDDQ Tst Options", p. 942, 1996.
- [9] Anne E. Gattiker and Wojciech Maly, "Current Signatures: Application", pp.147-156, 1996.
- [10] A. Mexiner and W. Maly, "Fault Modeling for the Testing of Mixed Integrated Circuits", Proc. International Test Conference, pp.564-572, 1991.
- [11] C. Y. Pan, K. T. Cheng and S. Gupta, "A Comprehensive Fault Macromodel for Opamps", Proc. IEEE International Conference on CAD, pp.344-348, 1994.
- [12] C. Y. Pan , K. T. Cheng and S. Gupta, "Fault Macromodeling and a Test Strategy for Opamps", Journal of Electronic Testing: Theory and Applications, vol.9, no.3, pp.225-235, Dec. 1996.
- [13] C. Y. Pan , K. T. Cheng, "Fault Macromodeling for Analog/Mixed-Signal Circuits", Proc. International Test Conference, pp.913-922, 1997.
- [14] N. Nagi, A. Chatterjee, A Balivada and J. A. Abraham, "Fault-Based Automatic Test Generator for Linear Analog Circuits", Proc. International Conference on CAD, pp.88-91, 1993.
- [15] S. J. Chang, C. L. Lee and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier", VLSI Test Symposium, pp.267-272, 1997.
- [16] R. Voorakaranam and A. Chatterjee , "Hierarchical Specification-Driven Analog Fault Modeling for Efficient Fault Simulation and Diagnosis", IEEE ITC, pp.903-912, 1997.
- [17] Mustapha Slamani and Bozena Kaminska , "Testing Analog Circuit by Sensitivity Computation," European Design Automatic Conference ,Paris, Feb. 1992, pp. 532-537.
- [18] Hamida, N,B :Kaminska ,B ."Analog Circuit Testing Based on Sensitivity Computation and New Circuit Modeling " Proceedings, International Test Conference 1993 p. 652-61.
- [19] Antoni Ferre and Joan Figueras, "IDDQ Characterization -in Submicron CMOS", Int. Test Conf., pp.137-155, 1997.
- [20] C. Y. Pan , K. T. Cheng and S. Gupta, "Fault Macromodeling and a Test Strategy for Opamps", Journal of Electronic Testing: Theory and Applications, vol.9, no.3, pp.225-235, Dec. 1996.
- [21] J. L. Huertas, A. Rueda, and D. Vazquez , "Testable Switched-Capacitor Filters," IEEE Journal of Solid-State Circuits, vol.28 pp.719-724 July 1993.
- [22] M. Soma, and V. Kolarik, "A Design-for-Test Technique for Switched-Capacitor Filters," VLSI Test Symp. pp.42-47 1994.
- [23] D. Vazquez, A. Rueda, and J. L. Huertas, "A New Strategy for Testing Analog Filters," VLSI Test Symp. pp.36-41 1994.
- [24] H. Ins, and C.Dufaza, "Design for Testability and DC Test of Switched-Capacitor Circuits," Electron. Lett. Vol.32 pp.701-702 April 1996.
- [25] C. Dufaza, and H. Ins, " Test synthesis for DC Test and Maximal Diagnosis of Switched-Capacitor Circuits," VLSI Test Symp. pp.252-260 1997.
- [26] C. Dufaza, and H. Ins, " A BIST-DFT Technique for DC Test of Analog

- Modules,” *Journal of Electronic Testing: Theory and Application (JETTA)* pp.117-133
- [27] S.J.Kuo, C.L.Lee, S.J.Chang, and J.E.Chen, "A DFT for Semic DC Fault Diagnosis for Switch Capacitor Circuits", presented at IEEE European Test Workshop, paper 3A1,1999.
- [28] Y.J.Chang, C.L.Lee, J.E.Chen and C.C. Su, "A Behavior Level Fault Model for the Closed-Loop Operational Amplifier", *J. of Information Science and Engineering*, 1999.
- [29] C.W.Lu, C.L.Lee, C.Su, and J.E.Chen, "Is IDDQ Testing not Applicable for Deep Submicron VLSI in 2010 ? ", 9th ATS accepted for presentation ,2000.
- [30] Y.C.Huang, C.L.Lee, J.E.Chen and C.Su, "A Methodology for Fault Model Development for Hierarchical Linear Systems ",9 th ATS, accepted for presentation ,2000.
- [31] Chin-Wen Lu, "Field Emission Transistor Model and IDDQ Testing for Deep Submicron VLSI," PH D. dissertation of Chin-Wen Lu, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1999.
- [32] Yeong-Jar Chang, "Synthesis and Fault Models for Multi-Valued Logic Circuis and Operational Amplifiers," PH D. dissertation of Yeong-Jar Chang, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1999.
- [33] Sheng-Jer Kuo, "Fault Diagnosis of Switched-Capacitor Circuits," Master Degree dissertation of Sheng-Jer Kuo, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1998.
- [34] Hsien-Hung Wu, "Spike propagation in cell based CMOS circuit and a timing model handling spike," Master Degree dissertation of Hsien-Hung Wu, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1999.
- [35] Yin-Chao Huang, "Hierarchical fault model and its test pattern generation," Master Degree dissertation of Yin-Chao Huang, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1999.