

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

(計畫名稱)  
多頻帶之頻率合成器

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 96-2221-E-009-011-

執行期間：96年8月1日至97年7月31日

計畫主持人：周復芳

共同主持人：

計畫參與人員：吳匯儀、吳俊緯、陳志豪、江沛遠、廖昱舜、魏廉昇、柯智元

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電信工程學系研究所

中華民國 97年 7月 24日

## 一、中文摘要

關鍵字：射頻晶片，壓控震盪器，混波器，除頻器，多工器，頻率合成器

超寬頻(UWB, Ultra WideBand)系統為近年來相當熱門的一項無線通訊的新技術，它與藍芽(Bluetooth)或無線區域網路(WiFi)的系統最大的差別是，它不是操作在單一頻率，反而是操作在3.1~10.6 GHz的頻段中，即有約7500 MHz的頻寬。由於具有相當大的通道容量(channel capacity)，超寬頻系統在無線個人網路(WPAN, wireless personal area network)的應用上，能夠達到高速資料傳輸的需求(>100Mbps)，因此這會是一個在應用上相當具有吸引力的系統。

頻率合成器的架構需要適當的修正，以符合超寬頻系統必須具有非常快速的切換時間(<9.47ns)，由於symbol interval需要312.5nsec且guard time需要9.47 nsec，所以，頻率合成器的鎖定時間需在322 nsec以內[1]。

本計劃為兩年型計劃，第一年計畫的部份為多頻帶頻率合成器的設計：分別採用鎖相迴路的技巧與混波器搭配除頻器直接混頻的方式來實現。

### Abstract

Keyword : *RFIC* , *VCO* , *Mixer* , *Divider* , *Multiplexer* , *Frequency synthesizer*

UWB system is recently one of the most popular wireless communication techniques. Differ from the system of Bluetooth and Wifi, it's not operated in a single frequency. According to the proposal, the carrier frequencies are allocated in the 3.1~10.6 GHz spectrum, which have the bandwidth of 7500MHz. Due to the large channel capacity, the UWB system could achieve the need of high speed data transmission (>100Mbps) in WPNA application. Because the switch time is only several nano seconds in the proposal, the frequency synthesizers for UWB need some modifications. Here a topology is proposed. As proposed in, the symbol interval is 312.5 nsec and the guard time is 9.47 nsec. Therefore, a single PLL has to be locked within 322 nsec. This approach is practical for a conventional frequency synthesizer which is easy to be implemented.

## 二、計畫緣由與目的

在目前所提出適用於超寬頻系統的規範，架構主要可分為：(a)DS-CDMA和(b)MB-OFDM。而其中MB-OFDM的架構可以利用傳統接收機架構來實現射頻前端電路(RF front-end)，並且與其他無線通訊系統(如使用U-NII頻段的802.11a)之間的影響較小，因此MB-OFDM將為本電路所探討的架構。為了達到具有寬頻的特性，所以一般的頻率合成器(frequency synthesizer)並無法適用於此系統中，而必須調整頻率合成器的架構以求能符合超寬頻系統的規範，包括產生出相當大的頻率範圍、具有非常快速的切換時間(<9.47ns)，以及在10GHz附近都能有好的相位雜訊表現(<-86.5 dBc/Hz @ 1MHz)[1]。

## 三、研究成果

### • 應用於多頻帶正交頻率多工超寬頻系統之低功率頻率合成器[2][3]

由於超寬頻系統所規範的鎖定時間必須很短，因此相位邊界設定為  $PM=50^\circ$ ，以及對應的等效阻尼係數為  $\zeta_e(50^\circ)=5$ 。為了考慮由於PVT變異造成的誤差，因此將鎖定時間設定在200 ns，再加上  $f_{step}=528$  MHz 和  $f_{error}=1$  kHz，可以用Eq.(1)求出  $BW=13$  MHz。此外，為了系統的穩定度，參考頻率(reference frequency)通常會大於開迴路頻寬的十倍，因此取  $f_{REF}=264$  MHz 不會讓電路不穩定。

$$BW = \frac{1}{T_{locking} \cdot \zeta_e(PM)} \cdot \ln\left(\frac{f_{step}}{f_{error}}\right) \quad \text{Eq.(1)}$$

根據[2]所提出改善的架構如圖1-1，將除二電路整合至整個鎖相迴路之中，並且除四除五電路改為兩個除二除三電路來實現。這樣做可以降低電路佈局的雜散效應，也能避免在頻率最高的時候需要使用較多的電流模式邏輯電路(CML)來實現雙模態除法器。由於加入一個除二電路，鎖相迴路的參考頻率需降為264 MHz來保持除數依然為整數。不過即使減少參考頻率會造成鎖定時間增加，但是依然能夠滿足MB-OFDM UWB的規格。

本頻率合成器包含了五個部份：(A)四相位多頻帶壓控震盪器、(B)多模態除法器、(C)相位頻率比較器、(D)充電幫浦與迴路濾波器以及(E)兩組二對一多工器。[4][5][6][7]。

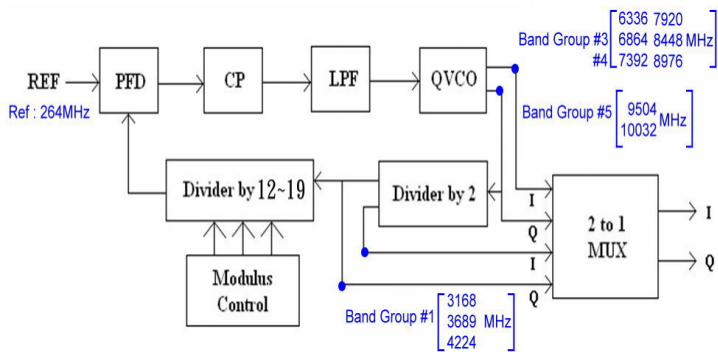


Fig. 1-1 The Block Diagram of the proposed frequency synthesizer

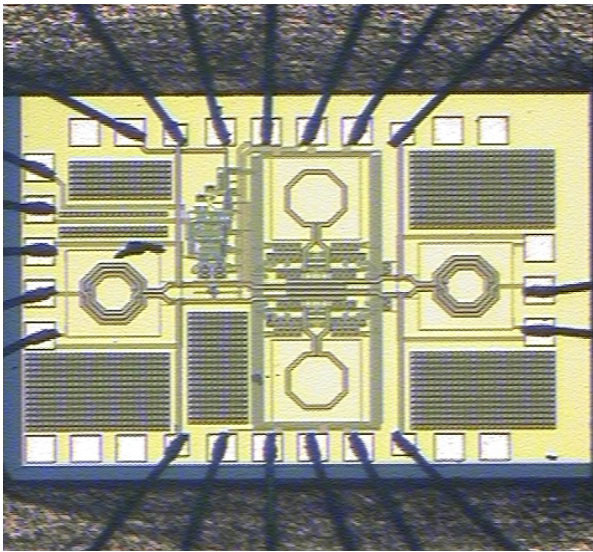


Fig. 1-2 Die Photograph of frequency synthesizer

Table.1 超寬頻系統之低功率頻率合成器模擬量測結果摘要

	Simulation	Measurement
<b>Technology</b>	0.18 $\mu$ m CMOS	
<b>Voltage Supply</b>	1.5 V	
<b>Reference</b>	264 MHz	
<b>Frequency Tuning Range</b>	6.28~9.17 GHz	7.79~9.31 GHz
<b>Average Phase Noise (dBc/Hz)</b>	-111.01 @ 1 MHz	-100 @ 1 MHz
<b>FOM</b>	180.7	170
<b>Power Dissipation</b>	46.35 mW	51.2 mW

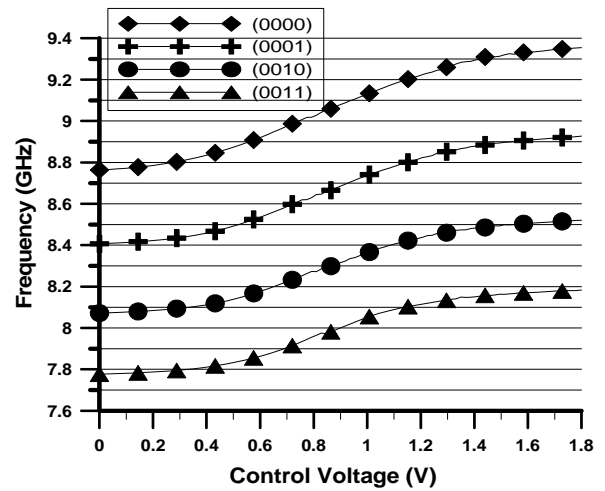


Fig. 1-3 Measured QVCO tuning range

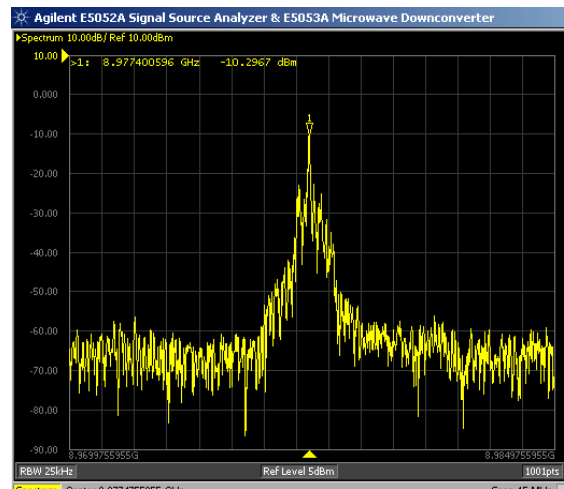


Fig. 1-4 Measured QVCO spectrum at 8.976GHz

• 應用在 10 GHz 的頻率合成器[8][9]

由於 Band Group #5 為 10 GHz 左右的頻帶，設計如此高頻的電路必須有更妥善的考量，因此本計畫中先單獨設計一個在 10 GHz 左右的頻率合成器，其架構如 Fig.2-1，來驗證電路的特性是否符合 MB-OFDM UWB 系統的需求。

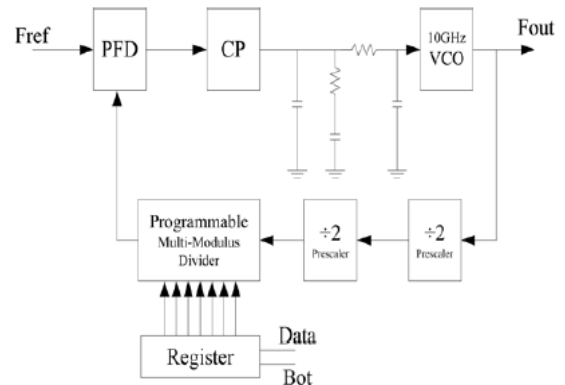


Fig. 2-1 The schematic of 10GHz frequency synthesizer

一般在頻率合成器電路中的除頻器都會選擇使用 phase-switching circuit 或是 programmable pulse-swallow counter。但這類的電路在應用上存在一些限制，因此我們將使用簡單容易設計且延遲時間導致誤差小的可程式化多模態除頻器，來達成快速除頻以及低功率消耗的目的，如Fig. 2-2所示，由七個雙模數頻除頻器 ( $\div 2/3$ ) 串接而成。由於壓控振盪器振盪於10GHz，因此先經由兩級預除器降到2.5GHz，故電路僅有前兩級的的除法器操作在高頻。

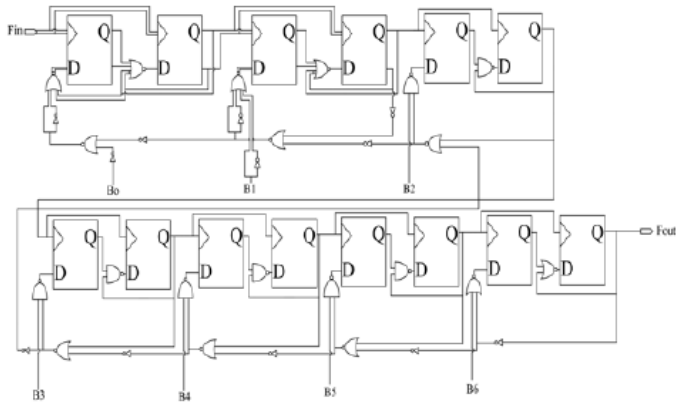


Fig. 2-1 Programmable Multi-Modulus Divider

藉由調整輸入的控制訊號 $B_0 \sim B_6$ ，除數可於128~255 之間整數變動，將訊號降至約數十MHz。可調式除數計算如下：

$$N = 2^7 + \sum_{n=0}^6 b_n \cdot 2^n = 128 + \sum_{n=0}^6 b_n \cdot 2^n$$

Table 2. 與ref[9]模擬的比較

Specification	[9]2006	This work
Fabrication	0.13 m CMOS	0.18 m CMOS
Supply Voltage	1.5V	1.5V
Center Frequency	7.92GHz	10GHz
Tuning Range	7.84~9.41 GHz	9.29~10.9GHz
Tuning Varactors	3	3
Settling Time	1.5ns	25us
Phase Noise @1MHz	-115dBc/Hz	-97.8dBc/Hz
Ref. Frequency	33MHz	16MHz
Die Area	1.3 X 0.7mm <sup>2</sup>	0.998 X 0.7mm <sup>2</sup>
Power Dissipation	62mW	23.55mW

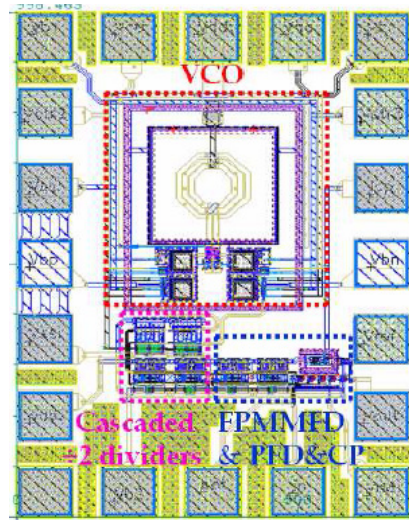


Fig. 2-3 The layout of the 10GHz frequency synthesizer

· 應用於多頻帶正交頻率多工超寬頻系統之低雜訊頻率合成器[10][11][12]

圖3-1為此次頻率合成器提出的架構，利用單一頻率壓控震盪器，結合除法器電路、混波器和切換開關完成極短切換時間(<1ns)之多頻帶輸出之頻率合成器；由8448 MHz VCO 製作為起點，利用除二電路與混波器分別達成6336 MHz、4224 MHz 與2112 MHz 的頻率輸出，並利用混波機制使四相位輸入LO 與RF 訊號輸入雙混波器再進行訊號相加，如此可以有效消除image 效應，並且6336 MHz 訊號能夠得到加成。

一開始先針對頻率合成器其中信號產生器與頻率選擇器的部份做設計並下線以驗證電路的基本特性，之後再結合混波器的部份來產生6336 MHz 的訊號。

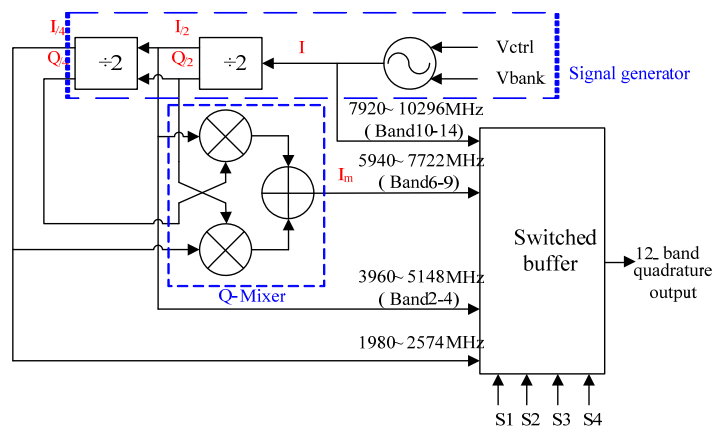


Fig. 3-1 The schematic of direct frequency synthesizer

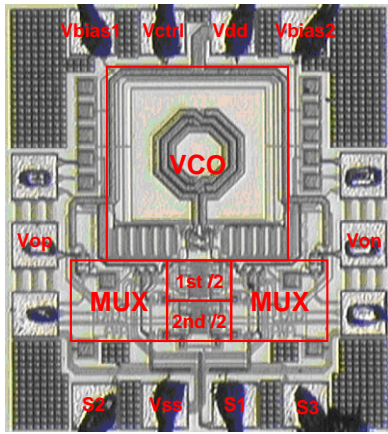
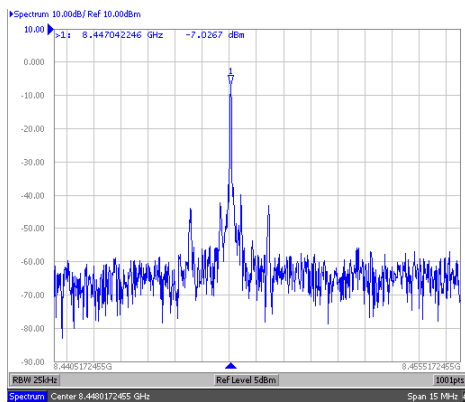
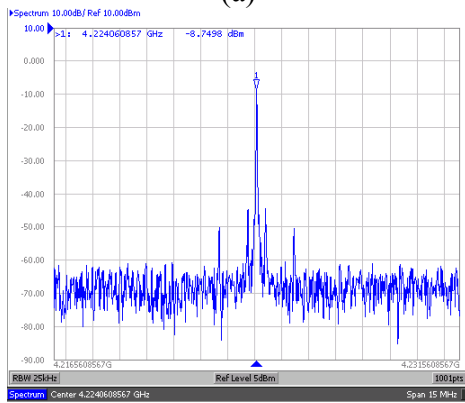


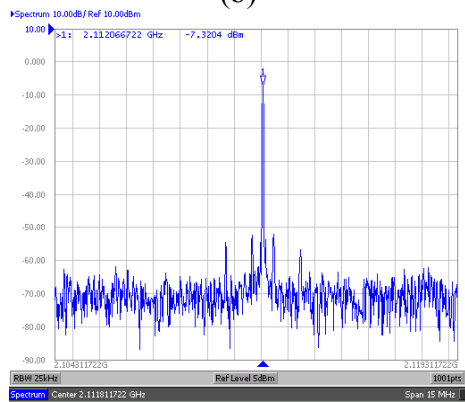
Fig. 3-2 Die Photograph of signal generator



(a)

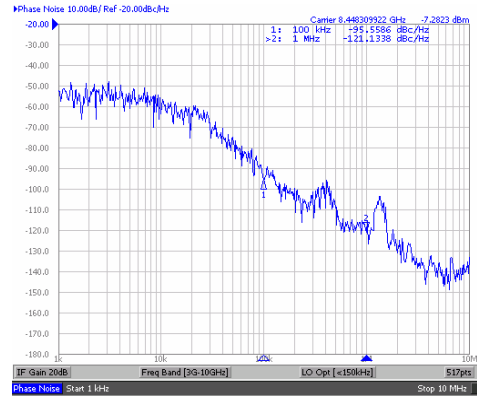


(b)

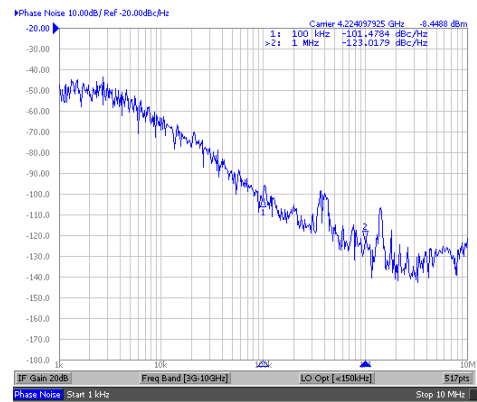


(c)

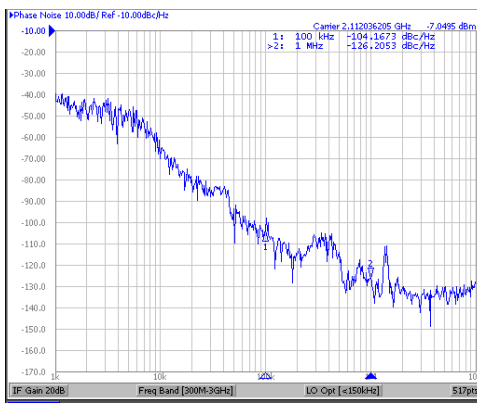
Fig. 3-3 Measurement output spectrum at (a) 8448 MHz (b) 4224MHz (c) 2112 MHz



(a)



(b)



(c)

Fig. 3-4 Measurement phase noise at (a) 8448 MHz (b) 4224 MHz (c) 2112 MHz

#### 四、結論與展望

本計劃利用本實驗室目前關於 synthesizer 方面的研究[1]，(壓控震盪器、混頻器、除頻器)，透過架構上適當的修改，提出了能符合超寬頻系統需求的電路，以 CMOS RF IC 的方式實現整合至 SOC(System-On-Chip)的目標。



Table.2 信號產生器模擬量測結果摘要

Switch mode	Simulation		
	S1	S2	S3
Frequency	8448MHz	4224MHz	2112MHz
Tuning range (MHz)	8292~9196	4146~4598	2073~2299
	10.7%	10.7%	10.7%
Phase noise	-88.5dBc@100KHz (VCO)		
	-116.0dBc@1MHz (VCO)		
Output Power	-1.87dBm	-2.58dBm	2.15dBm
Total power	50.3 mW		

Switch mode	Measurement		
	S1	S2	S3
Frequency	8448MHz	4224MHz	2112MHz
Tuning range (MHz)	7648~8481	3834~4235	1914~2117
	10.3%	9.9%	10.1%
Phase noise (dBc/Hz)	-95.5dBc @ 100KHz	-101.5dBc @ 100KHz	-104.1dBc @ 100KHz
	-121.1dBc @1MHz	-123.0dBc @1MHz	-126.2dBc @1MHz
Output Power	-7.02dBm	-8.75dBm	-7.32dBm
Total power	52.2 mW		

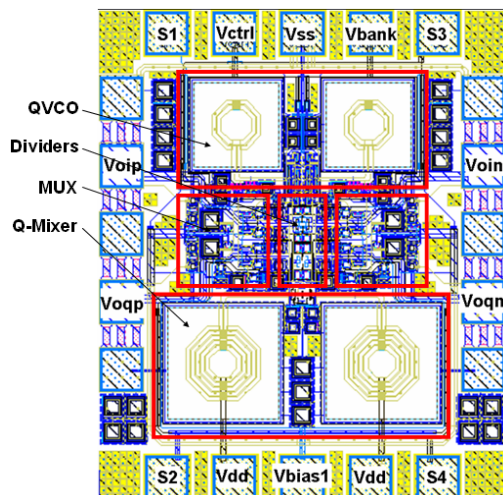


Fig. 3-5 The layout of the multiband frequency synthesizer

五、參考文獻

- [1] C. Mishra, A. Valdes-Garcia, F. Bahmani, A. Batra, E. Sanchez-Sinencio, J. Silva-Martinez, "Frequency Planning and Synthesizer Architectures for Multiband OFDM UWB Radios," *IEEE Transactions on Microwave Theory and Techniques : Accepted for future publication*, Volume PP, Issue 99, 2005
- [2] T. Geum-Young, H. Seok-Bong, K. Tae Young, C. Byoung Gun, P. Seong Su, "A 6.3-9-GHz CMOS fast settling PLL for MB-OFDM UWB applications," *IEEE Journal of Solid-State Circuits*, Volume 40, Issue 8, Aug. 2005 .
- [3] 唐仕豪, 「應用於多頻帶正交分頻多工超寬頻系統之全積體化低功率快速鎖定整數型頻率合成器」, 國立交通大學電信工程所碩士論文, Jun. 2006 .
- [4] Hamid Rategh and Thomas Lee, *Multi-GHz Frequency Synthesis & Division*. Boston: Kluwer Academic Publishers, 2001.
- [5] Mozghan Mansuri, Dean Liu, and Chih-Kong Ken Yang, "Fast Frequency Acquisition Phase-Frequency Detectors for GSamples/s Phase-Locked Loops," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1331-1334, Oct. 2002
- [6] B. De Muer and M. Steyaert, "A 12GHz/128 frequency divider in 0.25  $\mu\text{m}$  CMOS," *European Solid-State Circuits Conference*, pp. 248-251, Sept. 2000.
- [7] Jri Lee, Jian-Yu Ding, and Tuan-Yi Cheng, "A 20-Gb/s 2-to-1 MUX and a 40-GHz VCO in 0.18- $\mu\text{m}$  CMOS technology," *VLSI Circuits Digest of Technical Papers*, pp. 140-143, June 2005
- [8] 田政展, 「應用於多頻帶正交分頻多工超寬頻系統之全積體化低功率快速鎖定整數型頻率合成器」, 國立交通大學電信工程所碩士論文, Jun. 2006 .
- [9] Lee, J.-E., E.-C. Park, C.-Y. Cha, H.-S. Chae, C.-D. Suh, J. Koh, H. Lee, and H.-T. Kim, "A frequency synthesizer for UWB transceiver in *Monolithic Integrated Circuits in RF Systems*, Digest of Papers, *Topical Meeting on Jan. 2006*, 4, 2006, Digital Object Identifier.
- [10] 張博揚, 「應用於超寬頻接收機之低電壓低功率低雜訊放大器與多頻帶頻率合成器」, 國立交通大學電信工程所碩士論文, Jun. 2006 .
- [11] B. Razavi, T. Aytur, F.-R. Yang, R.-H. Yan,

H.-C. Kang, C.-C. Hsu, and C.-C. Lee, "A 0.13 um CMOS UWB transceiver," IEEE Int. Solid-State Circuits Conf. Tech. Dig., Feb. 2005.

- [12] A. Medi and W. Namgoong, "A fully integrated multi-output CMOS frequency synthesizer for channelized receiver," Proc. IEEE Int. System-on-Chip Conf., Sep. 2003.

## 六、附錄

- [1] Lien-Sheng Wei, Christina F. Jou, "Design of low voltage CMOS low-noise amplifier with image-rejection function", has been accepted in Electronics Letters.
- [2] P.-Y. Chiang, C. F. Jou, H.-I. Wu, and Z.-Y. Huang, "A 10~18GHz Wide-band Transformer feedback LNA", IEEE International Workshop on Radio-Frequency Integration Technology, Dec. 9-11, 2007, Singapore
- [3] Zi-Hao Hsiung, Hui-I Wu and Christina F. Jou, "A 3-8 GHz RF Receiver Front-End for Multi-Band UWB Wireless System", Asia-Pacific Microwave Conference, 2007
- [4] Zi-Hao Hsiung, Hui-I Wu and Christina F. Jou, "A Folded Current-Reused Down-Converter Mixer for Ultra Wide-Band Applications", Asia-Pacific Microwave Conference, 2007
- [5] Win-Ming Chang, Hui-I Wu and Christina F. Jou, "A New Sub-harmonic Mixer Using Switched Gm Technique For 802.11a/b/g Dual-Band Receivers", Asia-Pacific Microwave Conference, 2007
- [6] Po Yang Chang, Hui-I Wu, and Christina F. Jou, "A 1-V, Low-Power CMOS LNA for Ultra-wideband Receivers", Asia-Pacific Microwave Conference, 2007
- [7] Po Yang Chang, Hui-I Wu, and Christina F. Jou, "A Quadrature Voltage Controlled Oscillator with 9 Selective Bands for UWB Communication", Asia-Pacific Microwave Conference, 2007

在附錄[1]中，為此計劃在學術會議發表過的相關論文，此外本實驗室在過去一年內，分別發表了[2]-[7]的學術會議論文，分別到了新加坡、泰國，在出國期間達到了學術交流及互相觀摩的目的，並見識與學習到了不少的知識與視野。