

行政院國家科學委員會專題研究計畫成果報告

離散傅利葉轉換之階層式架構設計及實現

Hierarchical Architecture Design and Implementation of Discrete Fourier Transform

計畫編號：NSC 89-2215-E-009-057

執行期限：88年8月1日至89年7月31日

主持人：沈文仁 交通大學電子研究所

一、中文摘要

傳統的管線式架構，是以雙緩衝記憶體之架構來達成重新安排各運算單元的輸出入順序。但是當離散傅利葉轉換運算點數愈來愈大時，緩衝記憶體所佔的面積將會大增，甚至會超過運算單元。針對這個現象，在本計劃中我們將特別著重在降低緩衝記憶體的使用量。利用快速演算法則的特性，提出一個階層式的硬體架構。在此架構下僅需要用單緩衝器記憶體即可完成原先雙緩衝記憶體的工作。如此緩衝記憶體所佔的晶片面積將大幅縮小為原先的一半。而在運算單元方面，由於分散算數法僅需使用到少量的加法器及唯讀記憶體，因此我們利用分散算術法並配合管線式設計來取代運算單元中最佔面積的乘法器。

在計劃中，我們完成這個階層式架構的理論推導及其架構設計。此外，我們還以單晶片方式來實現一個4096點的高速離散傅利葉轉換器晶片以證明本階層式架構的效能及其可行性。使用0.35 μm 製程，此DFT晶片的data rate可達到66MHz，而晶片面積為 $5822 \times 7202 \text{ } \mu\text{m}^2$ 。完成一個4096點的DFT運算僅需要62.06 μs 。

關鍵詞：離散傅利葉轉換、階層式架構

Abstract

Traditional pipelined FFT architectures use the double RAM buffer technique to re-index processing data. However the memory size will become incredibly large when the transfer length is very long. This project proposes a new pipelined hierarchy architecture. By using the single RAM buffer technique, about half of the memory size can

be reduced while keeping the high processing speed. In addition, a 4096-point DFT processor is implemented based on this pipelined hierarchy architecture. Using 0.35 μm technology, the data rate of this DFT chip can achieve 66MHz and the chip area is $5822 \times 7202 \text{ } \mu\text{m}^2$. It takes only 62.06 μs for this DFT processor to complete a 4096-point DFT computation.

Keywords : Discrete Fourier Transform (DFT), Hierarchical Architecture

二、緣由與目的

數位訊號處理的應用近十年來大幅地成長，舉凡在語音處理、影像處理、視頻傳輸、雷達、醫學電子等各方面都已逐漸取代傳統類比訊號處理的地位。而在這些數位訊號處理的應用中，離散傅利葉轉換(Discrete Fourier Transform, DFT)一直扮演著很重要的角色。但是因為離散傅利葉轉換的運算複雜度與其轉換點數的平方成正比，而且在大部份的應用中離散傅利葉轉換所需要運算的點數都很長，因此完成一個離散傅利葉轉換需要極大的運算量。再加上許多系統都要求即時處理，所以要設計一個能以高速處理長點數輸入的離散傅利葉轉換系統是相當困難的。

針對離散傅利葉轉換系統設計上的困難，許多快速演算法則就被發展出來。過去這些快速演算法則大都著眼於以軟體方式來實現離散傅利葉轉換，其焦點在於減低其運算量。但是即使利用這些快速演算法則，以軟體方式來實現離散傅利葉轉換也常不能達到某些應用即時處理長點數輸入的需求。現在因為積體電路製程的快速發展使得我們有機會直接以硬體來完成離散傅利葉轉換。由於這些硬體架構是專為

離散傅利葉轉換而設計的，因此可以達到高速運算的需求。

近年來以硬體設計為基礎的離散傅利葉轉換運算架構陸續被提出，這些硬體運算器在選擇其演算法則時所考慮的重點就有別於以軟體方式來實現，當然盡量減少各種運算的數量還是相當重要，但是更需要考慮在超大型積體電路中各數學運算單元之間通訊的複雜度，因為它可能比數學運算單元更佔晶片面積。所以當我們在選擇演算法則時不但要考慮其運算的數量，還要考慮它的規則性、模組性、區域性、是否易於控制等等。目前以超大型積體電路來實現離散傅利葉轉換運算器的研究所採用的方法非常多，但在架構上大致可以分為以快速法則為基礎、以質因數演算法為基礎和以矩陣乘法為基礎者三類。這三種方式各有其優缺點，而目前國內外各界還是最常使用快速演算法則來實現其晶片設計。

但使用快速演算法則無可避免的會遇到繞線及輸出入序列順序的問題。大部分的設計會採用雙記憶體緩衝器的架構來解決此問題，但是當運算點數愈來愈長時，這些緩衝器所佔的晶片面積會明顯的增加，甚至會超過數學運算單元的面積。所以在以積體電路來實現長點數離散傅利葉轉換時，不僅要考慮到降低運算量，更要考慮如何減少記憶體緩衝器的使用。所以，本計畫希望能擷取快速演算法則的優點，但改善其緩衝記憶體過大的缺點，推導出一個能適用於各種應用的硬體架構。不但可以降低長點數離散傅利葉轉換的運算量，並且使緩衝記憶體的使用大量減少。另外，為驗證本架構的效能，我們也以此硬體架構為基礎，以單晶片積體電路實現一個 4096 點的高速離散傅利葉轉換器。

三、計劃結果與討論

本計畫的目的就是希望能克服離散傅利葉轉換設計上的困難，研發出經濟且實用的演算法則與硬體架構，並根據此硬體架構，以單晶片完成一個能處理四千點連續輸入資料的高速離散傅利葉轉換器。

在演算法則分析方面，一般而言，快速演算法則與質因數演算法則應是比較適

合於長點數離散傅利葉轉換。這兩種演算法則的精神都是將一維的長點數離散傅利葉轉換變換成多維的短點數離散傅利葉轉換以減少其運算量。

首先來看快速演算法則。令輸入點數的長度為 N ，則離散傅利葉轉換可定義如下：

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \quad k = 0, 1, \dots, N-1$$

其中 $W_N = e^{-j(2\pi/N)}$ 。

假設 N 有兩個因數， $N = N_1 \times N_2$ ，令 $n = N_2 n_1 + n_2$ 且 $k = k_1 + N_1 k_2$ 其中 $n_1, k_1 = 0, 1, \dots, N_1 - 1$ $n_2, k_2 = 0, 1, \dots, N_2 - 1$ ，則可得到，

$$\begin{aligned} X(k_1, k_2) &= \sum_{n_2=0}^{N_2-1} \sum_{n_1=0}^{N_1-1} x(n_1, n_2) W_N^{(k_1 + N_1 k_2)(N_2 n_1 + n_2)} \\ &= \sum_{n_2=0}^{N_2-1} W_N^{n_2 k_1} \left(\sum_{n_1=0}^{N_1-1} x(n_1, n_2) W_N^{k_1 N_1} \right) W_N^{k_2 N_2} \\ &= \sum_{n_2=0}^{N_2-1} G(n_2, k_1) W_N^{k_2 N_2} \end{aligned}$$

利用列行分解法，上式中的

$$G(n_2, k_1) = \sum_{n_1=0}^{N_1-1} x(n_1, n_2) W_N^{k_1 N_1}$$

可視為是一個 N_1 點的 DFT 乘上 twiddle factor $W_N^{n_2 k_1}$ 後，再經過另一個 N_2 點的 DFT， $\sum_{n_2=0}^{N_2-1} G(n_2, k_1) W_N^{k_2 N_2}$ ，運算後即可得到 N 點

的 DFT 輸出，圖一是其對應架構的方塊示意圖。同樣的方法可延伸到 r 個因數， $N = N_1 \times N_2 \times N_3 \dots \times N_r$ ，

由圖一我們可看出原來需要 N 點的 DFT 運算，現在僅需 N_1 點加上 N_2 點的 DFT 運算，其運算量確是減低不少。但是每兩級之間的資料必須乘上 twiddle factor，這將需要用到額外的乘法器來完成。此外，由上圖亦可看出因資料的產生順序問題而需要用到 reorder buffer。傳統上，這部分的設計都是採用雙記憶體緩衝器的架構來實現，如圖二所示。

圖二中利用記憶體緩衝器來完成快速法則中複雜的資料繞線與輸出入順序問題。為了使運算資料能不斷地輸入，每一級的緩衝器均需要使用雙記憶體架構，當

其中一個記憶體的資料被讀出時，另一個記憶體則正被寫入新資料。以 64 點 DFT 為例，若輸入為複數，則需要用到 $64 \times 4 \times 2 \times 2 = 1024$ word 的記憶體容量。若是 4096 點的 DFT 則需要 $4096 \times 7 \times 2 \times 2 = 56k$ word 的記憶體容量。由此可看出當運算點數變大後，其所需的記憶體也變得十分龐大。

為解決上述記憶體使用量隨運算點數增加而擴增的問題，我們提出一個新的階層式架構，在此架構下每個記憶體緩衝器將只需要使用單記憶體架構而非傳統的雙記憶體架構。如此一來，記憶體的使用量可以大幅降低為原先的一半。這將使得我們有機會以單晶片來實現長點數 DFT。

必須使用雙記憶體緩衝器的原因是資料寫入與讀出的順序不同，若只使用一個記憶體則會發生舊資料尚未被讀出就被新寫入的資料蓋過的情形。只要能避免這種情形發生就可使用單記憶體緩衝器架構。

最簡單的方法就是令 $N_1 = N_2 = \sqrt{N}$ ，則其記憶體定址架構就如圖三所示。記憶體被視為一個有 \sqrt{N} 行乘上 \sqrt{N} 列的矩陣。任一記憶體位置 (i, j) 的地址就是 $i + \sqrt{N} \times j$ 。而每次讀出及寫入的順序就如下所述。

Initial Write Operation:

```
for (i=0; i<√N; i++)
  for (j=0; j<√N; j++)
    write data at address (i+√N×j);
```

在 initial write operation 時先按照列的方向將第一組資料寫入。之後則按照行的方向將資料讀出並同時將第二組新資料寫入同一位置。其動作如下：

Read/Write Operation 1:

```
for (j=0; j<√N; j++)
  for (i=0; i<√N; i++)
    read data from address (i+√N×j);
    write data at address (i+√N×j);
```

既然第二組資料是以行的方向寫入，所以接著應該以列的方向讀出，同時將第三組資料寫入。其動作如下：

Read/Write Operation 2:

```
for (i=0; i<√N; i++)
  for (j=0; j<√N; j++)
    read data from address (i+√N×j);
```

write data at address (i+√N×j);

接下來只要不斷重複 operation 1 及 2 即可以在不影響速度的情形下以單記憶體完成 reorder 的工作。

基於這個單記憶體讀寫方式，我們提出一個適於計算 N 點 DFT 的階層式管線架構。如圖四所示，首先我們將 N 點 DFT 拆成兩個 \sqrt{N} 點的 DFT。如此我們就可以 3 個單記憶體緩衝器及 2 個 \sqrt{N} 點的 DFT 單元來實現 N 點 DFT 的運算。若是 \sqrt{N} 點的 DFT 單元仍然太大，我們可以再進一步將其分解為兩個 $\sqrt{\sqrt{N}}$ 點的 DFT。這個步驟可持續到最後被分解出來的短點數 DFT 單元是可用合理晶片面積來實現為止。

以 4096 點 DFT 運算為例，使用此架構只需要 4 個 8 點的 DFT 單元以及 $3 \times 4096 + 2(3 \times 64) = 12,672$ -word 的記憶體。若以傳統的管線式架構則需要，4 個 8 點的 DFT 單元以及 24,720-word 的記憶體

至於短點數離散傅利葉轉換的設計，在計劃中我們採用分散算術法(Distributed Arithmetic, DA)。因為分散算術法在硬體上只需要用到少量加法器與唯讀記憶體，透過適當的安排可使唯讀記憶體的與大小與加法器的數目達到最少，相較於直接實現乘法器可以節省極多的硬體花費。

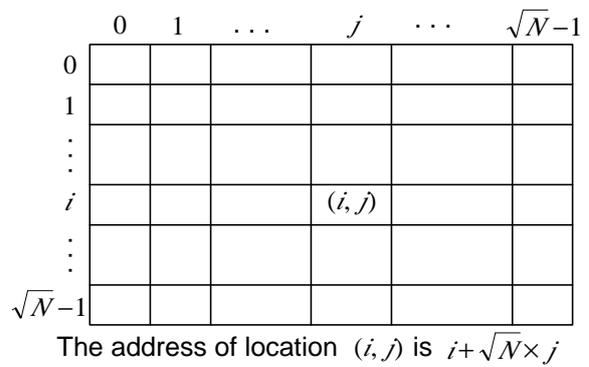
在 VLSI 實現方面，我們採用 TSMC 0.35 μ m 1P4M 的 CMOS 製程，利用 CIC 提供的單元資料庫及設計輔助軟體完成如圖五所示的晶片。其面積大約為 $5822 \times 7202 \sim m^2$ ，資料處理速率可達 66MHz。計算一組 4096 點的 DFT 僅需 62.06 μ s。

由於長點數 DFT 的應用極為廣泛，例如在 ADSL、Digital Audio Broadcasting 等系統中都會用到。本計劃的成果可適用於這些長轉換點數及高速處理的運用。未來若能 IP 化，更可適用於 SOC 整合。

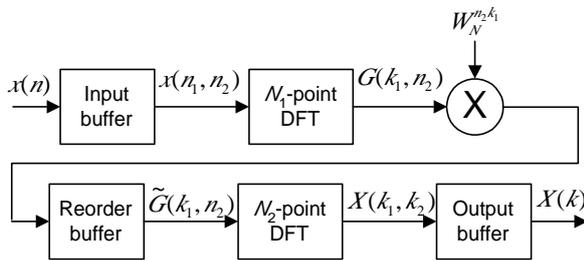
四、參考文獻

- [1] A. V. Oppenheim and R. W. Schaffer, *Discrete-Time Signal processing*, Prentice Hall, 1989.
- [2] L. R. Rabiner and B. Gold, *Theory and Application of Digital Signal processing*, Englewood Cliffs, NJ:Prentice Hall, 1975.

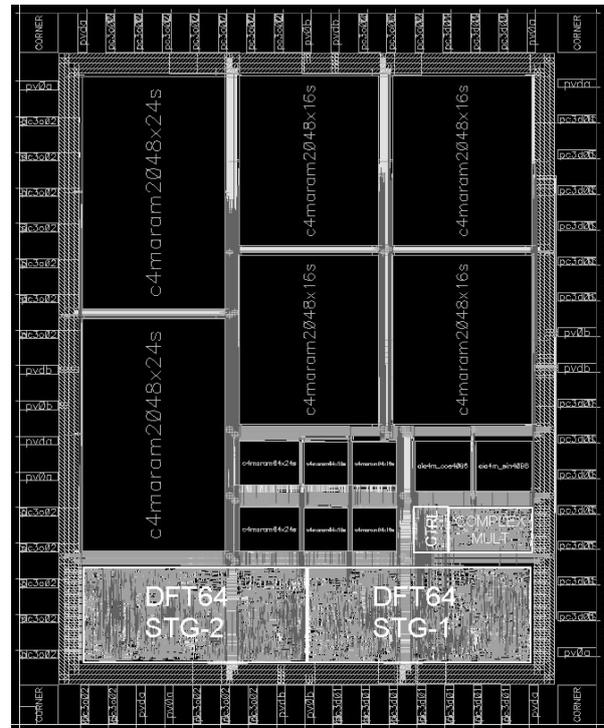
- [3] R. E. Blahunt, *Fast Algorithms for Digital Signal Processing*, Addison-Wesley, 1985.
- [4] E.H.Wold and A.M.Despain, "Pipeline and parallel-pipeline FFT processors for VLSI implementations," *IEEE Transaction on Computers*, Vol. c-33, May 1984
- [5] S. I. Sayegh, "A pipelin Processor for mixed-size FFT's", *IEEE Transaction on Signal Processing*, Vol. 40, Aug. 1992
- [6] Y. U. Ma, "A VLSI-oriented parallel FFT algorithm," *IEEE Transaction on Signal Processing*, Vol. 44, Feb. 1996
- [7] E. Bidet, D. Castelain, C. Joanblanq, and P. Senn, "A fast single-chip implementation of 8192 complex point FFT", *IEEE Journal of Solid-State Circuits*, Vol.30, Mar. 1995.



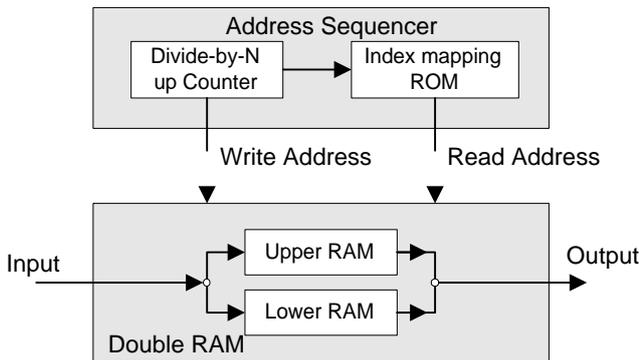
圖三、單記憶體緩衝器定址結構



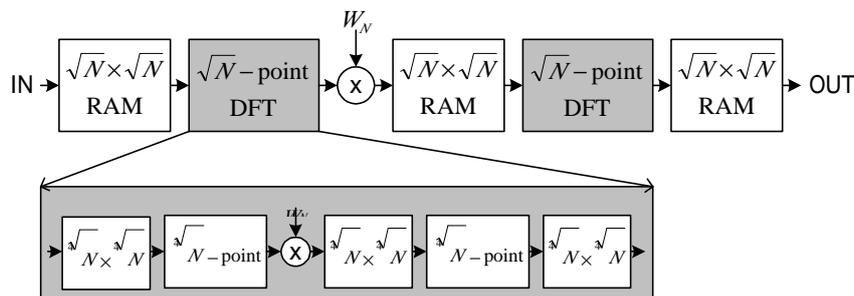
圖一、快速演算法則硬體架構示意圖



圖五、4096 點 DFT 處理器晶片



圖二、雙記憶體緩衝器架構



圖四、N 點 DFT 的階層管線式架構

行政院國家科學委員會補助專題研究計畫成果報告

離散傅利葉轉換之階層式架構設計及實現

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 89-2215-E-009-057

執行期間：88年08月01日至89年07月31日

計畫主持人：沈文仁

共同主持人：

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子研究所

中 華 民 國 89 年 8 月 1 日