

(21)申請案號：101117524

(22)申請日：中華民國 101 (2012) 年 05 月 17 日

(51)Int. Cl. : **G06F7/57 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72)發明人：劉志尉 LIU, CHIH WEI (TW)；張國強 CHANG, KUO CHIANG (TW)；歐士豪 OU, SHIH HAO (TW)；陳鈺文 CHEN, YU WEN (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：9 項 圖式數：3 共 21 頁

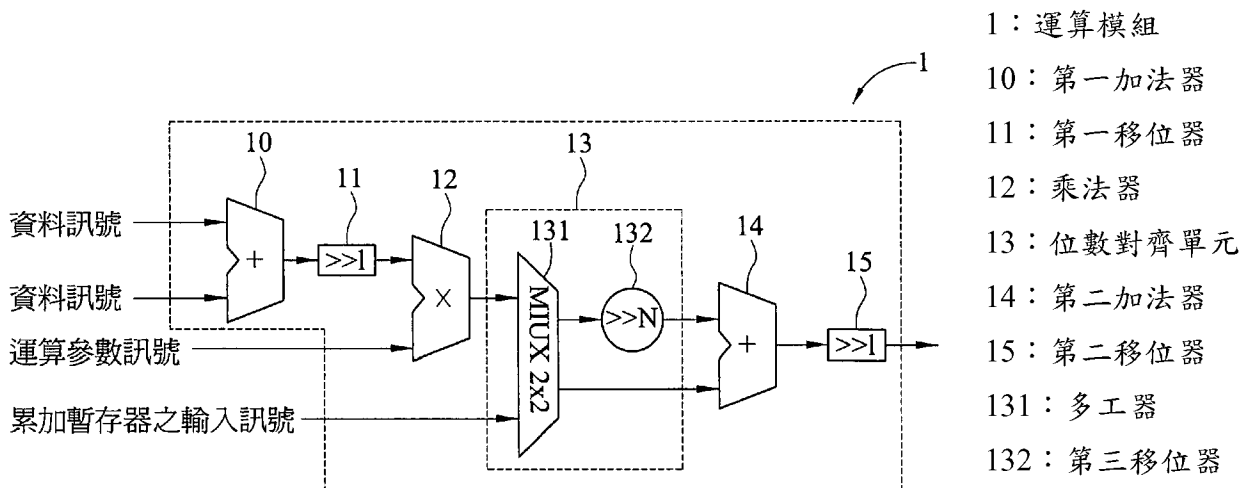
(54)名稱

運算模組、裝置及系統

ALGORITHM MODULE, DEVICE AND SYSTEM

(57)摘要

一種運算模組，係設計為串接式資料路徑，包括第一加法器、耦接至該第一加法器的第一移位器、耦接至該第一移位器且接收外部之運算參數訊號的乘法器、耦接至該乘法器之位數對齊單元、耦接至該位數對齊單元之第二加法器以及耦接至該第二加法器的第二移位器。本發明之運算模組藉由串接式資料路徑之設計，相較於純量處理器，可有效地減少整體運算時間，且相較於多指令分發處理器具有更少的輸出端及輸入端之需求，因此可大幅降低數位訊號處理器之功率消耗。



第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101117524

※申請日：101.5.17

※IPC分類：

G06F 7/57 (2006.01)

一、發明名稱：(中文/英文)

運算模組、裝置及系統

ALGORITHM MODULE, DEVICE AND SYSTEM

二、中文發明摘要：

一種運算模組，係設計為串接式資料路徑，包括第一加法器、耦接至該第一加法器的第一移位器、耦接至該第一移位器且接收外部之運算參數訊號的乘法器、耦接至該乘法器之位數對齊單元、耦接至該位數對齊單元之第二加法器以及耦接至該第二加法器的第二移位器。本發明之運算模組藉由串接式資料路徑之設計，相較於純量處理器，可有效地減少整體運算時間，且相較於多指令分發處理器具有更少的輸出端及輸入端之需求，因此可大幅降低數位訊號處理器之功率消耗。

三、英文發明摘要：

Disclosed is an algorithm module having a serial connection type data route design, comprising a first addition device, a first replacement device coupled to the first addition device, a multiplication device coupled to the first replacement device for receiving signals of algorithm parameters from outside, a digit alignment unit coupled to the multiplication device, a second addition device coupled to the digit alignment unit and a second replacement device coupled to the second addition device. By the serial connection data route design, the invention effectively reduces the overall algorithm time compared to the conventional pure volume processors, and also has less output and input terminals as compared to multi-command distribution processors, thereby significantly reducing the power consumption of digital signal processors.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|--------|
| 1 | 運算模組 |
| 10 | 第一加法器 |
| 11 | 第一移位器 |
| 12 | 乘法器 |
| 13 | 位數對齊單元 |
| 131 | 多工器 |
| 132 | 第三移位器 |
| 14 | 第二加法器 |
| 15 | 第二移位器 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種運算模組、裝置及系統，尤其是關於一種用於數位訊號處理器之運算模組、裝置及系統。

【先前技術】

隨著行動裝置於電子產業中之蓬勃發展，電子產品也逐漸要求薄型化、輕量化且高性能。然而，受限於行動裝置之體積大小，其電池容量亦隨之減少，故降低行動裝置中電子元件之功率消耗以延長電池使用時間，已成為目前重要之課題。

又，由於現今電子產品之生命週期越來越短暫。因此，可程式化之核心電路，以令多數系統功能可以軟體形式呈現，從而使設計者利用軟體的彈性更輕易地調整功能、提高重覆使用率、縮短設計時間，亦為目前電子產品之趨勢。例如數位訊號處理器(Digital Signal Processor, DSP)即為一可程式化之通用處理器，其指令集和架構則專門針對數位訊號應用而特別強化設計。

惟，習知之數位訊號處理器主要可採用純量處理器(Scalar)或多指令分發(Multi-issue)處理器，其中，純量處理器一次僅能處理一個指令，故運算效率不佳，若為了提升純量處理器之運算效率，又將造成面積及功率消耗較大之問題。另一方面，多指令分發處理器將運算單元平行地配置在一起並平行地做運算，因此，每一個指令在運算週期時間較短。然而，多指令分發處理器之輸入與輸出

端的硬體複雜度隨著運算單元之增加而增加，例如在超長指令（Very lLong Instruction Word, VLIW）處理器中，以 N 個算術單元而言，其暫存器組之輸入埠及輸出埠的需求將造成面積與延遲會隨著 N^3 與 $N^{3/2}$ 比例成長。

因此，如何對數位訊號處理器中之運算模組進行改良以降低功率損耗，遂成為本領域中目前亟待解決的課題。

【發明內容】

為解決前述習知技術之缺點，本發明之目的在於提供一種串接式資料路徑設計之運算模組，包括第一加法器，係具有接收外部之資料訊號之二輸入端以及將所產生之第一加法結果訊號輸出之一輸出端；第一移位器，係耦接至該第一加法器之輸出端，以接收該第一加法器產生之第一加法結果訊號；乘法器，係具有第一輸入端、第二輸入端以及將所產生之乘法結果訊號輸出之一輸出端，其中，該乘法器之第一輸入端係耦接至該第一移位器，且該第二輸入端係用以接收外部之運算參數訊號；位數對齊單元，係耦接至該乘法器之輸出端以接收該乘法器所產生之乘法結果訊號，以使該乘法結果訊號與來自外部之累加暫存器之輸入訊號的位數對齊；第二加法器，係具有二輸入端以及將所產生之第二加法結果訊號輸出之一輸出端，其中，該第二加法器之二輸入端與該位數對齊單元耦接；以及第二移位器，係耦接至該第二加法器之輸出端，用以接收該第二加法器所產生之第二加法結果訊號。

前述之運算模組中，該位數對齊單元復包括多工器，

係具有相對之第三與第四輸入端及二輸出端，其中，該第三輸入端係用以接收該乘法器之乘法結果訊號，且該第四輸入端係用以接收來自外部之該累加暫存器之輸入訊號；以及第三移位器，係耦接至該多工器之一輸出端，其中，該多工器係依據預定控制規則選擇該乘法器之乘法結果訊號或該來自外部之該累加暫存器之輸入訊號作為該第三移位器之輸入訊號。

又，前述之運算模組係利用已知係數之極值(peak value)分析，估算執行時可能產生之最大數值，再利用該第一移位器及該第二移位器係分別將該第一加法結果訊號以及該第二加法結果訊號的數值正規化至 0.5 到 1 之間。

本發明復提供一種運算裝置，包括控制器，係具有複數輸入端及輸出端，用以接收外部之訊號與資料，並輸出控制訊號及該運算裝置之結果訊號；儲存單元，係耦接至該控制器以接收該控制器之控制訊號，以對應輸出所儲存之微指令、資料及運算參數；以及前述之運算模組，係用以接收該儲存單元之指令及資料以進行數值運算。

本發明又提供一種運算系統，包括資料記憶體；程式記憶體，係用以儲存控制指令集；前述之運算裝置；以及處理器，係與該資料記憶體、該程式記憶體及該運算裝置耦接，且依據程式設計者撰寫之程式碼控制處理器行為，以獨自進行數值運算或控制該運算裝置進行數值運算。

相較於習知技術，本發明之運算模組藉由串接式資料路徑之設計，相較於純量處理器之單一指令單一運算，可

有效地減少整體運算時間，，且相較於多指令分發處理器具有更少的輸出端及輸入端之需求，因此可大幅降低數位訊號處理器之功率消耗。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，本領域中具有通常知識者可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用。

第 1 圖係為本發明之運算模組之實施例的架構示意圖。如圖所示，本發明之運算模組 1 包括第一加法器 10、第一移位器 11、乘法器 12、位數對齊單元 13、第二加法器 14 以及第二移位器 15，其中，本發明之運算模組 1 係使用串接式資料路徑之設計，以避免習知之多指令分發處理器中將運算單元平行配置，所造成之輸入與輸出端的硬體複雜度提高之問題。

該第一加法器 10 係具有接收外部之資料訊號之二輸入端，以及將所產生之第一加法結果訊號輸出之一輸出端。

該第一移位器 11，係耦接至該第一加法器 10 之輸出端，以接收該第一加法器 10 產生之第一加法結果訊號。

於一較佳態樣中，該運算模組 1 係依據靜態浮點數 (Static Floating Point, SFP) 演算法，利用該第一移位器 11 將該第一加法結果訊號的數值正規化至 0.5 到 1 之間，其中，靜態浮點數演算法使用小數定點表示法，將運算過程中表示位數的最大值自動捨去太小之數值，增加

位數之使用率，並且在設計時先使用最大數值分析法，記錄何時需要調整資料位數，以預防溢位的情況發生。此些運算過程皆係於靜態時間分析完成，相對於浮點數運算係於動態時間處理位數對齊與正規化運算，可節省功率消耗。又，藉由將該第一加法結果訊號經極值分析後的最大可能數值正規化至 0.5 到 1 之間，可提供較佳之資料位數使用率與運算精確度。因靜態浮點數演算法係於靜態時間使用軟體(例如，C model)計算中間暫存值與移動暫存值的範圍，可省去額外用以表示小數點位置之位數。因此本發明之運算模楚具有浮點數表示法之精確度以及固定點表示法之較低的硬體複雜度。

該乘法器 12 係具有第一輸入端、第二輸入端以及將所產生之乘法結果訊號輸出之一輸出端，其中，該乘法器 12 之第一輸入端係耦接至該第一移位器 11，且該第二輸入端係用以接收外部之運算參數訊號。

該位數對齊單元 13 係耦接至該乘法器 12 之輸出端，以接收該乘法器 12 所產生之乘法結果訊號，以使該乘法結果訊號與來自外部之累加暫存器之輸入訊號的位數對齊。

於一較佳實施態樣中，該位數對齊單元 13 復包括多工器 131 以及第三移位器 132。

該多工器 131 係具有相對之第三與第四輸入端及二輸出端，其中，該第三輸入端係用以接收該乘法器 12 之乘法結果訊號，且該第四輸入端係用以接收來自外部之該累加暫存器之輸入訊號。

該第三移位器 132 係耦接至該多工器 131 之一輸出端，其中，該多工器 131 係依據預定控制規則選擇該乘法器 12 之乘法結果訊號或該來自外部之該累加暫存器之輸入訊號作為該第三移位器 132 之輸入訊號。

該第二加法器 14 係具有二輸入端以及將所產生之第二加法結果訊號輸出之一輸出端，其中，該第二加法器 14 之二輸入端與該位數對齊單元 13 耦接。

該第二移位器 15 係耦接至該第二加法器 14 之輸出端，用以接收該第二加法器 14 所產生之第二加法結果訊號，並輸出第二移位結果訊號至外部之累加暫存器。

於一較佳實施態樣中，該運算模組 1 係依據靜態浮點數演算法，利用該第二移位器 15 將該第二加法結果訊號的數值正規化至 0.5 到 1 之間。

第 2 圖係為本發明之運算裝置之實施例的架構示意圖。如圖所示，本發明之運算裝置 2 包括控制器 20、儲存單元 21 以及運算模組 22。

該控制器 20 係具有複數輸入端及輸出端，用以接收外部之訊號與資料，並輸出控制訊號及該運算裝置之結果訊號。

於一較佳實施態樣中，該控制器 20 復包括控制暫存器 201，用以儲存開頭位址(head address)、結尾位址(tail address)、延遲線起始位址(delay line start address)、延遲線結束位址(delay line end address)、運算參數起始位址(coefficient start address)以及微指

令起始位址(microinstruction start address)。

該儲存單元 21 係耦接至該控制器 20 以接收該控制器 20 之控制訊號，以對應輸出所儲存之微指令 211、資料 212 及運算參數 213。

該運算模組 22 係用以接收該儲存單元 21 之指令及資料以進行數值運算，其內部結構與前述之運算模組 1 相同，故在此不予贅述。

第 3 圖係為本發明之運算系統之實施例的架構示意圖。如圖所示，本發明之運算系統 3 包括資料記憶體 30、程式記憶體 31、運算裝置 32 以及處理器 33，其中，該運算裝置 32 係與前述之運算裝置 2 相同，故在此不予贅述。

該資料記憶體 30 係用以儲存待運算之資料、運算過程之中間結果以及運算後之最終結果。

該程式記憶體 31 係用以儲存控制指令集。

該處理器 33 係與該資料記憶體 30、該程式記憶體 31 及該運算裝置 32 耦接，且依據程式設計者撰寫之程式碼控制處理器行為，以獨自進行數值運算或控制該運算裝置進行數值運算。

於一較佳實施態樣中，該處理器 33 係為精簡化指令集處理器，其精簡化指令集架構可為 ARM 之指令，其中，共包含二十五個指令：LDR 與 STR 係為儲存與提取指令，以將外部資料與內部資料做交換。LI、LSI、LLR、ADDI、ADD、SUBI、SUB、FMUL、ASR、LSR、LSL、MVN、AND 與 ORR 用以對暫存器數值作運算。CMP 係為改變狀態暫存器指

令。B、BL、BR 與 B <cond> 為程式流程之控制指令。NOP 表示不作操作，Trap 係為程式結束。

綜上所述，本發明之運算模組、裝置及系統利用靜態浮點數演算法以及串接式資料路徑之設計，使運算模組、裝置及系統之面積及功率消耗減小，並維持數位訊號處理所需要之高準確度。

上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何本領域中具有通常知識者均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。

【圖式簡單說明】

第 1 圖係為本發明之運算模組之實施例的架構示意圖；

第 2 圖係為本發明之運算裝置之實施例的架構示意圖；以及

第 3 圖係為本發明之運算系統之實施例的架構示意圖。

【主要元件符號說明】

- | | |
|-----|--------|
| 1 | 運算模組 |
| 10 | 第一加法器 |
| 11 | 第一移位器 |
| 12 | 乘法器 |
| 13 | 位數對齊單元 |
| 131 | 多工器 |

132	第三移位器
14	第二加法器
15	第二移位器
2	運算裝置
20	控制器
201	控制暫存器
21	儲存單元
211	微指令
212	資料
213	運算參數
22	運算模組
3	運算系統
30	資料記憶體
31	程式記憶體
32	運算裝置
33	處理器

七、申請專利範圍：

1. 一種運算模組，係設計為串接式資料路徑，包括：

第一加法器，係具有接收外部之資料訊號之二輸入端以及將所產生之第一加法結果訊號輸出之一輸出端；

第一移位器，係耦接至該第一加法器之輸出端，以接收該第一加法器產生之第一加法結果訊號；

乘法器，係具有第一輸入端、第二輸入端以及將所產生之乘法結果訊號輸出之一輸出端，其中，該乘法器之第一輸入端係耦接至該第一移位器，且該第二輸入端係用以接收外部之運算參數訊號；

位數對齊單元，係耦接至該乘法器之輸出端以接收該乘法器所產生之乘法結果訊號，以使該乘法結果訊號與來自外部之累加暫存器之輸入訊號的位數對齊；

第二加法器，係具有二輸入端以及將所產生之第二加法結果訊號輸出之一輸出端，其中，該第二加法器之二輸入端與該位數對齊單元耦接；以及

第二移位器，係耦接至該第二加法器之輸出端，用以接收該第二加法器所產生之第二加法結果訊號，並輸出第二移位結果訊號至外部之累加暫存器。

2. 如申請專利範圍第 1 項所述之運算模組，其中，該位數對齊單元復包括：

多工器，係具有相對之第三與第四輸入端及二輸

出端，其中，該第三輸入端係用以接收該乘法器之乘法結果訊號，且該第四輸入端係用以接收來自外部之該累加暫存器之輸入訊號；以及

第三移位器，係耦接至該多工器之一輸出端，其中，該多工器係依據預定控制規則選擇該乘法器之乘法結果訊號或該來自外部之該累加暫存器之輸入訊號作為該第三移位器之輸入訊號。

3. 如申請專利範圍第 1 項所述之運算模組，其中，該第一移位器及該第二移位器係分別將該第一加法結果訊號以及該第二加法結果訊號的數值正規化至 0.5 到 1 之間。

4. 一種運算裝置，包括：

控制器，係具有複數輸入端及輸出端，用以接收外部之訊號與資料，並輸出控制訊號及該運算裝置之結果訊號；

儲存單元，係耦接至該控制器以接收該控制器之控制訊號，以對應輸出所儲存之微指令、資料及運算參數；以及

運算模組，係設計為串接式資料路徑，用以接收該儲存單元之微指令及資料以進行數值運算，包括：

第一加法器，係具有接收該儲存單元之資料之二輸入端以及將所產生之第一加法結果訊號輸出之一輸出端；

第一移位器，係耦接至該第一加法器之輸出

端，以接收該第一加法器產生之第一加法結果訊號；

乘法器，係具有第一輸入端、第二輸入端以及將所產生之乘法結果訊號輸出之一輸出端，其中，該乘法器之第一輸入端係耦接至該第一移位器，且該第二輸入端係用以接收該儲存單元之運算參數；

位數對齊單元，係耦接至該乘法器之輸出端以接收該乘法器所產生之乘法結果訊號，以使該乘法結果訊號與來自外部之累加暫存器之輸入訊號的位數對齊；

第二加法器，係具有二輸入端以及將所產生之第二加法結果訊號輸出之一輸出端，其中，該第二加法器之二輸入端與該位數對齊單元耦接；以及

第二移位器，係耦接至該第二加法器之輸出端，用以接收該第二加法器所產生之第二加法結果訊號，並輸出第二移位結果訊號至外部之累加暫存器。

5. 如申請專利範圍第 4 項所述之運算裝置，其中，該控制器復包括控制暫存器，用以儲存開頭位址、結尾位址、延遲線起始位址、延遲線結束位址、運算參數起始位址以及微指令起始位址。
6. 如申請專利範圍第 4 項所述之運算裝置，其中，該位

數對齊單元復包括：

多工器，係具有相對之第三與第四輸入端及二輸出端，其中，該第三輸入端係用以接收該乘法器之乘法結果訊號，且該第四輸入端係用以接收來自外部之該累加暫存器之輸入訊號；以及

第三移位器，係耦接至該多工器之一輸出端，其中，該多工器係依據預定控制規則選擇該乘法器之乘法結果訊號或該來自外部之該累加暫存器之輸入訊號作為該第三移位器之輸入訊號。

7. 如申請專利範圍第 4 項所述之運算裝置，其中，該第一移位器及該第二移位器係分別將該第一加法結果訊號以及該第二加法結果訊號的數值正規化至 0.5 到 1 之間。

8. 一種運算系統，包括：

資料記憶體；

程式記憶體，係用以儲存控制指令集；

運算裝置，係包括：

控制器，係具有複數輸入端及輸出端，用以接收外部之訊號與資料，並輸出控制訊號及該運算裝置之結果訊號；

儲存單元，係耦接至該控制器以接收該控制器之控制訊號，以對應輸出所儲存之微指令、資料及運算參數；

運算模組，係設計為串接式資料路徑，用以

接收該儲存單元之指令及資料以進行數值運算，包括：

第一加法器，係具有接收該儲存單元之資料之二輸入端以及將所產生之第一加法結果訊號輸出之一輸出端；

第一移位器，係耦接至該第一加法器之輸出端，以接收該第一加法器產生之第一加法結果訊號；

乘法器，係具有第一輸入端、第二輸入端以及將所產生之乘法結果訊號輸出之一輸出端，其中，該乘法器之第一輸入端係耦接至該第一移位器，且該第二輸入端係用以接收該儲存單元之運算參數；

位數對齊單元，係耦接至該乘法器之輸出端以接收該乘法器所產生之乘法結果訊號，以使該乘法結果訊號與來自外部之累加暫存器之輸入訊號的位數對齊；

第二加法器，係具有二輸入端以及將所產生之第二加法結果訊號輸出之一輸出端，其中，該第二加法器之二輸入端與該位數對齊單元耦接；以及

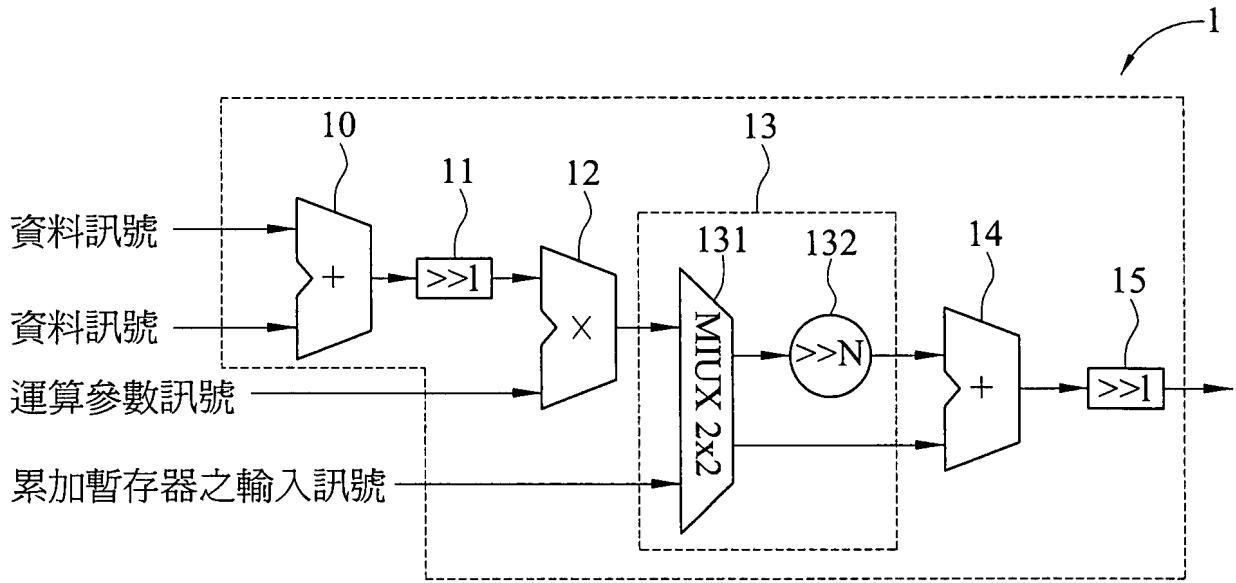
第二移位器，係耦接至該第二加法器之輸出端，用以接收該第二加法器所產生之第二加法結果訊號，並輸出第二移位結果訊號

至外部之累加暫存器；以及

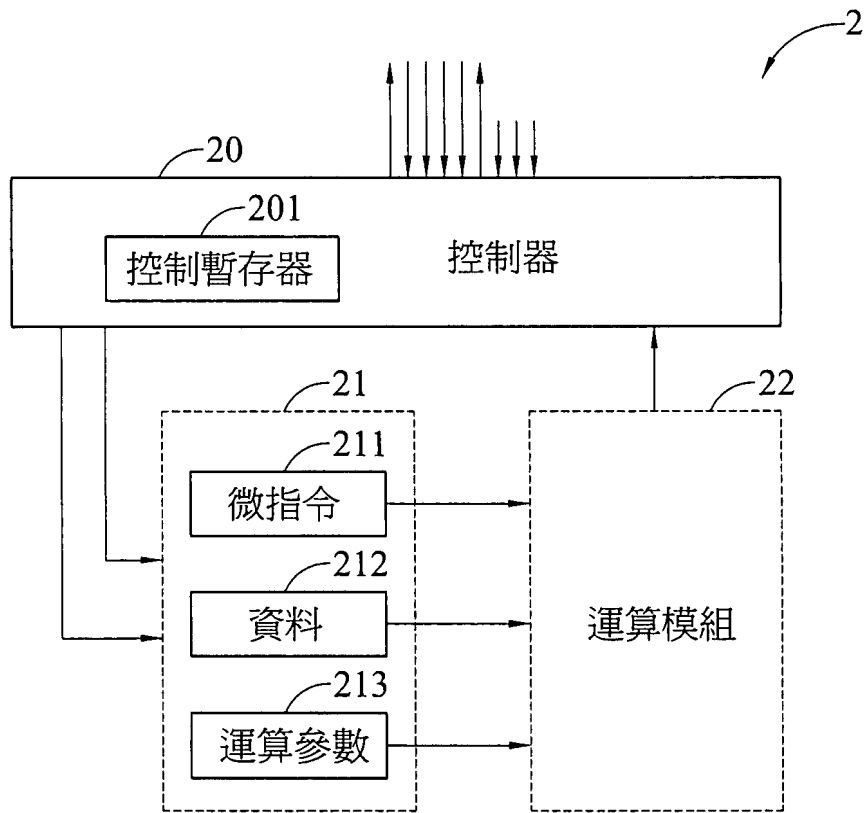
處理器，係與該資料記憶體、該程式記憶體及該
運算裝置耦接，且依據程式設計者撰寫之程式碼控制
處理器行為，以獨自進行數值運算或控制該運算裝置
進行數值運算。

9. 如申請專利範圍第 8 項所述之運算系統，其中，該處
理器係為精簡化指令集處理器。

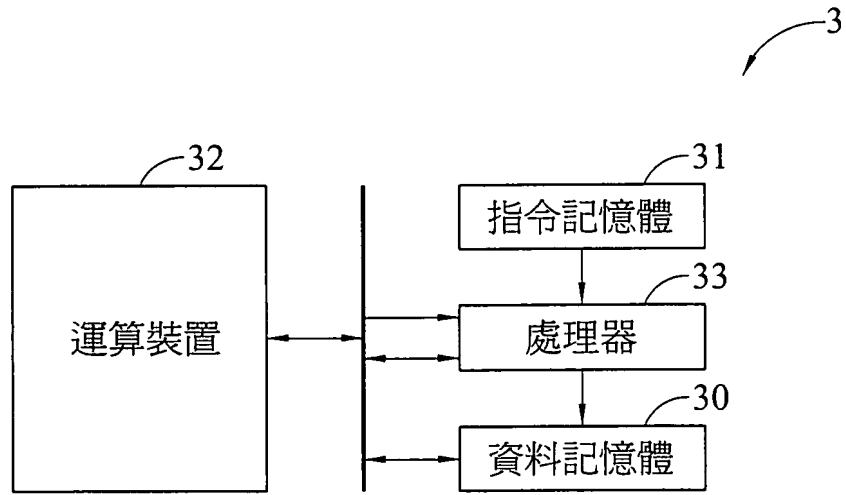
八、圖式：



第1圖



第2圖



第3圖