



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201347111 A

(43)公開日：中華民國 102 (2013) 年 11 月 16 日

(21)申請案號：101116641

(22)申請日：中華民國 101 (2012) 年 05 月 10 日

(51)Int. Cl. :

*H01L23/48 (2006.01)*

*H01L23/488 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；林漢文 LIN, HAN WEN (TW)

(74)代理人：吳冠賜；蘇建太

申請實體審查：有 申請專利範圍項數：25 項 圖式數：6 共 31 頁

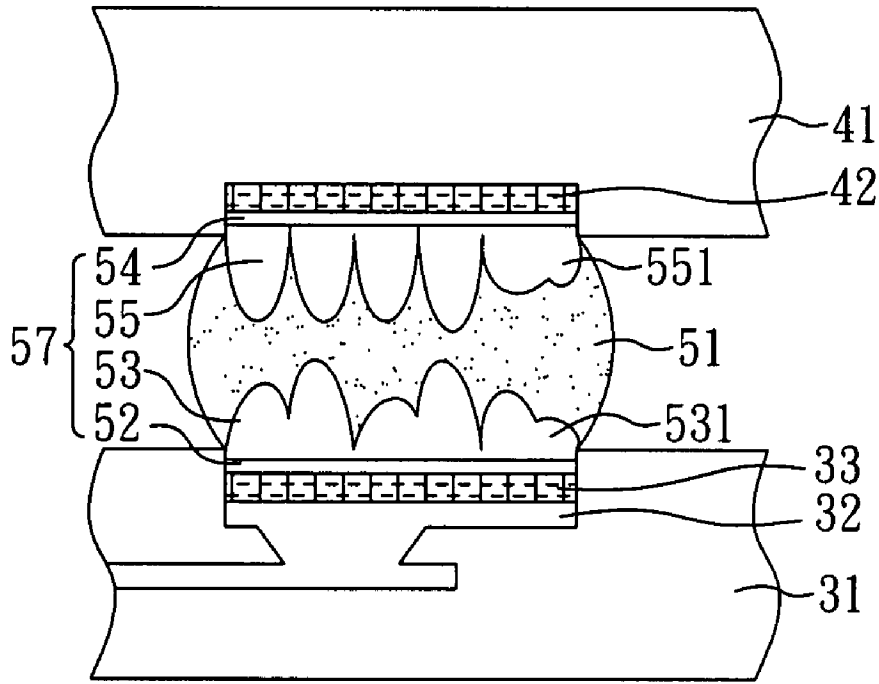
(54)名稱

包含有具優選方向成長之  $Cu_6Sn_5$  晶粒之電性連接結構及其製備方法

ELECTRIC CONNECTING STRUCTURE COMPRISING PREFERRED ORIENTED  $Cu_6Sn_5$  GRAINS AND METHOD OF FABRICATING THE SAME

(57)摘要

本發明係有關於一種包含有具優選方向成長之  $Cu_6Sn_5$  晶粒之電性連接結構及其製備方法。本發明之電性連接結構之製備方法，包括步驟：(A)提供一第一基板；(B)於第一基板之部分表面形成一第一奈米雙晶銅層；(C)使用一錒料將第一基板與一第二基板連接，第二基板具有一第二電性墊，第二電性墊包括第二奈米雙晶銅層，且錒料係配置於第一及第二奈米雙晶銅層之間；以及(D)以  $200^{\circ}C$  至  $300^{\circ}C$  的溫度進行迴焊(reflow)使錒料部分轉換為一介金屬化合物(intermetallic compound,IMC)層，且介金屬化合物層係包括具優選方向(preferred orientation)成長之  $Cu_6Sn_5$  晶粒；其中，第一及第二奈米雙晶銅層之 50%以上的體積係分別包括雙晶銅晶粒。



- 31：基板
- 32：線路層
- 33：第一奈米雙晶銅層
- 41：半導體晶片
- 42：電性墊
- 51：錫料
- 52：Cu<sub>3</sub>Sn 層
- 53：Cu<sub>6</sub>Sn<sub>5</sub> 層
- 54：Cu<sub>3</sub>Sn 層
- 55：Cu<sub>6</sub>Sn<sub>5</sub> 層
- 57：介金屬化合物層

圖 2D

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：10/116641

※申請日：101.5.10

※IPC 分類：H01L 23/48 (2006.01)

H01L 23/488 (2006.01)

## 一、發明名稱：(中文/英文)

包含有具優選方向成長之  $\text{Cu}_6\text{Sn}_5$  晶粒之電性連接結構及其製備方法/Electric connecting structure comprising preferred oriented  $\text{Cu}_6\text{Sn}_5$  grains and method of fabricating the same

## 二、中文發明摘要：

本發明係有關於一種包含有具優選方向成長之  $\text{Cu}_6\text{Sn}_5$  晶粒之電性連接結構及其製備方法。本發明之電性連接結構之製備方法，包括步驟：(A) 提供一第一基板；(B) 於第一基板之部分表面形成一第一奈米雙晶銅層；(C) 使用一錐料將第一基板與一第二基板連接，第二基板具有一第二電性墊，第二電性墊包括第二奈米雙晶銅層，且錐料係配置於第一及第二奈米雙晶銅層之間；以及(D) 以  $200^\circ\text{C}$  至  $300^\circ\text{C}$  的溫度進行迴焊(reflow)使錐料部分轉換為一介金屬化合物(intermetallic compound, IMC)層，且介金屬化合物層係包括具優選方向(preferred orientation)成長之  $\text{Cu}_6\text{Sn}_5$  晶粒；其中，第一及第二奈米雙晶銅層之 50% 以上的體積係分別包括雙晶銅晶粒。

### 三、英文發明摘要：

An electric connecting structure comprising preferred oriented  $\text{Cu}_6\text{Sn}_5$  grains and a method of fabricating the same are disclosed. The method of fabricating the electric connecting structure of the present invention comprises steps: (A) providing a first substrate; (B) forming a first nano-twinned copper layer on part of a surface of the first substrate; (C) using a solder to connect the first substrate with a second substrate having a second electrical pad, in which the second electrical pad comprises a second nano-twinned copper layer, and the solder locates between the first nano-twinned copper layer and the second nano-twinned copper layer; and (D) reflowing at the temperature of  $200^\circ\text{C}$  to  $300^\circ\text{C}$  to transform at least part of the solder into an intermetallic compound (IMC) layer, in which the IMC layer comprises plural  $\text{Cu}_6\text{Sn}_5$  grains with a preferred orientation; wherein at least 50% in volume of the first and second nanotwinned copper layer comprises plural grains.

四、指定代表圖：

(一)本案指定代表圖為：圖 ( 2D ) 。

(二)本代表圖之元件符號簡單說明：

31 基板

32 線路層

33 第一奈米雙晶銅層

41 半導體晶片

42 電性墊

51 鐳料

52,54  $\text{Cu}_3\text{Sn}$  層

53,55  $\text{Cu}_6\text{Sn}_5$  層

57 介金屬化合物層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種電性連接結構及其製備方法，尤指一種包含有具方向性成長之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構及其製備方法。

### 【先前技術】

銅金屬因具備高導電性與散熱性，同時又與錒錫的濕潤性良好，因此廣泛地使用於金屬連接裝置中(例如，金屬互連接線(metal interconnect)、凸塊下金屬(under bump metal, UBM)、銅柱凸塊(Cu pillar)、或直通矽晶穿孔(through silicon via, TSV))。

例如，應用於封裝結構之凸塊下金屬中，銅金屬經常藉由錒錫與其他電子元件電性連接。其電性連接加工過程中需要進行高溫迴焊處理，因而銅金屬與錒錫反應產生介金屬化合物(intermetallic compounds, IMCs)。

如圖1所示，例如目前三維積體電路(3D-IC)結構技術中，包含有二個晶片11,12，晶片11,12分別具有電性墊13,14(其組成為一般銅金屬)，電性墊13,14以錒錫17連接。經迴焊後，電性墊13,14中之銅原子會擴散至錒錫17中並與錒錫17中之錒反應，使部分錒錫17轉換成為介金屬化合物層171,172(分別形成於錒錫17與電性墊13,14之間)。而此介金屬化合物層171,172會造成可靠度降低的問題。

而目前習知技術中，對於鐳錫接點品質的改善，多以減少介金屬化合物層的厚度為手段。例如，增加擴散阻障層以防止介金屬化合物層的生長(如美國專利公告第US 6,867,503 B2號所示)。而此則增加了生產成本，且更使得電子元件有可靠性的風險存在。

因此，本領域亟需一種新的電性連接結構，使可改善鐳錫接點品質，並降低生產成本，達到更符合經濟的效益。

### 【發明內容】

為此，本發明提出了一種包含有具優選方向成長之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構之製備方法，包括步驟：(A)提供一第一基板；(B)於該第一基板之部分表面形成一第一奈米雙晶銅層；(C)使用一鐳料將該第一基板與一第二基板連接，該第二基板具有一第二電性墊，該第二電性墊包括一第二奈米雙晶銅層，且該鐳料係配置於該第一奈米雙晶銅層與該第二奈米雙晶銅層之間；以及(D)以 $200^\circ\text{C}$ 至 $300^\circ\text{C}$ 的溫度進行迴焊(reflow)使該鐳料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，且該介金屬化合物層係包括具優選方向(preferred orientation)成長之複數 $\text{Cu}_6\text{Sn}_5$ 晶粒；其中，該第一及第二奈米雙晶銅層之50%以上的體積係分別包括複數個雙晶銅晶粒。

本發明中，迴焊溫度需足夠使鐳料可於液態下進行反應生長 $\text{Cu}_6\text{Sn}_5$ 晶粒。若溫度低於此範圍，則會生長出較厚的 $\text{Cu}_3\text{Sn}$ 層，且 $\text{Cu}_3\text{Sn}$ 層的厚度會多於 $\text{Cu}_6\text{Sn}_5$ 晶粒高度的一

半。甚至存放時間越久， $\text{Cu}_3\text{Sn}$ 層的厚度會漸漸增加，而 $\text{Cu}_6\text{Sn}_5$ 晶粒會漸漸消失不見。

但相反的，於本發明之迴焊溫度範圍( $200^\circ\text{C}$ 至 $300^\circ\text{C}$ )內進行迴焊，於正常使用時(例如溫度 $100^\circ\text{C}$ 的正常使用狀況下)，時間越久，會使 $\text{Cu}_3\text{Sn}$ 層的厚度增加相對緩慢，且 $\text{Cu}_6\text{Sn}_5$ 晶粒尺寸係漸漸變大。因此，迴焊溫度的控制則變的相當重要。

本發明之電性連接結構之製造方法，可控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向，使該些微凸塊( $\text{Cu}_6\text{Sn}_5$ 晶粒)之性質互相接近(最佳係性質一致)，達到各接點電性一致化之效果，使整體電性表現提升。

本發明之電性連接結構之製造方法，透過控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向，解決了在一般錒錫接點中，受到錒晶粒不同晶向的影響，而遭受的早期破壞。應用於三維積體電路封裝(3D-IC packaging)與矽晶片穿孔(TSV)連接之電性接點時，可以確實控制錒錫接點的品質。並且，本發明之電性連接結構之製造方法不僅可控制接點的機械性質、電性、可靠度、以及使用壽命等，更降低了生產成本(此係由於本發明不需使用額外的阻障材料、或是高溫熱處理等步驟)，因此具有相當高的經濟價值。

本發明之電性連接結構之製備方法中，較佳地，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之成長方向係大致上垂直該第一奈米雙晶銅層之一表面。



本發明之電性連接結構之製備方法中，較佳地，50%以上(更佳為70%以上；最佳為90%以上)相鄰之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒方向之夾角係為0至40度(亦即，50%以上任二個相鄰之晶粒其晶粒方向之夾角係為0至40度)。

此外，本發明之電性連接結構之製備方法中，較佳50%以上(更佳為70%以上；最佳為90%以上)之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與奈米雙晶銅層之[111]方向之夾角係為0至40度。

本發明之電性連接結構之製備方法中，該步驟(D)中，迴焊之時間較佳為30秒至10分鐘。在此，迴焊之時間越久， $\text{Cu}_6\text{Sn}_5$ 晶粒則成長越大/越高。

本發明之電性連接結構之製備方法中，該步驟(D)中，迴焊之溫度較佳為 $240^\circ\text{C}$ 至 $280^\circ\text{C}$ ，最佳為 $260^\circ\text{C}$ 。

本發明之電性連接結構之製備方法中，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒與該第一奈米雙晶銅層之間較佳可更包括一 $\text{Cu}_3\text{Sn}$ 層，且該 $\text{Cu}_3\text{Sn}$ 層之厚度與該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒中高度最高之晶粒高度比 $[\text{Cu}_3\text{Sn層之厚度}]/[\text{複數}\text{Cu}_6\text{Sn}_5\text{晶粒中高度最高之晶粒高度}]$ 較佳可為0至0.5(更佳為 $1 \times 10^{-4}$ 至0.3)。隨著置放時間越長， $\text{Cu}_3\text{Sn}$ 層之厚度會緩慢增加，因此 $[\text{Cu}_3\text{Sn層之厚度}]/[\text{複數}\text{Cu}_6\text{Sn}_5\text{晶粒中高度最高之晶粒高度}]$ 較佳大約為0至0.5之間(更佳為 $1 \times 10^{-4}$ 至0.3)。

此外，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒所構成之層之厚度較佳為500 nm至10  $\mu\text{m}$ ；且該 $\text{Cu}_3\text{Sn}$ 層之厚度較佳為1 nm至1000 nm。

本發明之電性連接結構之製備方法中，該複數個雙晶銅晶粒較佳可為柱狀雙晶體(columnar twinned grain)。此外，本發明之電性連接結構之製備方法中，該複數個雙晶銅晶粒較佳彼此間係互相連接，該每一雙晶銅晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該雙晶銅晶粒間之堆疊方向(即，排列方向)之夾角係0至20度。

本發明之電性連接結構之製備方法中，該步驟(B)之該第一奈米雙晶銅層之形成方法較佳可選自由：直流電鍍、脈衝電鍍、物理氣相沉積、化學氣相沉積、以及蝕刻銅箔所組成之群組。

本發明之電性連接結構之製備方法中，當該步驟(B)使用電鍍形成該第一奈米雙晶銅層時，電鍍所使用之一電鍍液較佳可包括有：一銅的鹽化物、一酸、以及一氣離子來源。此外，本發明之電性連接結構之製備方法中，該電鍍液較佳可更包括一物質係選自由：明膠(gelatin)、介面活性劑、晶格修整劑、及其混合所組成之群組。並且，該電鍍液中的酸較佳可為硫酸、甲基磺酸、或其混合。

本發明之電性連接結構之製備方法中，該第一基板較佳可包括有一第一電性墊，該第一電性墊較佳可包括該第一奈米雙晶銅層，或是該第一奈米雙晶銅層即為該第一電性墊。

本發明之電性連接結構之製備方法中，該第二基板之第二電性墊較佳可包括有一第二奈米雙晶銅層，或是該第二奈米雙晶銅層即為該第二電性墊。

本發明之電性連接結構之製備方法中，銲料之材質較佳可選自由：共晶型錫/鉛(eutectic Sn/Pb)銲料、錫/銀/銅銲料、錫/銀銲料、以及無鉛銲料所組成之群組。

本發明之電性連接結構之製備方法中，該第一及/或第二奈米雙晶銅層之厚度較佳可為 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳可為 $0.1\mu\text{m}$ - $100\mu\text{m}$ ，最佳可為 $0.1\mu\text{m}$ - $20\mu\text{m}$ 。

本發明另提供一種包含有具優選方向排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構，包括：一第一基板，係具有一第一電性墊，該第一電性墊係包括一第一奈米雙晶銅層；一第二基板，係具有一第二電性墊，該第二電性墊係包括一第二奈米雙晶銅層；以及至少一介金屬化合物(intermetallic compound, IMC)層，係位於該第一與第二奈米雙晶銅層之表面，該介金屬化合物層係配置於該第一基板與該第二基板之間，並電性連接該第一電性墊以及該第二電性墊，且該介金屬化合物層係包括複數具優選方向排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒；其中，該第一及第二奈米雙晶銅層之50%以上的體積係分別包括複數個雙晶銅晶粒。

本發明之電性連接結構透過控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向(使 $\text{Cu}_6\text{Sn}_5$ 晶粒具優選方向排列)，解決了一般銲錫接點中，受到錫晶粒不同晶向的影響，而遭受的早期破壞。應用於三維積體電路封裝(3D-IC packaging)與矽晶片穿孔(TSV)連接之電性接點時，可以確實控制銲錫接點的品質。詳細地說，本發明之電性連接結構中可控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向，使該些微凸塊( $\text{Cu}_6\text{Sn}_5$ 晶粒)之性質互相接近(最

佳係性質一致)，降低電性連接結構之電性與機械性質歧異度，使整體電性及可靠度表現提升。

並且，本發明之電性連接結構之製造方法不僅可控制接點的機械性質、電性、可靠度、以及使用壽命等，更降低了生產成本(此係由於本發明不需使用額外的阻障材料、或是高溫熱處理等步驟)，因此具有相當高的經濟價值。

本發明之電性連接結構中，較佳地，50%以上(更佳為70%以上；最佳為90%以上)相鄰之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒方向之夾角係為0至40度(亦即，50%以上任二個相鄰之晶粒其晶粒方向之夾角係為0至40度)。

此外，本發明之電性連接結構中，較佳50%以上(更佳為70%以上；最佳為90%以上)之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與奈米雙晶銅層之[111]方向之夾角係為0至40度。本發明之電性連接結構中，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒與該第一奈米雙晶銅層之間更包括一 $\text{Cu}_3\text{Sn}$ 層，且該 $\text{Cu}_3\text{Sn}$ 層之厚度與該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒中高度最高之晶粒高度比[ $\text{Cu}_3\text{Sn}$ 層之厚度]/[複數 $\text{Cu}_6\text{Sn}_5$ 晶粒中高度最高之晶粒高度]為0至0.5(更佳為 $1 \times 10^{-4}$ 至0.3)。

此外，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒所構成之層之厚度較佳為500 nm至10  $\mu\text{m}$ ；且該 $\text{Cu}_3\text{Sn}$ 層之厚度較佳為1 nm至1000 nm。

本發明之電性連接結構中，該複數個雙晶銅晶粒較佳係彼此間係互相連接，該每一雙晶銅晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該雙晶銅晶粒間之堆疊方向之夾角係0至20度。

本發明之電性連接結構中，該第一基板較佳可包括有一第一電性墊，該第一電性墊係包括該第一奈米雙晶銅層。

本發明之電性連接結構中，該第二基板之第二電性墊較佳可包括有一第二奈米雙晶銅層。

本發明之電性連接結構中，該第一奈米雙晶銅層及該第二奈米雙晶銅層之厚度較佳可分別為 $0.1\mu\text{m}$ - $500\mu\text{m}$ 。

本發明之電性連接結構中，該第一基板及/或該第二基板較佳可各自獨立地選自由：一半導體晶片、一電路板、及一導電基板所組成之群組。

本發明之電性連接結構，較佳更包括一鐸料層，係配置於該第一基板與第二基板之間(更詳細地，配置於該第一奈米雙晶銅層與該第二電性墊之間)。鐸料層是由於迴焊時，部分鐸料未轉換為介金屬化合物層而殘留下來。該鐸料層之材質較佳可選自由：共晶型錫/鉛(eutectic Sn/Pb)鐸料、錫/銀/銅鐸料、錫/銀鐸料、錫/銅鐸料以及其他無鉛鐸料所組成之群組。

本發明之電性連接結構較佳可更包括一晶種層(seed layer)，係配置於該第一奈米雙晶銅層與該半導體晶片之一黏著層(adhesion layer)之間。

本發明之電性連接結構較佳可更包括一黏著層(adhesion layer)，係配置於該晶種層(seed layer)與該半導體晶片(如，矽晶片)之間。黏著層之材質係選自由：鈦、鎢鈦(TiW)、氮化鈦(TiN)、氮化鉭(TaN)、鉭(Ta)、及其合金所組成之群組。

本發明之電性連接結構中，雙晶銅晶粒之直徑較佳可為 $0.1\ \mu\text{m}$  - $50\ \mu\text{m}$ ，且該晶粒之厚度較佳可為 $0.01\ \mu\text{m}$  - $1000\ \mu\text{m}$ ，更佳為 $0.01\ \mu\text{m}$  - $100\ \mu\text{m}$ ，最佳為 $0.01\ \mu\text{m}$  - $200\ \mu\text{m}$ 。

### 【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

#### [實施例1]

圖2A至圖2D係本實施例之電性連接體之製備流程圖。如圖2A所示，首先提供一基板31，在此，基板31係一具有線路層32(亦可作為電性墊)之印刷電路板。接著，如圖2B所示，將該基板31置入於一電鍍裝置2中作為陰極。該電鍍裝置1包括有陽極22，係浸泡於電鍍液24中並連接至一直流電供應源26(在此係使用Keithley 2400)。陽極22使用之材料為金屬銅、磷銅或惰性陽極(如鈦鍍白金)。電鍍液24係包括有硫酸銅(銅離子濃度為 $20\text{-}60\text{g/L}$ )、氯離子(濃度為 $10\text{-}100\text{ppm}$ )、以及甲基磺酸(濃度為 $80\text{-}120\text{g/L}$ )，並可添加其他界面活性劑或晶格修整劑(如BASF Lugalvan 1- $100\text{ml/L}$ )。選擇性地，本實施例之電鍍液24更可包含有機

酸(例如，甲基磺酸)、明膠(gelatin)、或以上的混合物，用以調整晶粒結構與尺寸。

接著，以2-10ASD的電流密度之直流電進行電鍍，由基板31開始朝著箭頭所指之方向(如圖2B所示)於線路層32表面成長奈米雙晶銅。成長過程中，雙晶之(111)面以及奈米雙晶銅金屬層之平面係約垂直於電場的方向，並以約1.76 $\mu\text{m}/\text{min}$ 的速率成長雙晶銅。成長完成之第一奈米雙晶銅層33(作為電性墊)包括有複數個雙晶銅晶粒，該雙晶銅晶粒由複數個雙晶銅所組成，此奈米雙晶銅晶粒延伸到表面，因此第一奈米雙晶銅層33表面所顯露的同樣是(111)面。電鍍完成後得到的第一奈米雙晶銅層33厚度約20 $\mu\text{m}$ 。[111]晶軸係為垂直(111)面之軸。

接著，如圖2C所示，取一半導體晶片41，該半導體晶片41係具有一同樣為奈米雙晶銅層所構成之電性墊42(亦即第二奈米雙晶銅層，其製作方法可參考第一奈米雙晶銅層33之行成方法)。接著，以一錐料51黏接該半導體晶片41之電性墊42以及該基板31上之第一奈米雙晶銅層33。

其後，進行迴焊(reflow)，迴焊所使用溫度為260 $^{\circ}\text{C}$ ，時間可為30秒以上(例如，1分鐘、3分鐘、或5分鐘，依照所使用的錐料的多寡而不同，在此係5分鐘)。如圖2D所示，迴焊完成後，錐料51之部分會轉換為介金屬化合物層57，介金屬化合物層57包括有 $\text{Cu}_3\text{Sn}$ 層54以及 $\text{Cu}_6\text{Sn}_5$ 層55， $\text{Cu}_6\text{Sn}_5$ 層55包括有複數具方向性的 $\text{Cu}_6\text{Sn}_5$ 晶粒551由 $\text{Cu}_3\text{Sn}$ 層54表面生長出來。由於迴焊溫度需足夠使錐錫可於液態

下進行反應而生長 $\text{Cu}_6\text{Sn}_5$ 晶粒，因此迴焊溫度較佳為可使錐料熔融的溫度，例如大約 $230^\circ\text{C}$ 以上。但須注意，若迴焊溫度過高，仍有可能傷害到電子元件構造，因此迴焊溫度需適當的控制。

如圖3A及3B所示，其圖3A係本實施例之 $\text{Cu}_6\text{Sn}_5$ 層55(複數個 $\text{Cu}_6\text{Sn}_5$ 晶粒551)的橫截面電子背向散射繞射(Electron Back-Scattered Diffraction, 簡稱EBSD)示意圖，而圖3B則為圖3A的圖案參考依據示意圖。由圖3B中顯示的圖案可知，當圖3A中的圖案顯示為點狀時，則表示 $\text{Cu}_6\text{Sn}_5$ 晶粒551生長方向接近 $[0001]$ 方向；當圖案顯示為十字狀時，則表示 $\text{Cu}_6\text{Sn}_5$ 晶粒551生長方向接近 $[2\bar{1}\bar{1}0]$ 晶軸方向；當圖案顯示為圓圈狀時，則表示 $\text{Cu}_6\text{Sn}_5$ 晶粒551生長方向接近 $[10\bar{1}0]$ 方向。如圖3A所示，本實施例之 $\text{Cu}_6\text{Sn}_5$ 晶粒551的生長方向大部分係偏向 $[0001]$ 方向，亦即呈現點狀圖案的 $\text{Cu}_6\text{Sn}_5$ 晶粒佔大部分，因此可證實本實施例係成功地控制了 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向。

本發明透過控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向，解決了一般錐錫接點中，受到錐晶粒不同晶向的影響，而遭受的早期破壞。應用於三維積體電路封裝(3D-IC packaging)與矽晶片穿孔(TSV)連接之電性接點時，可以確實錐接點的品質。並且，本發明不僅可控制接點的機械性質、電性、可靠度、以及使用壽命等，更降低了生產成本(此係由於本發明不需使用額外的阻障材料、或是高溫熱處理等步驟)，因此具有相當高的經濟價值。



如圖4所示，其係本實施例之電性連接結構之聚焦離子束(FIB)剖面圖。請同時參考圖2D以及圖4，本實施例之具方向性排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構包括有：基板31，係具有線路層32，線路層32表面係具有第一奈米雙晶銅層33(以作為電性墊)；半導體晶片41，係具有奈米雙晶銅層所構成之電性墊42；以及至少一介金屬化合物(intermetallic compound, IMC)層57，係位於第一奈米雙晶銅層33之表面，該介金屬化合物層57係配置於基板31與該半導體晶片41之間，且介金屬化合物層57包括 $\text{Cu}_3\text{Sn}$ 層54,52以及 $\text{Cu}_6\text{Sn}_5$ 層53,55， $\text{Cu}_6\text{Sn}_5$ 層53,55包含有複數具方向性排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒551,531；其中，該第一奈米雙晶銅層33之50%以上的體積包括複數個雙晶銅晶粒。在本實施例中， $\text{Cu}_6\text{Sn}_5$ 層55之厚度約為1  $\mu\text{m}$ 至5  $\mu\text{m}$ ， $\text{Cu}_3\text{Sn}$ 層54之厚度約為10 nm至50 nm。

此外，第一奈米雙晶銅層33之構造將在後續更詳細介紹。

#### [實施例2]

如圖5所示，其係本實施例之電性連接結構之示意圖。本實施例之電性連接結構大致與實施例1相似，差別在於，本實施例之迴焊時間較長(約5至6分鐘)，會使 $\text{Cu}_6\text{Sn}_5$ 晶粒551,531的尺寸增加(使厚度達到約10  $\mu\text{m}$ 至30  $\mu\text{m}$ )。因此，本實施例經由錫料51厚度、以及迴焊時間的調整，使得基板31以及半導體晶片41表面之 $\text{Cu}_6\text{Sn}_5$ 晶粒551,531上下互相黏合。且經過本發明之發明人實驗證實，即使 $\text{Cu}_6\text{Sn}_5$ 晶粒

551,531上下互相黏合， $\text{Cu}_6\text{Sn}_5$ 晶粒仍具有方向性。因此，證實了本發明之技術可控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的成長方向性。

而當 $\text{Cu}_6\text{Sn}_5$ 晶粒551,531上下互相黏合，代表原所使用的鐸料51可能全部轉換成為介金屬化合物層，或是僅留存少部分的鐸料51存在於 $\text{Cu}_6\text{Sn}_5$ 晶粒551,531之間。如此， $\text{Cu}_6\text{Sn}_5$ 晶粒551,531上下互相黏合的結構，可控制接點的機械性質、電性、可靠度、以及使用壽命等，因此可大幅降低鐸接點變異所造成的可靠度問題，確實提升電子裝置的使用壽命。

如圖6A所示，其係上述各個實施例之奈米雙晶銅層之聚焦離子束(FIB)剖面圖，圖6B係奈米雙晶銅層之立體示意圖。如圖6A及6B所示，本發明之奈米雙晶銅層43之50%以上的體積包括有複數個柱狀晶粒66，而每一晶粒中有複數個層狀奈米雙晶銅(例如，相鄰的一組黑線與白線構成一個雙晶銅，係以堆疊方向69堆疊而構成品粒66)，因此本發明中，奈米雙晶銅層整體則包含有非常多的奈米雙金銅。此些柱狀晶粒66之直徑D之範圍係約為 $0.5\mu\text{m}$ 至 $8\mu\text{m}$ 且高度L約為 $1\mu\text{m}$ 至 $500\mu\text{m}$ (或 $1\mu\text{m}$ 至 $100\mu\text{m}$ ，更佳為 $1\mu\text{m}$ 至 $20\mu\text{m}$ )，奈米雙晶平面661(水平條紋)與(111)平面平行，雙晶晶粒間是晶界662，銅之(111)平面垂直於厚度T方向，且雙晶銅層之厚度T在此約為 $20\mu\text{m}$ (可於 $0.1\mu\text{m}$ - $500\mu\text{m}$ 之間任意調整)。相鄰之該晶粒間之堆疊方向(幾乎等同於[111]晶軸)之夾角約為0至20度。

綜上所述，本發明之電性連接結構及/或其製造方法，透過控制 $\text{Cu}_6\text{Sn}_5$ 晶粒的生長方向，解決了鐳錫接點中介金屬化合物層造成可靠度降低的問題，確實控制鐳錫接點的品質。並且，本發明之電性連接結構及/或其製造方法不僅可控制接點的機械性質、電性、可靠度、以及使用壽命等，更降低了生產成本(此係由於本發明不需使用額外的阻障材料、或是高溫熱處理等步驟)，因此具有相當高的經濟價值。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

### 【圖式簡單說明】

圖1係習知三維積體電路(3D-IC)結構。

圖2A至圖2D係本發明實施例1之電性連接結構之製備流程圖。

圖3A係本發明實施例1之 $\text{Cu}_6\text{Sn}_5$ 層的俯視面電子背向散射繞射(Electron Back-Scattered Diffraction，簡稱EBSD)示意圖。

圖3B係圖3A的圖案參考依據示意圖。

圖4係本發明實施例1之電性連接結構之聚焦離子束(FIB)剖面圖。

圖5係本發明實施例2之電性連接結構之示意圖。

圖 6A 係本發明較佳實施例之奈米雙晶銅層之聚焦離子束 (FIB) 剖面圖。

及 6B 係本發明較佳實施例之奈米雙晶銅層之立體示意圖。

【主要元件符號說明】

11,12 晶片	43 奈米雙晶銅層
13,14 電性墊	51 鐳料
15,18 $\text{Cu}_3\text{Sn}$ 層	52,54 $\text{Cu}_3\text{Sn}$ 層
16,19 $\text{Cu}_6\text{Sn}_5$ 層	53,55 $\text{Cu}_6\text{Sn}_5$ 層
17 鐳錫	531,551 $\text{Cu}_6\text{Sn}_5$ 晶粒
171,172 介金屬化合物層	57 介金屬化合物層
2 電鍍裝置	66 晶粒
22 陽極	661 奈米雙晶平面
24 電鍍液	662 晶界
26 直流電供應源	69 堆疊方向
31 基板	D 直徑
32 線路層	L 高度
33 第一奈米雙晶銅層	T 厚度
41 半導體晶片	(111) (111)平面
42 電性墊	[111] [111]晶軸

## 七、申請專利範圍：

1. 一種包含有具優選方向成長之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構之製備方法，包括步驟：

(A) 提供一第一基板；

(B) 於該第一基板之部分表面形成一第一奈米雙晶銅層；

(C) 使用一錫料將該第一基板與一第二基板連接，該第二基板具有一第二電性墊，該第二電性墊包括一第二奈米雙晶銅層，且該錫料係配置於該第一奈米雙晶銅層與該第二奈米雙晶銅層之間；以及

(D) 以 $200^\circ\text{C}$ 至 $300^\circ\text{C}$ 的溫度進行迴焊(reflow)使該錫料至少部分轉換為一介金屬化合物(intermetallic compound, IMC)層，且該介金屬化合物層係包括具優選方向(orientational)成長之複數 $\text{Cu}_6\text{Sn}_5$ 晶粒；

其中，該第一奈米雙晶銅層及該第二奈米雙晶銅層之50%以上的體積係分別包括複數個雙晶銅晶粒。

2. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，50%以上相鄰之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒方向之夾角係為0至40度。

3. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，50%以上之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與該第一奈米雙晶銅層之[0001]方向之夾角係為0至40度，且50%以上之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與該第二奈米雙晶銅層之[0001]方向之夾角係為0至40度。

4. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該步驟(D)中，迴焊之時間為30秒至10分鐘。

5. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該步驟(D)中，迴焊之溫度為240°C至280°C。

6. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該複數Cu<sub>6</sub>Sn<sub>5</sub>晶粒與該第一奈米雙晶銅層之間更包括一Cu<sub>3</sub>Sn層，且該Cu<sub>3</sub>Sn層之厚度與該複數Cu<sub>6</sub>Sn<sub>5</sub>晶粒中高度最高之晶粒高度比[Cu<sub>3</sub>Sn層之厚度]/[複數Cu<sub>6</sub>Sn<sub>5</sub>晶粒中高度最高之晶粒高度]為0至0.3。

7. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該複數Cu<sub>6</sub>Sn<sub>5</sub>晶粒所構成之層之厚度為500nm至10μm。

8. 如申請專利範圍第6項所述之電性連接結構之製備方法，其中，該Cu<sub>3</sub>Sn層之厚度為1 nm至1000nm。

9. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該複數個雙晶銅晶粒彼此間係互相連接，該每一雙晶銅晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該雙晶銅晶粒間之堆疊方向之夾角係0至20度。

10. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該步驟(B)之該第一奈米雙晶銅層之形成方法係選自由：直流電鍍、脈衝電鍍、物理氣相沉積、化學氣相沉積、以及蝕刻銅箔所組成之群組。

11. 如申請專利範圍第10項所述之電性連接結構之製備方法，其中，當該步驟(B)使用電鍍形成該第一奈米雙晶銅層時，電鍍所使用之一電鍍液係包括有：一銅的鹽化物、一酸、以及一氯離子來源。

12. 如申請專利範圍第11項所述之電性連接結構之製備方法，其中，該電鍍液更包括一物質係選自由：明膠(gelatin)、介面活性劑、晶格修整劑、及其混合所組成之群組。

13. 如申請專利範圍第11項所述之電性連接結構之製備方法，其中，該電鍍液中的酸係為硫酸、甲基磺酸、或其混合。

14. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該第一基板係包括有一第一電性墊，該第一電性墊係包括該第一奈米雙晶銅層。

15. 如申請專利範圍第1項所述之電性連接結構之製備方法，其中，該第一奈米雙晶銅層之厚度為 $0.1\mu\text{m}$ - $500\mu\text{m}$ 。

16. 一種包含有具優選方向排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒之電性連接結構，包括：

一第一基板，係具有一第一電性墊，該第一電性墊係包括一第一奈米雙晶銅層；

一第二基板，係具有一第二電性墊，該第二電性墊係包括一第二奈米雙晶銅層；以及

至少一介金屬化合物(intermetallic compound, IMC)層，係位於該第一奈米雙晶銅層及該第二奈米雙晶銅層之

表面，該介金屬化合物層係配置於該第一基板與該第二基板之間，並電性連接該第一電性墊以及該第二電性墊，且該介金屬化合物層係包括複數具優選方向性排列之 $\text{Cu}_6\text{Sn}_5$ 晶粒；

其中，該第一奈米雙晶銅層及該第二奈米雙晶銅層之50%以上的體積係分別包括複數個雙晶銅晶粒。

17. 如申請專利範圍第16項所述之電性連接結構，其中，50%以上相鄰之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒方向之夾角係為0至40度。

18. 如申請專利範圍第16項所述之電性連接結構，其中，50%以上之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與奈米雙晶銅層之[0001]方向之夾角係為0至40度，且50%以上之該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒之[0001]方向與該第二奈米雙晶銅層之[0001]方向之夾角係為0至40度。

19. 如申請專利範圍第16項所述之電性連接結構，其中，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒與該第一奈米雙晶銅層之間更包括一 $\text{Cu}_3\text{Sn}$ 層，且該 $\text{Cu}_3\text{Sn}$ 層之厚度與該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒中高度最高之晶粒高度比 $[\text{Cu}_3\text{Sn層之厚度}]/[\text{複數}\text{Cu}_6\text{Sn}_5\text{晶粒中高度最高之晶粒高度}]$ 為0至0.3。

20. 如申請專利範圍第16項所述之電性連接結構，其中，該複數 $\text{Cu}_6\text{Sn}_5$ 晶粒所構成之層之厚度為500nm至10 $\mu\text{m}$ 。

21. 如申請專利範圍第19項所述之電性連接結構，其中，該 $\text{Cu}_3\text{Sn}$ 層之厚度為1 nm至1000 nm。



22. 如申請專利範圍第16項所述之電性連接結構，其中，該複數個雙晶銅晶粒彼此間係互相連接，該每一雙晶銅晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該雙晶銅晶粒間之堆疊方向之夾角係0至20度。

23. 如申請專利範圍第16項所述之電性連接結構，其中，該第一奈米雙晶銅層及該第二奈米雙晶銅層之厚度係分別為0.1 $\mu\text{m}$ -500 $\mu\text{m}$ 。

24. 如申請專利範圍第16項所述之電性連接結構，其中，該第一基板係選自由：一半導體晶片、一電路板、及一導電基板所組成之群組。

25. 如申請專利範圍第16項所述之電性連接結構，其中，該第二基板係選自由：一半導體晶片、一電路板、及一導電基板所組成之群組。

八、圖式 (請見下頁)：

22. 如申請專利範圍第16項所述之電性連接結構，其中，該複數個雙晶銅晶粒彼此間係互相連接，該每一雙晶銅晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該雙晶銅晶粒間之堆疊方向之夾角係0至20度。

23. 如申請專利範圍第16項所述之電性連接結構，其中，該第一奈米雙晶銅層及該第二奈米雙晶銅層之厚度係分別為0.1 $\mu\text{m}$ -500 $\mu\text{m}$ 。

24. 如申請專利範圍第16項所述之電性連接結構，其中，該第一基板係選自由：一半導體晶片、一電路板、及一導電基板所組成之群組。

25. 如申請專利範圍第16項所述之電性連接結構，其中，該第二基板係選自由：一半導體晶片、一電路板、及一導電基板所組成之群組。

八、圖式 (請見下頁):

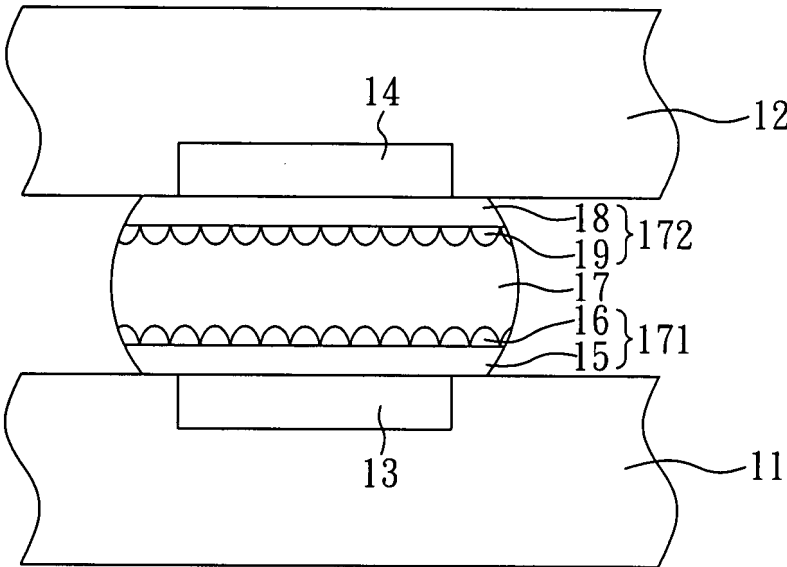


圖1

：

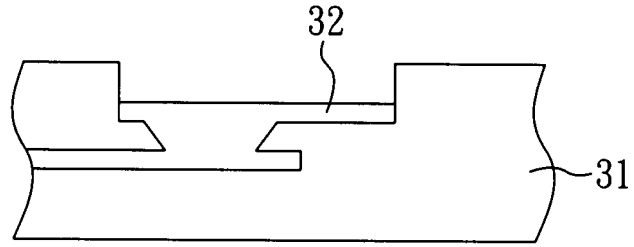


圖2A

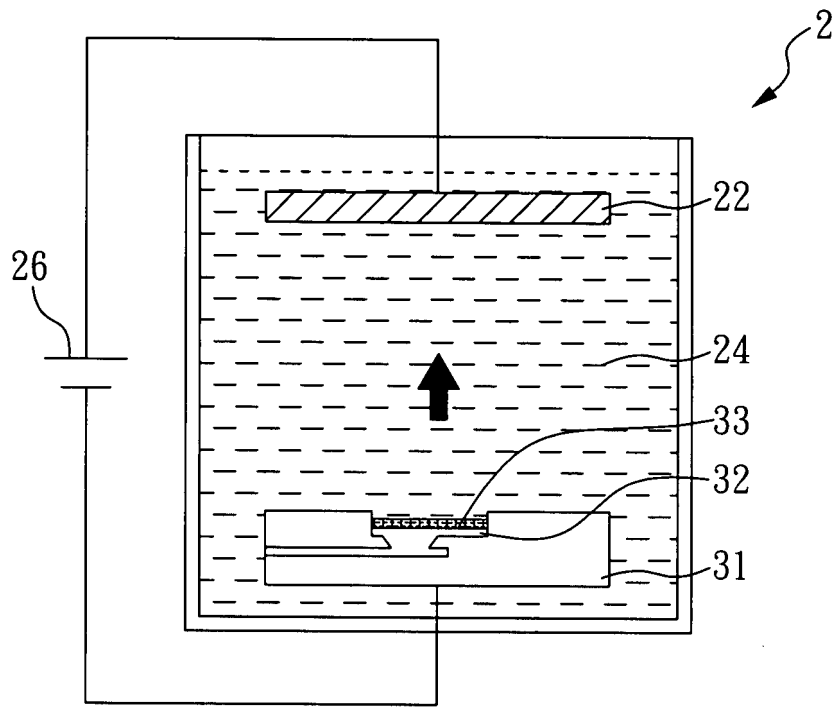


圖2B

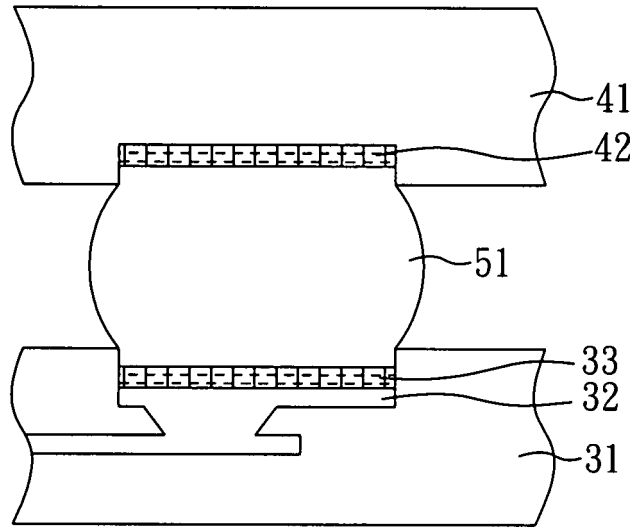


圖 2C

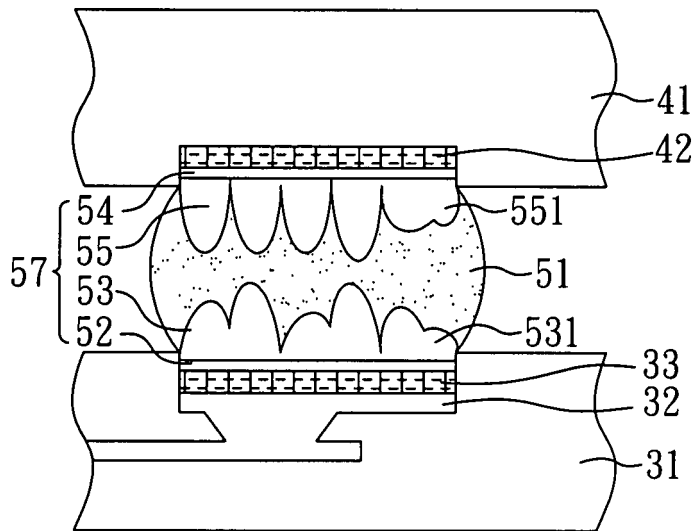


圖 2D

：

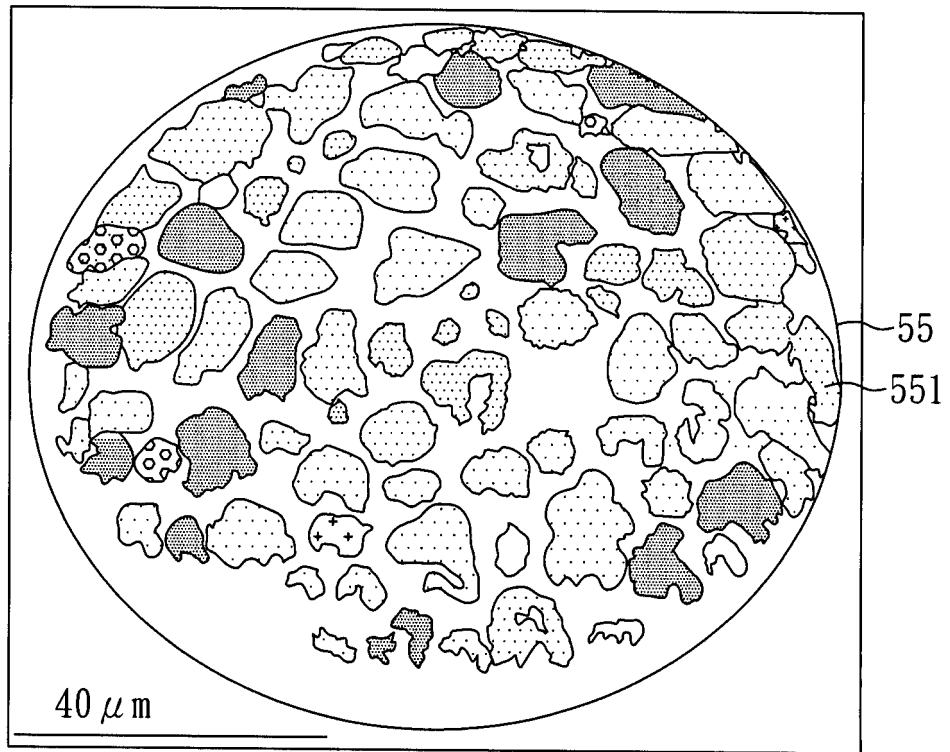


圖 3A

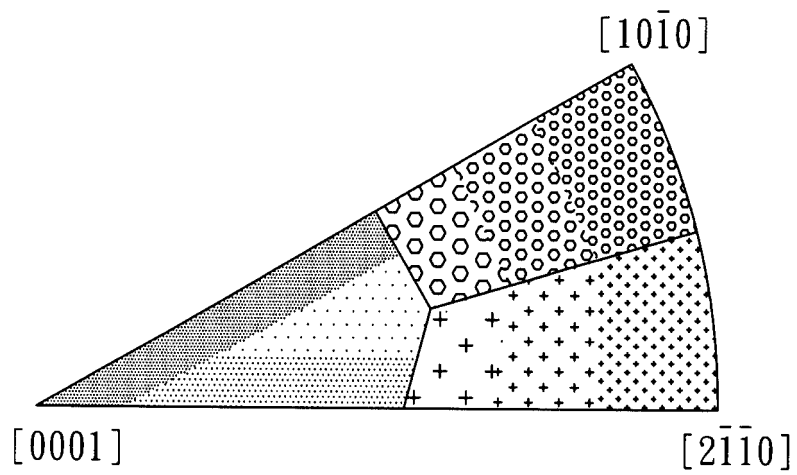


圖 3B

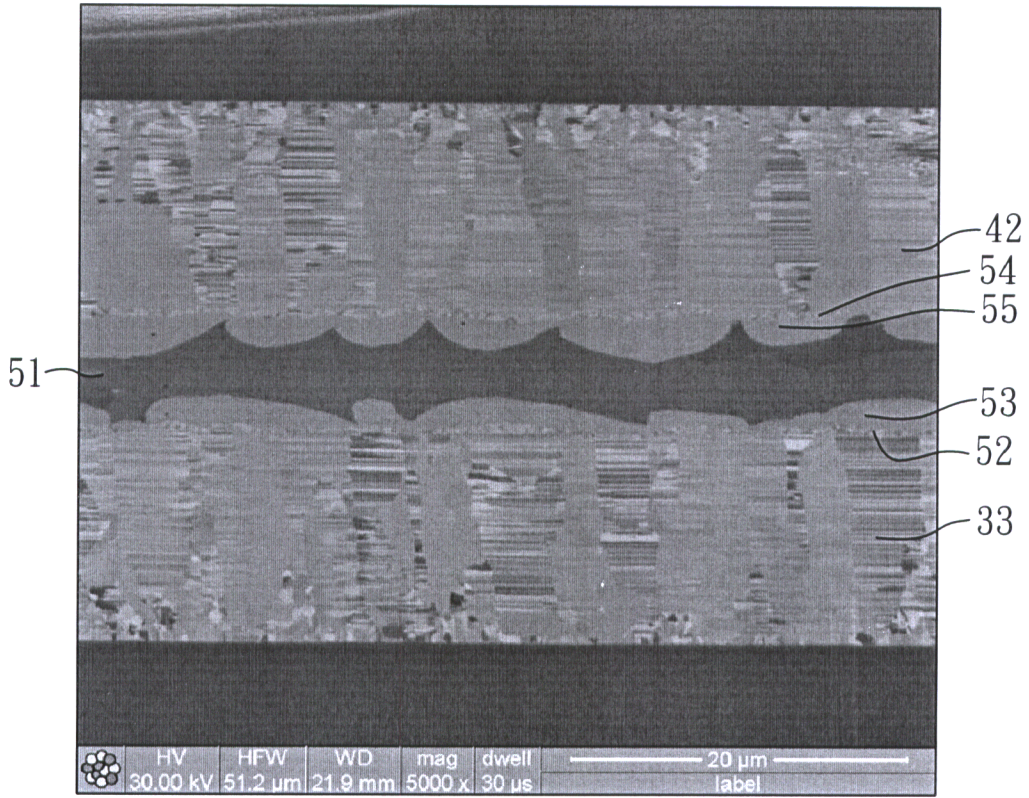


圖4

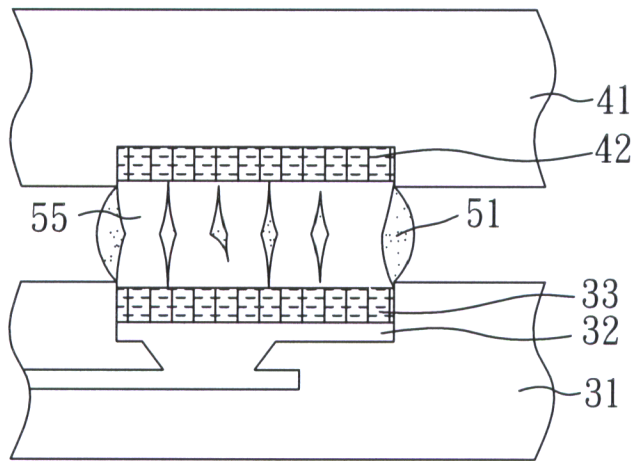


圖5

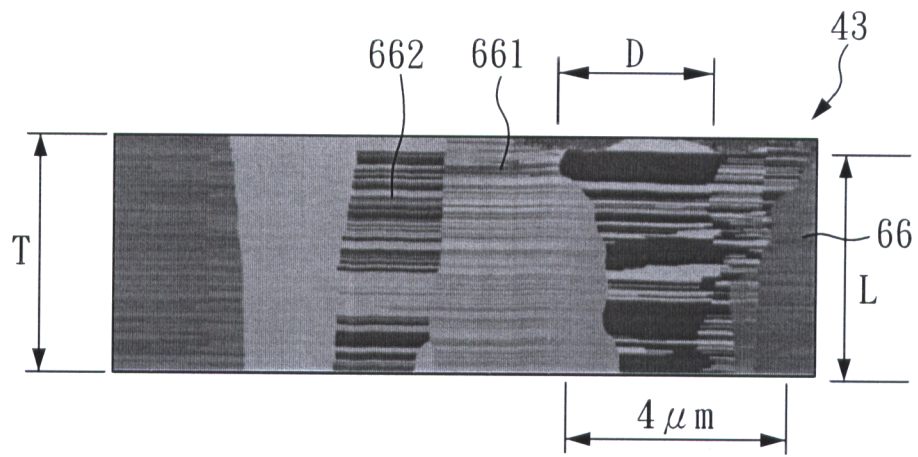


圖6A

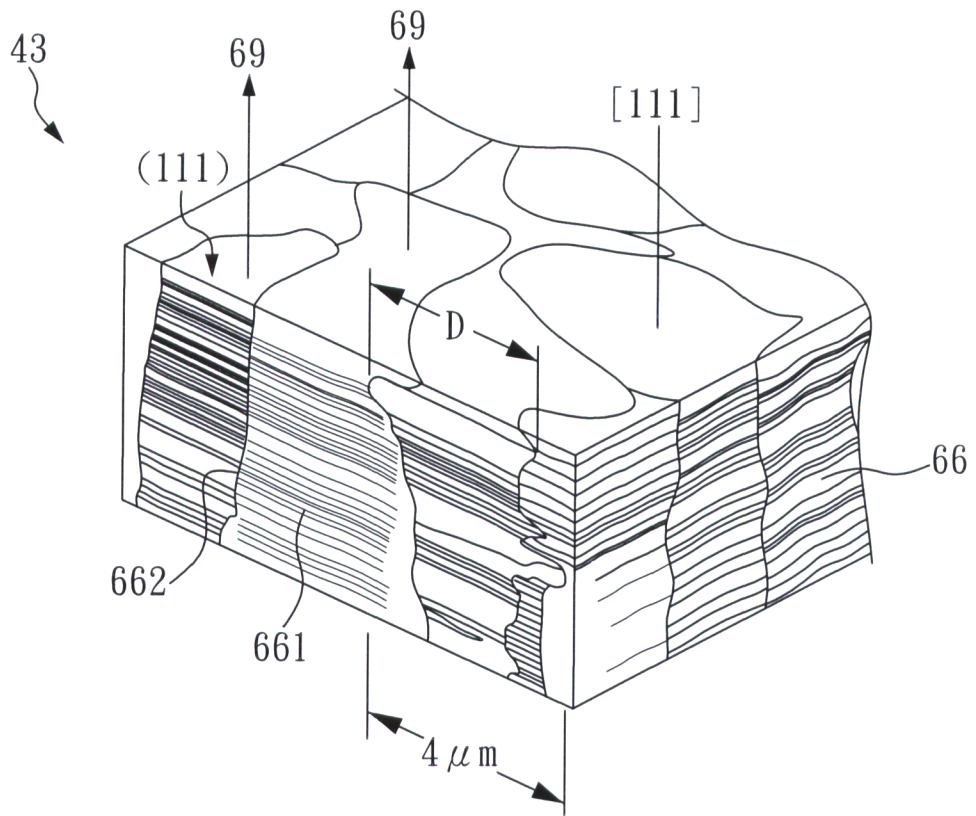


圖6B