

(21)申請案號：101108777

(22)申請日：中華民國 101 (2012) 年 03 月 15 日

(51)Int. Cl. : H02M1/08 (2006.01)

H03K17/687 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72)發明人：陳宗麟 CHEN, TSUNG LIN (TW)；張翼 CHANG, EDWARD YI (TW)；成維華
 CHIENG, W. H. (TW)；鄭泗東 CHENG, STONE (TW)；鄭時龍 JENG, S. L.
 (TW)；張哲維 CHANG, CHE WEI (TW)

(74)代理人：黃孝悌

申請實體審查：有 申請專利範圍項數：6 項 圖式數：3 共 20 頁

(54)名稱

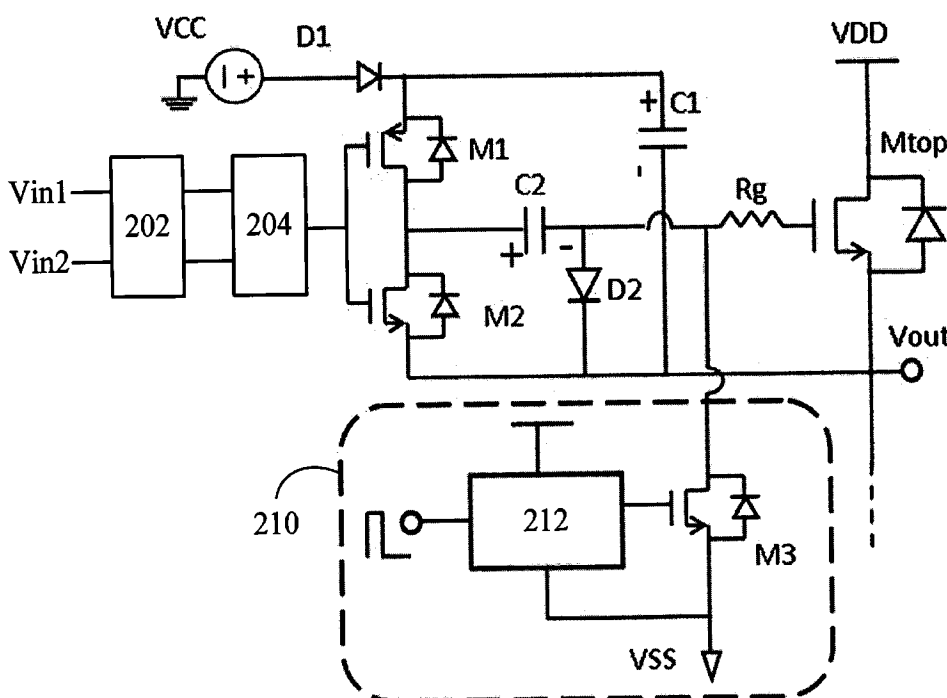
上橋驅動電路

HIGH-SIDE DRIVER CIRCUIT

(57)摘要

本發明提供一種上橋驅動電路，其包含：功率電晶體、第一電晶體、第二電晶體、第二電容、第二二極體，以及啟動電路。其中啟動電路係耦接於一電阻與第二電容之間，用以作為一開極驅動電路之一部分。此一電阻可以是功率電晶體的開極等效電阻或是外加電阻。此驅動電路可以在不需浮動電源與負電壓源之情況下，使自舉電容具有足夠之時間充電，完成空乏型功率電晶體之開關切換。

200



200：上橋驅動電路

202：第一位準位移器

204：閃鎖迴路裝置

210：啟動電路

212：第二位準位移器

C1：第一電容

C2：第二電容

D1：第一二極體

D2：第二二極體

M1：第一電晶體

M2：第二電晶體

M3：第三電晶體

Mtop：功率電晶體

Rg：電阻

VCC：第二電源

VDD：第一電源

Vin1：第一輸入

Vin2 : 第二輸入

Vout : 輸出

VSS : 第三電源

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101108117

H02M 1/08 (2006.01)

※ 申請日：101.3.15

※ I P C 分類：

H03K 17/687 (2006.01)

一、發明名稱：(中文/英文)

上橋驅動電路 / High-side driver circuit

二、中文發明摘要：

本發明提供一種上橋驅動電路，其包含：功率電晶體、第一電晶體、第二電晶體、第二電容、第二二極體，以及啟動電路。其中啟動電路係耦接於一電阻與第二電容之間，用以作為一閘極驅動電路之一部分。此一電阻可以是功率電晶體的閘極等效電阻或是外加電阻。此驅動電路可以在不需浮動電源與負電壓源之情況下，使自舉電容具有足夠之時間充電，完成空乏型功率電晶體之開關切換。

三、英文發明摘要：

The present invention provides a high-side driver circuit including a power transistor, the first transistor, the second transistor, the second capacitor, the second diode, a start-up circuit. The start-up circuit coupled between a resistor and the second capacitor to complete a gate driving circuit. And, the aforementioned resistor can either be the gate resistance of the power transistor or an external resistor. The design of start-up circuit enables the functionality of the bootstrap capacitor of being charged to a designate voltage level. Thus, the

depletion-mode transistor can be controlled to turn on/off without a floating voltage source or a negative voltage souce.

四、指定代表圖：

(一)本案指定代表圖為：第 2 圖

(二)本代表圖之元件符號簡單說明：

200 上橋驅動電路

202 第一位準位移器

204 閃鎖迴路裝置

210 啟動電路

212 第二位準位移器

Mtop 功率電晶體

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

C1 第一電容

C2 第二電容

D1 第一二極體

D2 第二二極體

Rg 電阻

Vout 輸出

Vin1 第一輸入

Vin2 第二輸入

VDD 第一電源

depletion-mode transistor can be controlled to turn on/off without a floating voltage source or a negative voltage source.

四、指定代表圖：

(一)本案指定代表圖為：第 2 圖

(二)本代表圖之元件符號簡單說明：

200 上橋驅動電路

202 第一位準位移器

204 閃鎖迴路裝置

210 啟動電路

212 第二位準位移器

Mtop 功率電晶體

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

C1 第一電容

C2 第二電容

D1 第一二極體

D2 第二二極體

Rg 電阻

Vout 輸出

Vin1 第一輸入

Vin2 第二輸入

VDD 第一電源

VCC 第二電源

VSS 第三電源

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種驅動電路，特別是關於一種與自舉式電路結合之空乏型電晶體之上橋驅動電路。

【先前技術】

一般高效率、大功率之系統中，係採用性能較佳之 N-type 元件作為上橋功率電晶體。因此，功率電晶體之源極為一浮動電壓，無法直接用一固定之閘極電壓進行電晶體之開關控制。傳統最常用來解決此一問題之方法乃是採用一自舉式電路 (bootstrap circuit)，以使閘極電壓隨著源極電壓浮動。傳統自舉式電路之上橋功率電晶體驅動設計，僅適用於增強型電晶體，並不適用於空乏型功率電晶體，因為，空乏型功率電晶體之驅動中，自舉電容並無足夠時間充電。

請參考第 1 圖之習知技術，係為具有自舉電容之上橋閘極驅動電路 (high side gate driver) 示意圖。自舉電容之上橋閘極驅動電路 100 係用以驅動增強型功率電晶體 M_{top} ，其工作原理如下：當增強型功率電晶體 M_{top} 關閉時，輸入電壓 V_{CC} 係對第一電容 C_1 進行充電，其中，第一電容 C_1 之負端 (即增強型功率電晶體 M_{top} 源極電壓) 電壓係為零，以及正端電壓係為 V_{CC} 。第一電晶體 M_1 導通時，增強型功率電晶體 M_{top} 之閘極-源極電壓 V_{GS} 係為 V_{CC} ，因此，增強型功率電晶體 M_{top} 係導通，且源極電壓上升至 V_{DD} 。增強型功率電晶體 M_{top} 之閘極-源極電壓 V_{GS} 藉由 C_1

維持於 VCC，以使增強型功率電晶體 Mtop 持續導通。當第一電晶體 M1 關閉、第二電晶體 M2 導通時，增強型功率電晶體 Mtop 之閘極-源極電壓 V_{GS} 係為零，因此，增強型功率電晶體 Mtop 關閉。

然此電路設計僅適用於一增強型功率電晶體。當功率電晶體為空乏型電晶體時，由於空乏型電晶體之閘極-源極電壓 V_{GS} 為零時，電晶體係為導通，因此針對具有自舉式電路之上橋閘極驅動電路，需提出一種適用於空乏型電晶體之電路設計。

近年來蓬勃發展的許多高性能的功率元件皆為空乏型元件。而傳統空乏型電晶體之驅動設計之一，係利用一 MOSFET 與高效能之空乏型元件結合，使之成為複合式的增強型 (enhancement mode) 元件，再利用現有增強型電晶體之驅動技術來進行元件開關控制。惟此種設計係會降低空乏型電晶體之效能，例如，增加複合元件導通時之電阻 (on-resistance)。

而傳統空乏型電晶體的驅動設計之二，係利用一浮動電源 (floating voltage source) 以獲得所需之負電壓，以進行空乏型電晶體之開關控制，惟此設計需一浮動電源，在作法上較為複雜。

空乏型電晶體的驅動設計之三，係利用一電容及相關電晶體之切換，以製作一負電壓，並進空乏型電晶體之開關控制。此作法僅適用於下橋驅動電路，在一具有自舉式電路 (bootstrap circuit) 之上橋驅動電路中，此設計並不適合。

因此，本發明提出一種空乏電晶體之上橋閘極驅動電路，此電路可以與自舉電容電路相結合，以完成空乏型功率電晶體之開關切換，不會降低空乏型功率電晶體之效能，亦不需浮動電源或是負電源。

【發明內容】

本發明提供一種上橋驅動電路，其包含：功率電晶體、第一電晶體、第二電晶體、第二電容、第二二極體，以及電阻。功率電晶體之汲極係耦接第一電源。第一電晶體之源極係耦接一第一電容與一第一二極體之間，第一二極體係耦接第二電源。第二電晶體之汲極係耦接第一電晶體之汲極。第二電容係耦接第一電晶體之汲極，以及第二電晶體之汲極。第二二極體係耦接第二電容與第二電晶體之源極，第二電晶體係耦接輸出。電阻係耦接於第二電容與功率電晶體之閘極間。第一位準位移器係耦接第一輸入與第二輸入。

門鎖迴路裝置係耦接於第一位準位移器以及該第一電晶體閘極與該第二電晶體之閘極。啟動電路係耦接電阻與第二電容之間。其中啟動電路係用以關閉功率電晶體，以使第二電源有足夠之時間對第一電容進行充電。

上橋驅動電路之啟動電路設計一更包含第三電晶體以及第二位準位移器，第三電晶體之汲極係耦接電阻，第三電晶體之閘極以及源極係耦接第二位準位移器，其中第三電晶體之源極係耦接第三電源。第三電源係為一負電壓

源，其中第三電晶體係導通，以使功率電晶體之閘極為一負電壓，其中第三電源係提供一負電壓於該功率電晶體之閘極，以關閉該功率電晶體，使該第二電源有足夠之時間對該第一電容進行充電。

上橋驅動電路之啟動電路設計二更包含第三電晶體以及第三二極體，第三電晶體之源極係接地，第三電晶體之汲極係耦接第三二極體，第三二極體係耦接電阻與該第二電容，其中第三二極體係限制一電流流動方向，以部份關閉功率電晶體，使第二電源有足夠之時間對第一電容進行充電。

於又一方面，功率電晶體係為一空乏型電晶體。

於又一方面，功率電晶體之材料係包含碳化矽(SiC)或氮化鎵(GaN)。

提出一種空乏電晶體之上橋閘極驅動電路，以改善自舉電容無足夠時間充電之問題，以完成空乏型功率電晶體之開關切換，不會降低空乏型功率電晶體之效能，亦可不需浮動電源或是負電源。

【實施方式】

為使能更進一步瞭解本發明之特徵級技術內容，請參考以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明之使用，並非用以限制本發明。

請參考第 2 圖，係為根據本發明之一實施例所繪示空乏型電晶體之上橋驅動電路電路示意圖。空乏型電晶體(Depletion-mode transistor)與增強型電晶體不同之處

在於，其汲極-源極電壓 V_{GS} 為負值時電晶體關閉，汲極-源極電壓 V_{GS} 為零時，電晶體係導通。因此，針對空乏型電晶體需要設計一電路，用以控制此空乏型電晶體之開啟與關閉。如第 2 圖所示，其係揭露一上橋驅動電路 200。上橋驅動電路 200 包含：功率電晶體 M_{top} 、第一電晶體 $M1$ 、第二電晶體 $M2$ 、第一電容 $C1$ 、第二電容 $C2$ 、第一二極體 $D1$ 、第二二極體 $D2$ 、啟動電路 210、第一位準位移器 202、門鎖迴路裝置 204 以及電阻 R_g 。其中，功率電晶體 M_{top} 係為一空乏型電晶體。其中，電阻 R_g 可以是功率電晶體的等效閘極電阻或是一外加電阻。功率電晶體 M_{top} 之材料係包含碳化矽 (SiC) 或氮化鎵 (GaN)。功率電晶體 M_{top} 之汲極係耦接第一電源 VDD 。第一電晶體 $M1$ 之源極係耦接第一電容 $C1$ 與第一二極體 $D1$ 之間，第一二極體 $D1$ 係耦接第二電源 VCC 。第二電晶體 $M2$ 之汲極係耦接第一電晶體 $M1$ 之汲極。第二電容 $C2$ 係耦接第一電晶體 $M1$ 之汲極，以及第二電晶體 $M2$ 之汲極。第二二極體 $D2$ 係耦接第二電容 $C2$ 與第二電晶體 $M2$ 之源極，第二電晶體 $M2$ 係耦接輸出 V_{out} 。本實施例中，輸出 V_{out} 係介於 0 伏特至 VDD 之間。電阻 R_g 係耦接於第二電容 $C2$ 與功率電晶體 M_{top} 之閘極間。第一位準位移器 202 係耦接第一輸入 V_{in1} 與第二輸入 V_{in2} 。門鎖迴路裝置 204 係耦接於第一位準位移器 202 與第一電晶體 $M1$ 之閘極與第二電晶體 $M2$ 之閘極。啟動電路 210 係耦接電阻 R_g 與第二電容 $C2$ 之間。本實施例中，係假設第一電容 $C1$ 之電容值係大於第二電容 $C2$ 之電容值一個數量級以上。

第 2 圖所示上橋驅動電路 200 之啟動電路 210 係用以驅動空乏型之功率電晶體 M_{top} ，其中，啟動電路 210 包含：第二位準位移器 212 以及第三電晶體 M3。第三電晶體 M3 之汲極係耦接電阻 R_g 。第三電晶體 M3 之閘極與源極係耦接第二位準位移器第三電晶體 M3 係耦接一第三電源 VSS。其中第三電源 VSS 係為負電壓源。當第三電晶體 M3 係導通時，功率電晶體 M_{top} 之閘極係為負電壓。第三電源 VSS 提供一負電壓於功率電晶體 M_{top} 閘極，以關閉功率電晶體 M_{top} ，第二電源 VCC 係對第一電容 C1 充電，第一電容之負端電壓(即功率電晶體 M_{top} 之源極電壓)係為零。因此，第一電容 C1 之正端電壓為 VCC。當第一電晶體 M1 導通時，第一電容 C1、第二電容 C2 以及第二二極體 D2 係形成一迴路，因此，第二電容 C2 之電壓差為 VCC。第二電容 C2 之負端電壓為零。功率電晶體 M_{top} 之閘極-源極電壓 V_{GS} 亦為零，則功率電晶體 M_{top} 導通。同樣藉由自舉式電路，使得功率電晶體 M_{top} 持續導通。當第一電晶體 M1 關閉，第二電晶體 M2 導通時，第二電容 C2 之正端電壓(即功率電晶體 M_{top} 之源極電壓)，以使第二二極體 D2 關閉。功率電晶體 M_{top} 之閘極-源極電壓 V_{GS} 為 $-VCC$ ，以使功率電晶體 M_{top} 關閉。本實施例係藉由額外之第二電容 C2、第二二極體 D2 以及啟動電路 210，以對空乏型之功率電晶體 M_{top} 進行控制，藉由此種啟動電路 210 之設計，使第二電源 VCC 有足夠之時間對第一電容 C1 進行充電。於此實施例，上橋驅動電路 200 可完成空乏型功率電晶體 M_{top} 24 伏特之開關控制，其中，其開關頻率為 100KHz。

請參考第 3 圖所示之另一實施例，其係為根據本發明之另一實施例所繪示空乏型電晶體之上橋驅動電路電路示意圖。本實施例與上一實施例之差異在於，本實施例之啟動電路 310 設計方式不同，其中，第三電晶體 M3 之源極係接地，且第三電晶體 M3 之汲極係耦接一第三二極體 D3。該第三二極體 D3 之另一端係耦接於電阻 Rg，與第二電容 C2 之間。

第 3 圖所示之上橋驅動電路 300 包含：功率電晶體 Mtop、第一電晶體 M1、第二電晶體 M2、第一電容 C1、第二電容 C2、第一二極體 D1、第二二極體 D2、第三二極體 D3、啟動電路 310、第一位準位移器 302、閃鎖迴路裝置 304 以及電阻 Rg。其中，功率電晶體 Mtop 係為一空乏型電晶體。功率電晶體 Mtop 之材料係包含碳化矽(SiC)或氮化鎵(GaN)。功率電晶體 Mtop 之汲極係耦接第一電源 VDD。第一電晶體 M1 之源極係耦接第一電容 C1 與第一二極體 D1 之間，第一二極體 D1 係耦接第二電源 VCC。第二電晶體 M2 之汲極係耦接第一電晶體 M1 之汲極。第二電容 C2 係耦接第一電晶體 M1 之汲極，與第二電晶體 M2 之汲極。第二二極體 D2 係耦接第二電容 C2 與第二電晶體之源極，第二電晶體 M2 係耦接輸出 Vout。電阻 Rg 係耦接於第二電容 C2 與功率電晶體 Mtop 之閘極間。第一位準位移器 302 係耦接第一輸入 Vin1 與第二輸入 Vin2。閃鎖迴路裝置 304 係耦接於第一位準位移器 302 與第一電晶體 M1 之閘極與第二電晶體 M2 之閘極。啟動電路 310 係耦接電阻 Rg 與第二電容 C2。於本實施例，係假設第一電容 C1 之電容值係大於第二

電容 C2 之電容值一個數量級以上。

第 3 圖之上橋驅動電路 300 之啟動電路 310 係用以驅動空乏型之功率電晶體 Mtop，其中，啟動電路 310 包含：第三電晶體 M3，以及第三二極體 D3。第三電晶體 M3 之源極係接地，藉此，可直接利用 0-5 伏特之訊號，以控制啟動電路 310，而不需額外之位準位移器。

請參考第 3 圖，其操作方式為，當一開始時，啟動電路 310 之第三電晶體 M3 導通，使上橋之功率電晶體 Mtop 之閘極電位約為 0 伏特，則輸出 Vout 係被限制於上橋之功率電晶體之臨界電壓 V_{th} ，於本實施例中，例如為 -4 伏特，因此，輸出 Vout 約為 4 伏特。接著，第二電源 VCC 將對第一電容 C1 充電，使第一電容 C1 之跨壓為 $VCC - V_{out}$ 。隨後再將第三電晶體 M3 關閉，即可用前述之開關動作來控制上橋之功率電晶體 Mtop 之開關切換，在此不再贅述。本實施例係藉由額外之第二電容 C2、第二二極體 D2、以及啟動電路 310，以對空乏型之功率電晶體 Mtop 進行控制，藉由此種啟動電路 310 之設計，使第二電源 VCC 有足夠之時間對第一電容 C1 進行充電。

需注意的是，最初第一電容 C1 之跨壓僅能充電至 $VCC - V_{out}$ (即近似於 $VCC - |V_{th}|$)，因此，需選定第二電源 VCC，使得 $-(VCC - |V_{th}|) < V_{th}$ ，即可將功率電晶體 Mtop 關閉。第三電晶體 M3 具有一第三二極體 D3，用以限制電流流向，以使功率電晶體 Mtop 可作正常之切換。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精

神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖，係為根據傳統具有自舉電容之上橋閘極驅動電路示意圖；

第 2 圖，係為根據本發明之一實施例所繪示空乏型電晶體之上橋驅動電路電路示意圖；以及

第 3 圖，係為根據本發明之另一實施例所繪示空乏型電晶體之上橋驅動電路電路示意圖。

【主要元件符號說明】

200 上橋驅動電路

202 第一位準位移器

204 閃鎖迴路裝置

210 啟動電路

212 第二位準位移器

Mtop 功率電晶體

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

C1 第一電容

C2 第二電容

D1 第一二極體

D2 第二二極體

Rg 電阻

Vout 輸出

Vin1 第一輸入

Vin2 第二輸入

VDD 第一電源

VCC 第二電源

VSS 第三電源

300 上橋驅動電路

302 第一位準位移器

304 門鎖迴路裝置

310 啟動電路

D3 第三二極體

七、申請專利範圍：

1. 一種上橋驅動電路，其包含：

一功率電晶體，該功率電晶體之汲極係耦接一第一電源；

一第一電晶體，該第一電晶體之源極係耦接一第一電容與一第一二極體之間，該第一二極體係耦接一第二電源；

一第二電晶體，該第二電晶體之汲極係耦接該第一電晶體之汲極；

一第二電容，係耦接該第一電晶體之汲極，以及該第二電晶體之汲極；

一第二二極體，係耦接該第二電容與該第二電晶體之源極，且該第二電晶體係耦接一輸出；

一電阻，係耦接於該第二電容與該功率電晶體之閘極間；

一第一位準位移器，係耦接一第一輸入與一第二輸入；

一門鎖迴路裝置，係耦接於該第一位準位移器以及該第一電晶體閘極與該第二電晶體之閘極；以及

一啟動電路，係耦接該電阻與該第二電容之間；

其中，該啟動電路係用以關閉該功率電晶體，以使該第二電源有足夠之時間對該第一電容進行充電。

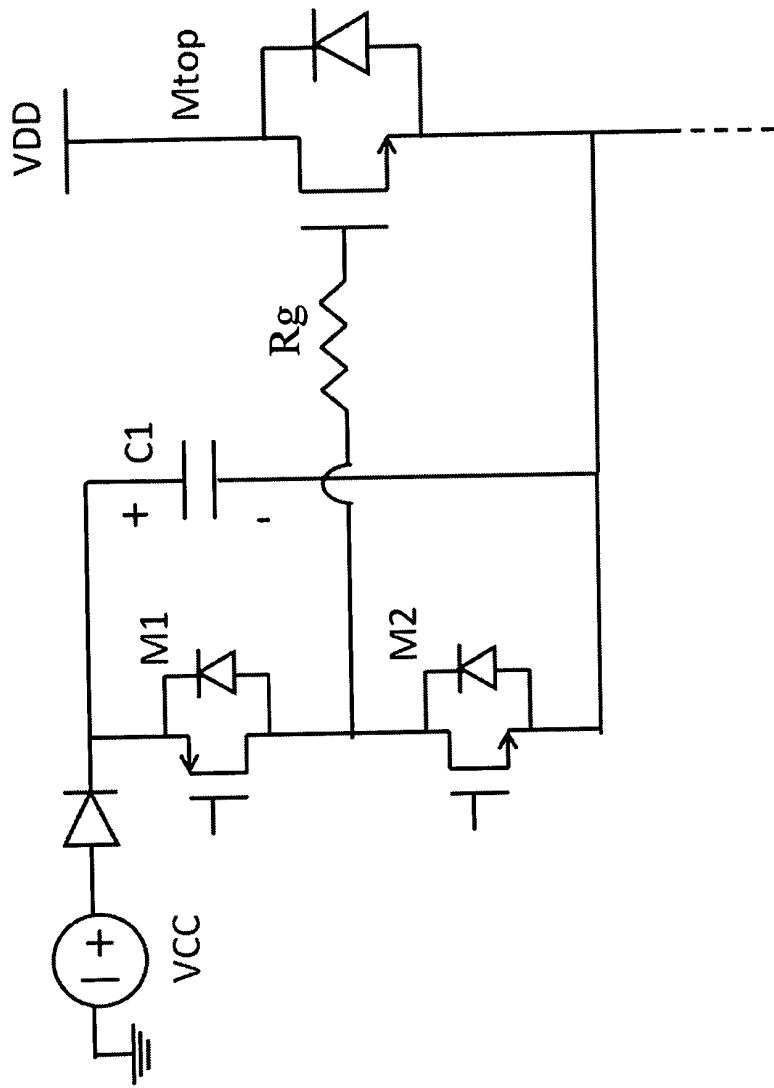
2. 如申請專利範圍第 1 項所述之上橋驅動電路，其中該啟動電路更包含一第三電晶體以及一第二位準位移器，該第三電晶體之汲極係耦接該電阻，該第三電晶體之閘極

以及源極係耦接該第二位準位移器，其中該第三電晶體之源極係耦接一第三電源。

3. 如申請專利範圍第 1 項所述之上橋驅動電路，其中，該第三電源係為一負電壓源，其中該第三電晶體係導通，以使該功率電晶體之閘極為一負電壓，其中第三電源係提供該負電壓於該功率電晶體之閘極，以關閉該功率電晶體，使該第二電源有足夠之時間對該第一電容進行充電。
4. 如申請專利範圍第 1 項所述之上橋驅動電路，其中啟動電路更包含一第三電晶體以及一第三二極體，該第三電晶體之源極係接地，該第三電晶體之汲極係耦接該第三二極體，該第三二極體係耦接該電阻與該第二電容，其中該第三二極體係限制一電流，以關閉該功率電晶體，使該第二電源有足夠之時間對該第一電容進行充電。
5. 如申請專利範圍第 1 項所述之上橋驅動電路，其中該功率電晶體係為一空乏型電晶體。
6. 如申請專利範圍第 5 項所述之上橋驅動電路，其中該功率電晶體之材料係係由碳化矽(SiC)以及氮化鎵(GaN)群組所選出。

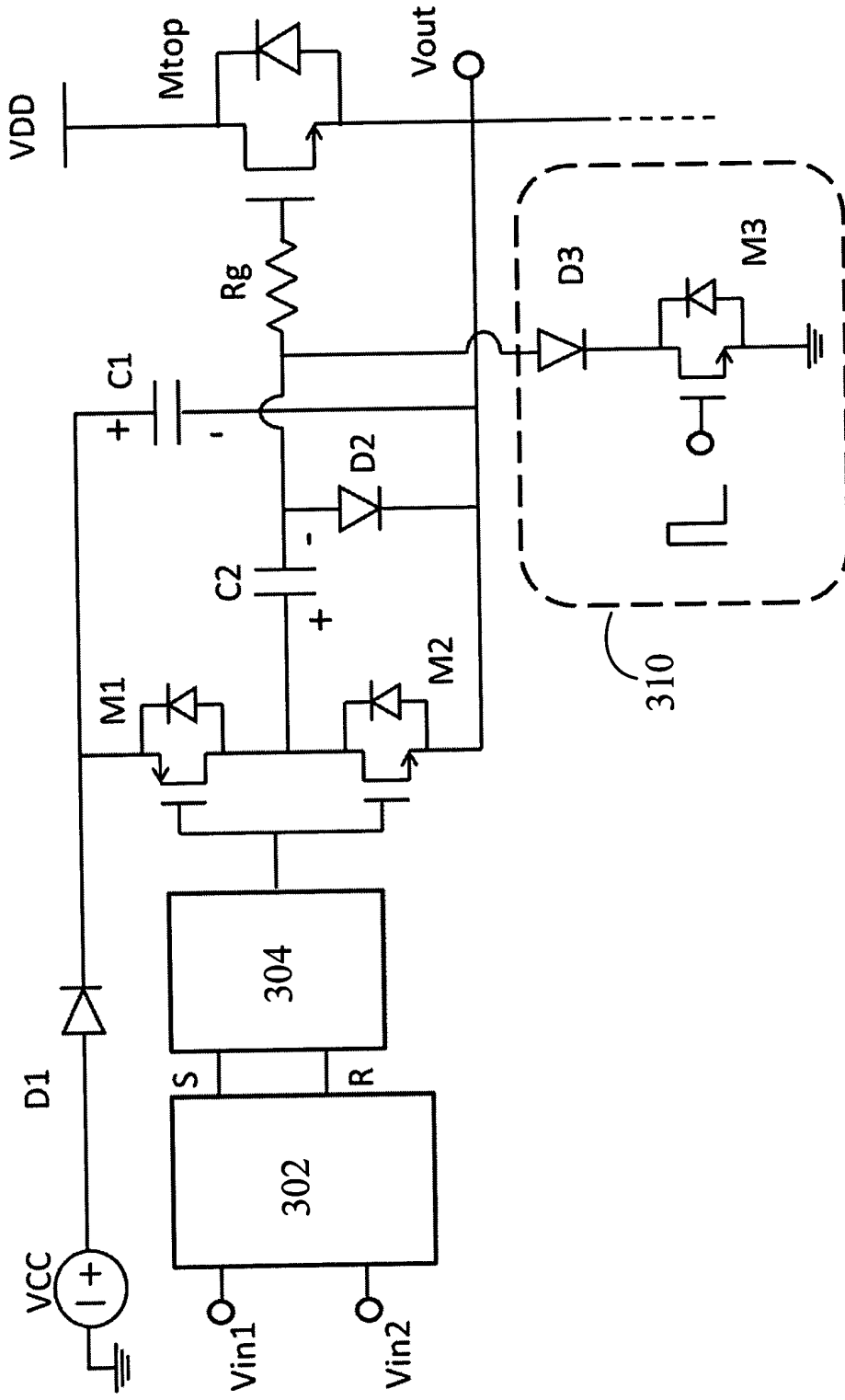
八、圖式：

100



第 1 圖

300



第 3 圖