



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201337500 A

(43)公開日：中華民國 102 (2013) 年 09 月 16 日

(21)申請案號：101108776

(22)申請日：中華民國 101 (2012) 年 03 月 15 日

(51)Int. Cl. : **G05F3/02 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：陳宗麟 CHEN, TSUNG LIN (TW)；張翼 CHANG, EDWARD YI (TW)；成維華
CHIENG, W. H. (TW)；鄭泗東 CHENG, STONE (TW)；鄭時龍 JENG, S. L.
(TW)；黃士維 HUANG, SHIN WEI (TW)

(74)代理人：黃孝悌

申請實體審查：有 申請專利範圍項數：7 項 圖式數：4 共 20 頁

(54)名稱

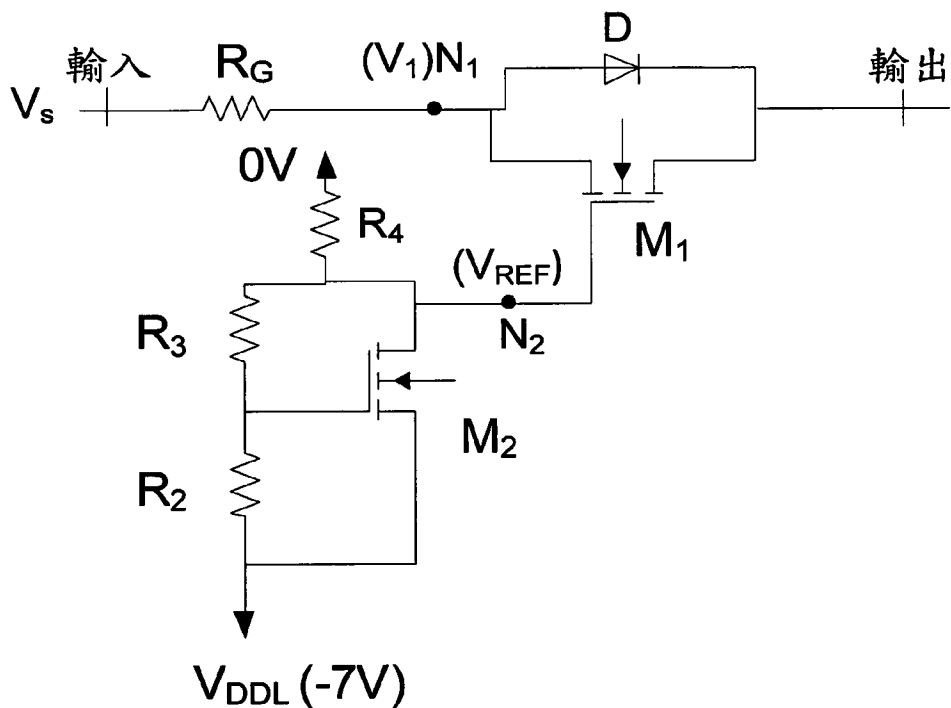
電流限制電路裝置

THE CURRENT LIMIT CIRCUIT APPARATUS

(57)摘要

本發明係提供一種電流限制電路裝置，係連接一氮化鎵電晶體之一閘極，該電流限制電路包含：二極體、第一電晶體、第二電晶體、第一電阻、第二電阻、第三電阻，第一電晶體之源極與汲極係耦接於二極體，第二電晶體之汲極係耦接第一電晶體之閘極，第一電阻耦接二極體以及第一電晶體之源極，第二電阻一端耦接第二電晶體之源極，第三電阻一端耦接於第四電阻以及第一電晶體之閘極，另一端係耦接第二電晶體閘極，第一電晶體之汲極耦接於氮化鎵電晶體之閘極，當氮化鎵電晶體之閘極所流出之電流高於預定值時，第一電晶體係關閉，藉由限制該氮化鎵電晶體之閘極所流出之該電流，以提高該氮化鎵電晶體之崩潰電壓。

204



204：電流限制電路

D：二極體

M₁：第一電晶體

M₂：第二電晶體

N₁：節點

N₂：節點

R₂：為第二電阻

R₃：為第三電阻

R₄：為第四電阻

R_G：第一電阻

V₁：電壓

V_{DDL}：第一電源

V_{REF}：電壓

V_s：輸入

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101108776

※申請日：101.3.15

※IPC分類：G05F 3/02 (2006.01)

一、發明名稱：(中文/英文)

電流限制電路裝置/The current limit circuit apparatus

二、中文發明摘要：

本發明係提供一種電流限制電路裝置，係連接一氮化鎵電晶體之一閘極，該電流限制電路包含：二極體、第一電晶體、第二電晶體、第一電阻、第二電阻、第三電阻，第一電晶體之源極與汲極係耦接於二極體，第二電晶體之汲極係耦接第一電晶體之閘極，第一電阻耦接二極體以及第一電晶體之源極，第二電阻一端耦接第二電晶體之源極，第三電阻一端耦接於第四電阻以及第一電晶體之閘極，另一端係耦接第二電晶體閘極，第一電晶體之汲極耦接於氮化鎵電晶體之閘極，當氮化鎵電晶體之閘極所流出之電流高於預定值時，第一電晶體係關閉，藉由限制該氮化鎵電晶體之閘極所流出之該電流，以提高該氮化鎵電晶體之崩潰電壓。

三、英文發明摘要：

The present invention provides a current limit circuit apparatus, coupled with the gate of a GaN transistor. The current limit circuit comprises a

diode, a first transistor, a second transistor, a first resistor, a second resistor, and a third resistor. The source and the drain of the first transistor couples with the diode. The source of the second transistor couples with the gate of the first transistor. The source of the first transistor couples with the first resistor. The source of the second transistor couples with the second resistor. The third resistor couples with the fourth resistor and the gate of the first transistor. The first transistor turned off and the gate current is limited, when the current of the gate of the GaN transistor exceeds the predetermined value. The breakdown voltage is increased by limiting the gate current.

四、指定代表圖：

(一)本案指定代表圖為：第3圖。

(二)本代表圖之元件符號簡單說明：

204 電流限制電路

V_s 輸入

D 二極體

M_1 第一電晶體

M_2 第二電晶體

V_{DDL} 第一電源

R_G 第一電阻

R_2 為第二電阻

R_3 為第三電阻

R_4 為第四電阻

N_1 、 N_2 節點

V_1 、 V_{REF} 電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電流限制電路裝置，特別是關於一種限制氮化鎵電晶體閘極電流之電流限制電路裝置，藉由限制氮化鎵電晶體閘極電流以增加氮化鎵電晶體之崩潰電壓。

【先前技術】

GaN是寬帶隙半導體，具有快速切換能力，為一高頻操作的電子元件，為通信技術帶來巨大的變化。除此之外，其本身亦具備高的崩潰電壓，也是製造大功率電晶體方面最佳的材料之一，預計會對高功率元件帶來革命性的變化。

傳統增加氮化鎵電晶體崩潰電壓之方式，係利用不同之製程設計或改變元件材料來達成，其作法之技術層次較高，且成本昂貴。如何不須改變製程設計與材料，提高氮化鎵電晶體之崩潰電壓乃是業界所致力於的課題之一。

請參考第 1 圖，其係繪示 AlGaIn/GaN 電晶體各輸出/輸入端漏電流與汲極-源極電壓關係圖。如第 1 圖所示，AlGaIn/GaN，電晶體操作於截止區(cut-off)時，漏電流隨著汲極(drain)源極(source)之電壓差(V_{ds})增加而越大。當達到崩潰電壓時，汲極之漏電流幾乎全部流向閘極。利用上述特點，當 AlGaIn/GaN 電晶體之電晶體關閉時汲極流向閘極之電流被限制時，即可提高電晶體之崩潰電壓。

因此，需要一種電流限制電路，其耦接氮化鎵電晶體之閘極，藉由此電流限制電路限制閘極流出之電流，進而

提高氮化鎵電晶體之崩潰電壓。

【發明內容】

為不改變製程條件與元件材料，而可提高氮化鎵電晶體之崩潰電壓，職是之故，本發明係提出一種以電路設計之電流限制電路，並以此電流限制電路耦接氮化鎵電晶體，限制其關閉時之漏電流大小，最終得以提高其崩潰電壓。

為能夠達成上述之目的，本發明係提供一種適用於氮化鎵電晶體之電流限制電路，即可不需改變製程參數，並可適用於已製作完成之氮化鎵電晶體，以電路設計之方式限制氮化鎵閘極電流，提高其崩潰電壓，使設計者可彈性設計，並降低製作成本。

基於以上之目的，本發明係提供一種電流限制電路裝置，其係連接於氮化鎵電晶體之閘極。該電流限制電路裝置包含有二極體、第一電晶體、第二電晶體、第一電阻、第二電阻、第三電阻以及第四電阻。第一電晶體之源極與汲極係耦接於二極體。第二電晶體之汲極係耦接第一電晶體之閘極。第一電阻係耦接二極體以及第一電晶體源極。第二電阻之一端耦接第二電晶體源極，且耦接於一第一電源。第三電阻之一端耦接於一第四電阻以及該第一電晶體之閘極，第三電阻另一端係耦接第二電晶體之閘極以及第二電阻之另一端。第一電晶體之汲極耦接於二極體一端與氮化鎵電晶體閘極。當氮化鎵電晶體之閘極所流出之一電流高於一預定值時，第一電晶體係關閉，藉由限制氮化鎵

電晶體之閘極所流出之該電流，以提高氮化鎵電晶體之崩潰電壓。

本發明之另一目的係提供一電流限制電路裝置，其更包含：第五電阻、第六電阻、第三電晶體以及第四電晶體。第五電阻係耦接於第三電阻與第一電晶體閘極之間。第三電晶體之汲極耦接第五電阻另一端。第三電晶體之源極係耦接第二電源。第四電晶體之源極係耦接第二電源，第四電晶體之汲極係耦接第六電阻之一端。

其中第四電晶體之閘極係耦接第一電晶體之汲極以及氮化鎵電晶體之閘極，其藉由第三電晶體以及第四電晶體之切換，於氮化鎵電晶體關閉之後，控制第一電晶體係關閉，以限制氮化鎵電晶體之閘極所流出之漏電流，以提高氮化鎵電晶體之崩潰電壓。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本案得藉由以下列圖示與詳細說明，俾得一更深入之了解，以下述詳細實施例說明之，然本發明之權利範圍並不侷限在下述實施例。

第 2 圖係為本案較佳實施例之氮化鎵(GaN)電路裝置圖，如第 2 圖所示，氮化鎵(GaN)電路 200 包含：電晶體驅動電路 202、電流限制電路 204 以及氮化鎵電晶體 M_{GaN} 。電

流限制電路 204 係耦接於電晶體驅動電路 202 以及氮化鎵電晶體 M_{GaN} 間，且電流限制電路 204 係耦接於氮化鎵電晶體 M_{GaN} 閘極。電晶體驅動電路 202 包含有一 P 型金氧半導體場效電晶體 (PMOS) 2022 以及一 N 型金氧半導體場效電晶體 (NMOS) 2024。P 型金氧半導體場效電晶體 (PMOS) 2022 係連接高壓電壓源 V_{DDH} 。N 型金氧半導體場效電晶體 (NMOS) 2024 係連接低壓電壓源 V_{DDL} (此低壓電壓源 V_{DDL} 係與驅動電路 202 使用相同之低壓電源)。於本實施例，高壓電壓源 $V_{\text{DDH}}=0$ 伏特，低壓電壓源 $V_{\text{DDL}}=-7$ 伏特。電晶體驅動電路 202 根據輸入 V_s 之電壓而控制切換 P 型金氧半導體場效電晶體 (PMOS) 2022 與 N 型金氧半導體場效電晶體 (NMOS) 2024。而其中圖所示第一電晶體 M_1 之源極與汲極係耦接於二極體 D，第二電晶體 M_2 之汲極係耦接第一電晶體 M_1 之閘極。

第 3 圖為電流限制電路裝置圖，其中圖所示第一電阻 R_6 係耦接二極體 D 以及第一電晶體 M_1 源極，第二電阻 R_2 之一端係耦接第二電晶體 M_2 之源極，且耦接於第一電源 V_{DDL} ，第三電阻 R_3 之一端係耦接於第四電阻 R_4 以及第一電晶體 M_1 閘極，第三電阻 R_3 之另一端係耦接第二電晶體 M_2 之閘極以及第二電阻 R_2 之另一端，第一電晶體 M_1 之汲極係耦接於二極體 D 一端以及氮化鎵電晶體 M_{GaN} 之閘極。

請參考第 2 圖與第 3 圖，當輸入 $V_s=V_{\text{DDL}}$ 時，P 型金氧半導體場效電晶體 (PMOS) 2022 導通，電流由高壓電壓源 V_{DDH} 透過二極體 D 流過氮化鎵電晶體 M_{GaN} ，則氮化鎵電晶體 M_{GaN}

開啟。當輸入 $V_s = V_{DDH}$ 時，N 型金氧半導體場效電晶體 (NMOS) 2024 導通，電流由氮化鎵電晶體 M_{GaN} 之閘極流向低壓電壓源 V_{DDL} ，此時節點 N_1 之電壓 $V_1 = V_{DDL} + \Delta V$ ，其中 ΔV 代表第一電阻 R_G 的電壓降。節點 N_2 之電壓

$V_{REF} = V_{th} \left(\frac{R_2 + R_3}{R_2} \right) + V_{DDL}$ ，其中 V_{th} 代表第一電晶體 M_1 以及第二電晶體 M_2 之臨界電壓， R_2 為第二電阻， R_3 為第三電阻。

第一電晶體 M_1 的導通條件可表示為 $V_{REF} - V_1 > V_{th}$ ，其中， V_{REF} 為節點 N_2 之電壓。將上述方程式帶入本式可得：

$\Delta V < V_{th} \frac{R_3}{R_2}$ 。已知 ΔV 代表第一電阻 R_G 的壓降，因此可表示成 $\Delta V = i_G R_G$ ，將本式代入 ΔV 式為 $i_G < V_{th} \frac{R_3}{R_2 R_G}$ 。即，當氮化

鎵電晶體 M_{GaN} 閘極所流出之閘極電流 $i_G < V_{th} \frac{R_3}{R_2 R_G}$ (預定值) 時，第一電晶體 M_1 則開啟。反之，當閘極電流 i_G 過大 (高於上述之預定值) 時，第一電晶體 M_1 則關閉，並限制閘極電流 i_G ，藉此提高氮化鎵電晶體 M_{GaN} 之崩潰電壓。本發明之第一電晶體 M_1 以及第二電晶體 M_2 為 N 型金氧半導體場效電晶體 (NMOS)。

而於另一實施例，請參考第 2 圖以及第 4 圖，第 4 圖係為本案另一較佳實施例之電流限制電路裝置圖。本實施例與上述實施例之差異在於增加第三電晶體 M_3 以及第四電

晶體 M_4 ，用以修正電流限制電路的啟動時機。因為當氮化鎵電晶體 M_{GaN} 快速關閉時，閘極之瞬間電流相當大，若此時加以限制電流，將會降低氮化鎵電晶體 M_{GaN} 的關閉速度。即使第 4 圖之電流限制電路僅在氮化鎵電晶體 M_{GaN} 關閉後才開始限電流之動作。而第五電阻 R_5 係耦接於第三電阻 R_3 與第一電晶體 M_1 閘極之間，第三電晶體 M_3 之汲極耦接第五電阻 R_5 之另一端，第三電晶體 M_3 之源極係耦接第二電元 V_{thG} (即氮化鎵電晶體 M_{GaN} 之臨界電壓)。

仍如第 4 圖所示，當氮化鎵電晶體 M_{GaN} 由開啟至關閉瞬間，其閘極電壓約為 0 伏特，此時，第三電晶體 M_3 導通，第四電晶體 M_4 不導通，節點 N_3 之電壓 V_3 約等於氮化鎵電晶體 M_{GaN} 之臨界電壓 V_{thG} 。於此實施例中，臨界電壓 $V_{\text{thG}} = -4$ 伏特。第一電晶體 M_1 則導通，電流則順利由氮化鎵電晶體 M_{GaN} 閘極流出，直到閘極電壓約為臨界電壓 V_{thG} ，藉此確保氮化鎵電晶體 M_{GaN} 進入關閉狀態。接著，氮化鎵電晶體 M_{GaN} 之閘極電壓持續下降，致使第三電晶體 M_3 不導通，第四電晶體 M_4 導通，則節點 N_3 電壓 V_3 即等於上一實施例中節點 N_2 之電壓 V_{REF} ，如第 3 圖所示。藉由本實施例，確保氮化鎵電晶體 M_{GaN} 處於關閉狀態，以修正氮化鎵電晶體 M_{GaN} 由開啟至關閉瞬間，因其瞬間電流與崩潰時閘極電流相接近，所造成氮化鎵電晶體 M_{GaN} 關閉速度下降之問題。本發明之第三電晶體 M_3 以及第四電晶體 M_4 為 P 型金氧半導體場效電晶體 (PMOS)。

本發明上述所提出之兩實施例係以電路設計之方式，在不影響氮化鎵電晶體正常開關的情形下，藉由一電流限

制電路耦接於電晶體驅動電路與氮化鎵電晶體之間，限制氮化鎵電晶體之閘極電流，以提高電路中氮化鎵電晶體於關閉時的崩潰電壓(即汲極-源極電壓)，其改善先前技術，需透過製程設計、製程參數或是元件設計之不彈性與高成本的缺點。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖為 AlGa_N/Ga_N 電晶體各輸出/輸入端漏電流與汲極-源極電壓關係圖；

第 2 圖係為本案較佳實施例之氮化鎵電路裝置圖；

第 3 圖為本案之一較佳實施例電流限制電路裝置圖；

以及

第 4 圖為本案另一較佳實施例之電流限制電路裝置圖。

【主要元件符號說明】

200 氮化鎵電路

202 電晶體驅動電路

204 電流限制電路

M_{GaN} 氮化鎵電晶體

2022 P 型金氧半導體場效電晶體

2024 N 型金氧半導體場效電晶體

M_{GaN} 氮化鎵電晶體

V_{DD} 電源

R_{L} 電阻

V_{DDL} 低壓電壓源

V_{DDH} 高壓電壓源

V_{s} 輸入

D 二極體

N_1 、 N_2 、 N_3 節點

M_1 第一電晶體

M_2 第二電晶體

M_3 第三電晶體

M_4 第四電晶體

V_{th} 臨界電壓

ΔV 壓降

V_1 、 V_3 、 V_{REF} 電壓

V_{DDL} 第一電源

V_{thG} 第二電源

i_{G} 閘極電流

R_{G} 第一電阻

R_2 為第二電阻

201337500

R_3 為第三電阻

R_4 為第四電阻

R_5 為第五電阻

R_6 為第六電阻

七、申請專利範圍：

1. 一種電流限制電路裝置，係連接一氮化鎵電晶體之一閘極，該電流限制電路包含：

— 二極體；

— 第一電晶體，該第一電晶體之源極與汲極係耦接於該二極體；

— 第二電晶體，該第二電晶體之汲極係耦接該第一電晶體之閘極；

— 第一電阻，係耦接該二極體以及該第一電晶體之源極；

— 第二電阻，該第二電阻之一端係耦接該第二電晶體之源極，且耦接於一第一電源；以及

— 第三電阻，該第三電阻之一端係耦接於一第四電阻以及該第一電晶體之閘極，該第三電阻之另一端係耦接該第二電晶體之閘極以及該第二電阻之另一端；

其中該第一電晶體之汲極係耦接於該二極體一端以及該氮化鎵電晶體之閘極，當該氮化鎵電晶體之閘極所流出之一電流高於一預定值時，該第一電晶體係關閉，藉由限制該氮化鎵電晶體之閘極所流出之該電流，以提高該氮化鎵電晶體之崩潰電壓。

2. 如申請專利範圍第 1 項所述之電流限制電路裝置，更包含：

— 第五電阻，該第五電阻係耦接於該第三電阻與該第一電晶體之閘極之間；

— 第三電晶體，該第三電晶體之汲極耦接該第五電

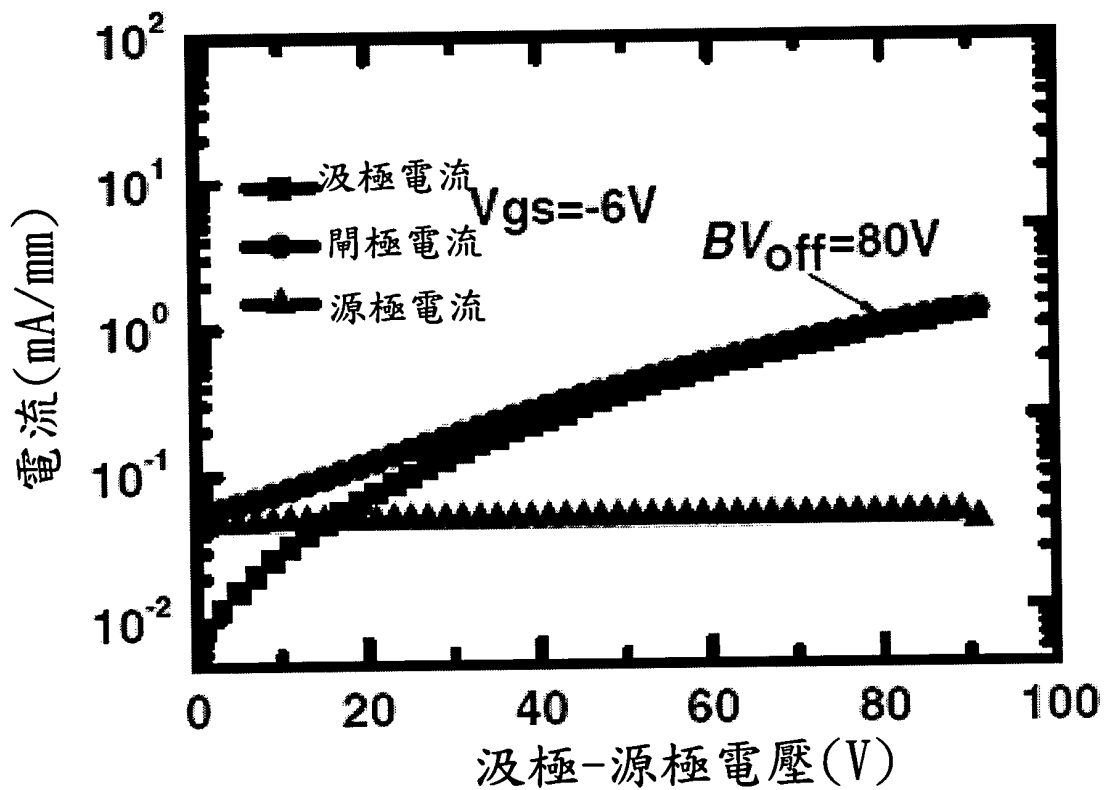
阻之另一端，該第三電晶體之源極係耦接一第二電源；

一第四電晶體，該第四電晶體之源極係耦接該第二電源，該第四電晶體之汲極係耦接一第六電阻之一端；

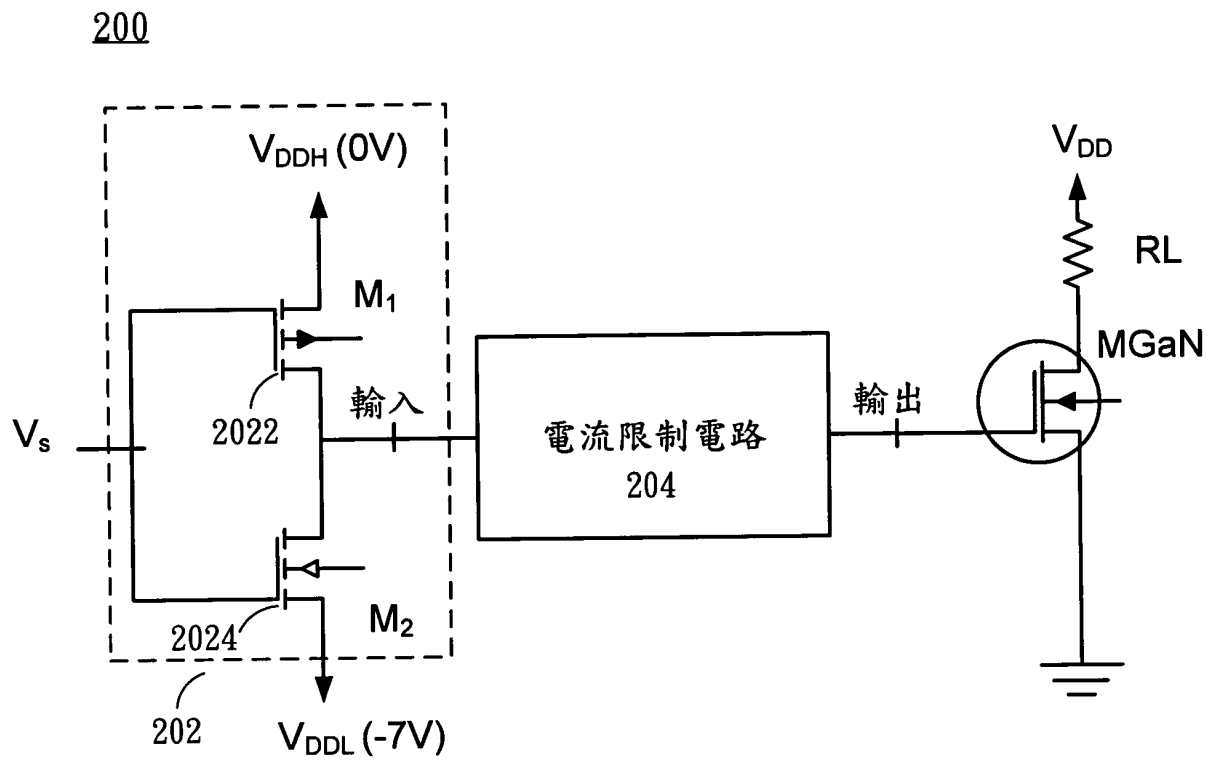
其中該第四電晶體之閘極係耦接該第一電晶體之汲極以及該氮化鎵電晶體之閘極，藉由該第三電晶體以及該第四電晶體之切換，以於該氮化鎵電晶體關閉之後，控制該第一電晶體係關閉，以限制該氮化鎵電晶體之閘極所流出之該電流。

3. 如申請專利範圍第 2 項所述之電流限制電路裝置，其中該第二電源係為該氮化鎵電晶體之一臨界電壓。
4. 如申請專利範圍第 2 項所述之電流限制電路裝置，其中電流限制裝置將於該氮化鎵電晶體完全關閉後，係自行啟動限流功能，以限制該氮化鎵電晶體之閘極所流出之該電流。
5. 如申請專利範圍第 2 項所述之電流限制電路裝置，其中該第三電晶體以及該第四電晶體為 P 型金氧半導體場效電晶體 (PMOS)。
6. 如申請專利範圍第 1 項所述之電流限制電路裝置，其中該第一電源係為低壓電壓源。
7. 如申請專利範圍第 1 項所述之電流限制電路裝置，其中該第一電晶體以及該第二電晶體為 N 型金氧半導體場效電晶體 (NMOS)。

八、圖式：

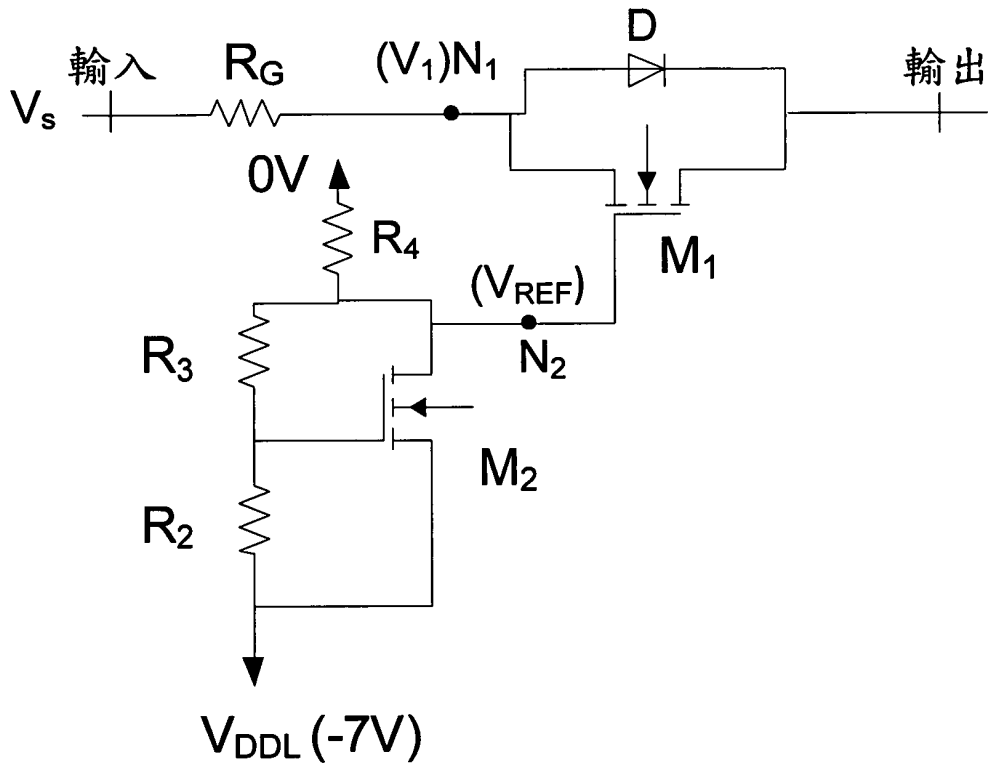


第 1 圖

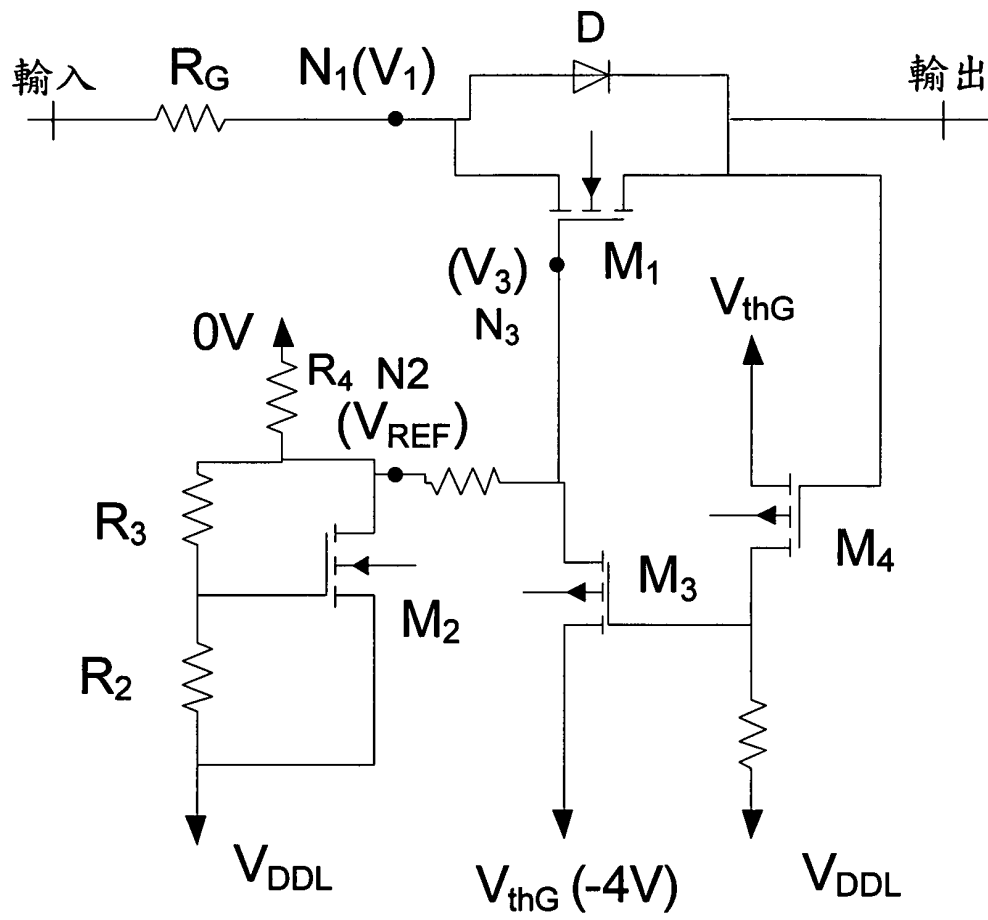


第 2 圖

204



第 3 圖



第 4 圖