



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201335936 A1

(43)公開日：中華民國 102 (2013) 年 09 月 01 日

(21)申請案號：101106197

(22)申請日：中華民國 101 (2012) 年 02 月 24 日

(51)Int. Cl. : **G11C11/417 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：莊景德 CHUANG, CHING TE (TW)；周世傑 JOU, SHYH JYE (TW)；黃威 HWANG, WEI (TW)；林宜緯 LIN, YI WEI (TW)；蔡銘謙 TSAI, MING CHIEN (TW)；楊皓義 YANG, HAO I (TW)；杜明賢 TU, MING HSIEN (TW)；石維強 SHIH, WEI CHIANG (TW)；連南鈞 LIEN, NAN CHUN (TW)；李坤地 LEE, KUEN DI (TW)

(74)代理人：黃孝悳

申請實體審查：有 申請專利範圍項數：7 項 圖式數：5 共 26 頁

(54)名稱

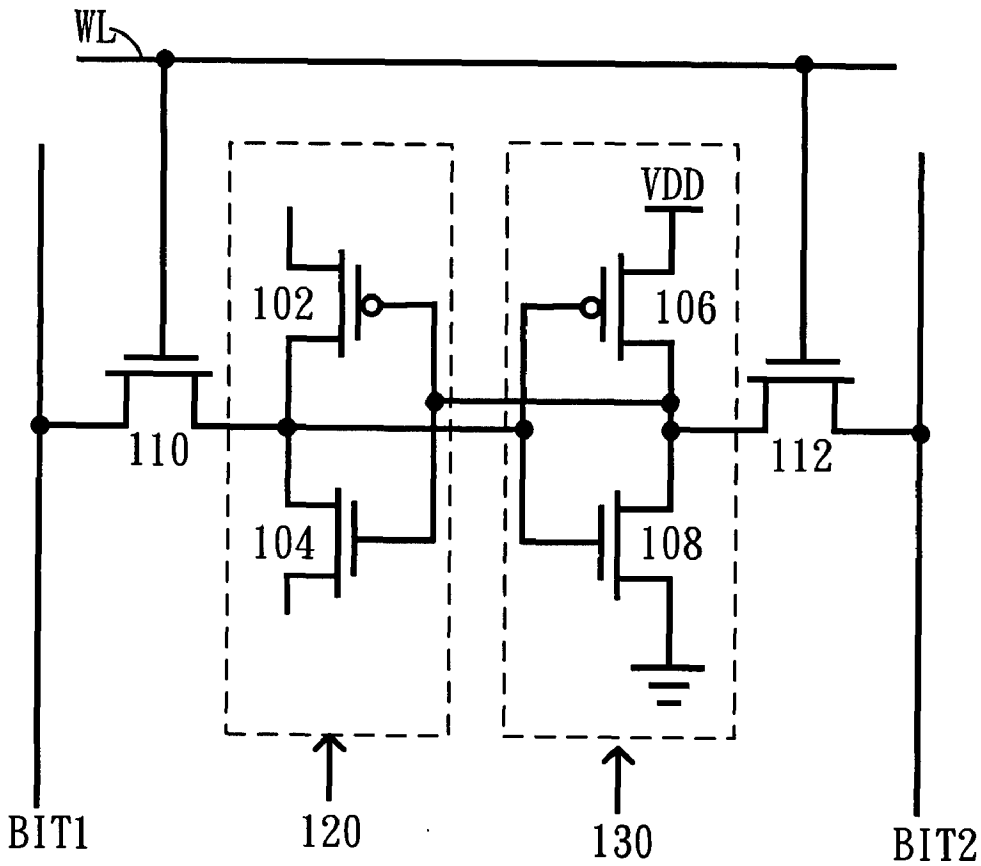
以六電晶體為基礎架構之靜態隨機記憶體陣列

A SRAM BASED ON 6 TRANSISTOR STRUCTURE INCLUDING A FIRST INVERTOR, A SECOND INVERTOR, A FIRST PASS-GATE TRANSISTOR, AND A SECOND PASS-GATE TRANSISTOR

(57)摘要

本發明係提供一種以六電晶體架構組成之靜態隨機存取記憶體，其包含第一反相單元、第二反相單元第一傳送閘電晶體以及第二傳送閘電晶體。第一反相單元包含一第一升壓電晶體與一第一降壓電晶體。第二反相單元包含第二升壓電晶體與第二降壓電晶體。第二升壓電晶體之閘極係耦接第二降壓電晶體之閘極，第二升壓電晶體之汲極係耦接第二降壓電晶體之汲極。靜態隨機存取記憶體僅需藉由控制第一位元線、第二位元線、第一字元線、接地以及電壓源之輸入電壓，而不需改變製程中之物理參數，即可量測轉態電壓、讀取干擾電壓或寫入邊界。

100



100 : 靜態隨機存取記憶體

102 : 第一升壓電晶體

104 : 第一降壓電晶體

106 : 第二升壓電晶體

108 : 第二降壓電晶體

110 : 第一傳送閘電晶體

112 : 第二傳送閘電晶體

120 : 第一反相單元

130 : 第二反相單元

BIT1 : 第一位元線

BIT2 : 第二位元線

VDD : 電壓源

WL : 第一字元線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101106197

※申請日：101.2.24

※IPC分類：G11C 11/417 (2006.01)

一、發明名稱：(中文/英文)

以六電晶體為基礎架構之靜態隨機記憶體陣列/A SRAM based on 6 transistor structure including a first inverter, a second inverter, a first pass-gate transistor, and a second pass-gate transistor

二、中文發明摘要：

本發明係提供一種以六電晶體架構組成之靜態隨機存取記憶體，其包含第一反相單元、第二反相單元第一傳送閘電晶體以及第二傳送閘電晶體。第一反相單元包含一第一升壓電晶體與一第一降壓電晶體。第二反相單元包含第二升壓電晶體與第二降壓電晶體。第二升壓電晶體之閘極係耦接第二降壓電晶體之閘極，第二升壓電晶體之汲極係耦接第二降壓電晶體之汲極。靜態隨機存取記憶體僅需藉由控制第一位元線、第二位元線、第一字元線、接地以及電壓源之輸入電壓，而不需改變製程中之物理參數，即可量測轉態電壓、讀取干擾電壓或寫入邊界。

三、英文發明摘要：

The present invention provides a 6T SRAM including a first inverter, a second inverter, a first pass-gate

transistor, and a second pass-gate transistor. The first inverter includes a first pull-up transistor and a first pull-down transistor. The second inverter includes a second pull-up transistor and a second pull-down transistor. The gate of the second pull-up transistor is coupled with the gate of the second pull-down transistor, and the drain of the second pull-up transistor is coupled with the drain of the second pull-down transistor. The SRAM can measure the trip voltage, the read disturb voltage, and the write margin by controlling the first bit line, the second bit line, the GND, the first word line, and the voltage source without changing of the physic parameter of the SRAM.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

100 靜態隨機存取記憶體

102 第一升壓電晶體

104 第一降壓電晶體

106 第二升壓電晶體

108 第二降壓電晶體

110 第一傳送閘電晶體

112 第二傳送閘電晶體

120 第一反相單元

130 第二反相單元

BIT1 第一位元線

BIT2 第二位元線

WL 第一字元線

VDD 電壓源

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種靜態隨機存取記憶體，特別是有關於一種以六電晶體架構為基礎所組成之靜態隨機存取記憶體，其係用以分別量測靜態隨機存取記憶體之轉態電壓、讀取干擾電壓以及寫入邊界。

【先前技術】

積體電路之可靠度測試基本上取決於半導體元件之可靠度，可靠度對於積體電路而言是一種相當重要的要素，對於現今之奈米元件而言，其可靠度對於元件之微小化以及電路複雜度增加方面，更是扮演重要的角色。

當元件之微小化以及電路複雜度增加的同時，相關聯之電晶體尺寸減小與操作電壓降低，但同時也增加其對雜訊與製程變化的敏感度，例如，當個別靜態記憶體單元於運作當中之變化會造成以高速運作記憶體單元達到效能需求時的顯著失敗率，因此，需要即時量測監視個別記憶體單元之穩定性以確保資料之有效保存，與具有需要之寫入能力。其中，穩定性係以靜態雜訊邊限(Static noise margin, SNM)之方式作量測，而寫入能力以寫入邊界(write margin)之方式作量測。

此外，在可靠度測試方面，隨著供應電壓不斷下降，熱載子效應也不斷的隨之下降，因而熱載子已不是可靠度之頭號殺手，取而代之的是偏壓溫度效應。偏壓溫度效應

會造成電晶體之臨界電壓飄移，例如，於閘極施加一負電壓時，P 通道金屬氧化物半導體(PMOS)電晶體的臨界電壓會隨著時間愈為減少。臨界電壓飄移對積體電路的運作是一大挑戰，因為臨界電壓在電路設計上代表開啟電晶體所需之電壓，飄移即代表電晶體狀態之不確定與電路運作之風險。

因此，需要一種以六電晶體架構為基礎所組成之靜態隨機存取記憶體，以分別量測靜態隨機存取記憶體之轉態電壓 (trip voltage)、讀取干擾電壓 (read disturb voltage) 以及寫入邊界 (write margin)，以協助電路設計者即時動態且長時間的可靠度變化。

【發明內容】

本發明之一目的係提供一種以六電晶體架構為基礎之靜態隨機存取記憶體，即可不需改變製程參數，以即時量測靜態隨機存取記憶體之轉態電壓、讀取干擾電壓以及寫入邊界變化。

基於以上之目的，本發明係提供一種靜態隨機存取記憶體，該靜態隨機存取記憶體係以六電晶體架構組成，此靜態隨機存取記憶體包含：第一反相單元、第二反相單元、第一傳送閘電晶體、第二傳送閘電晶體。第一反相單元包含一第一升壓電晶體與第一降壓電晶體。第二反相單元包含第二升壓電晶體與第二降壓電晶體。第二升壓電晶體之閘極係耦接第二降壓電晶體之閘極。第二升壓電晶體之汲極係耦接第二降壓電晶體之汲極。第二升壓電晶體之

源極係耦接電壓源，第二降壓電晶體之源極係耦接接地。

第一傳送閘電晶體之汲極係耦接第二升壓電晶體之閘極與第二降壓電晶體之閘極。第一傳送閘電晶體之閘極係耦接第一字元線，第一傳送閘電晶體之源極係耦接第一位元線。第二傳送閘電晶體之汲極係耦接第二升壓電晶體之汲極與第二降壓電晶體之汲極。第二傳送閘電晶體之閘極係耦接第一字元線。第二傳送閘電晶體之源極係耦接第二位元線。第一升壓電晶體與第一降壓電晶體係浮接(floating)。

本發明之又一方面係提供一靜態隨機存取記憶體，其係藉由控制第一位元線、第二位元線、第一字元線、接地以及電壓源之輸入電壓，以量測轉態電壓(trip voltage)、讀取干擾電壓(read disturb voltage)或寫入邊界(write margin)。

本發明之另一方面，其第一升壓電晶體以及第二升壓電晶體係為 P 通道金屬氧化物半導體電晶體。第一降壓電晶體、第二降壓電晶體、第一傳送閘電晶體以及第二傳送閘電晶體係為 N 通道金屬氧化物半導體電晶體。

第二升壓電晶體之閘極係耦接第二升壓電晶體之源極。第二升壓電晶體之閘極與汲極係耦接電壓源。第一升壓電晶體與該第一降壓電晶體係浮接(floating)。第一傳送閘電晶體之汲極係耦接第二升壓電晶體之汲極與第二降壓電晶體之汲極。靜態隨機存取記憶體係藉由控制第一位元線、第二位元線、第一字元線、接地以及電壓源之輸入電壓，以量測讀取干擾電壓。

本發明之又一方面，第一升壓電晶體之閘極係與，第一降壓電晶體之閘極以及第二升壓電晶體之汲極耦接。第一升壓電晶體之閘極係耦接第一降壓電晶體之閘極。第一升壓電晶體之汲極係耦接第一降壓電晶體之汲極。第一升壓電晶體之汲極係耦接第一傳送閘電晶體之汲極、第二升壓電晶體之閘極與第二降壓電晶體之閘極，第一升壓電晶體之源極係耦接電壓源，第二降壓電晶體之源極係耦接接地，其中靜態隨機存取記憶體係藉由控制第一位元線、第二位元線、第一字元線、接地以及電壓源之輸入電壓，以量測寫入邊界。

因此，需要一種靜態隨機存取記憶體，其係以六電晶體所組成，靜態隨機存取記憶體係組成一陣列結構，其係不需而不需改變擴散層(difusion)、連接層(contact layer)與多晶材料(Poly)的排列方式，即可利用傳統六電晶體靜態隨機存取記憶體作為量測轉態電壓(trip voltage)、讀取干擾電壓(read disturb voltage)或寫入邊界(write margin)之電路。

【實施方式】

請參考第 1 圖所示，其係為根據本發明之靜態隨機存取記憶體示意圖。靜態隨機存取記憶體係以六電晶體架構組成。靜態隨機存取記憶體 100 包含：第一反相單元 120、第二反相單元 130、第一傳送閘電晶體 110 以及第二傳送閘電晶體 112。第一反相單元 120 係由第一升壓電晶體 102 與第一降壓電晶體 104 組成。第二反相單元 130 由第二升

壓電晶體 106 與第二降壓電晶體 108 所組成。

於第 1 圖之本實施例中，靜態隨機存取記憶體係為量測轉態電壓(trip voltage) V_{trip} 模式。於第一反相單元 120 中，第一升壓電晶體 102 之閘極係耦接第一降壓電晶體 104 之閘極。第一升壓電晶體 102 之汲極係耦接第一降壓電晶體 104 之汲極。第二反相單元 130 中，第二升壓電晶體 106 之閘極係耦接第二降壓電晶體 108 之閘極。第二升壓電晶體 106 之汲極係耦接第二降壓電晶體 108 之汲極。如圖所示，第一反相單元 120 之第一升壓電晶體 102 與第一降壓電晶體 104 係以灰線表示，即表示第一反相單元 120 係與第二反相單元 130 浮接(floating)，而第一反相單元 120 不作用。第二升壓電晶體 106 之源極係耦接電壓源 VDD。第二降壓電晶體 108 之源極係連接於一接地。需說明的是，本實施例靜態隨機存取記憶體 100 中，第一升壓電晶體 102 以及第二升壓電晶體 106 係為 P 通道金屬氧化物半導體電晶體(PMOS)。第一降壓電晶體 104、第二降壓電晶體 108、第一傳送閘電晶體 110 以及第二傳送閘電晶體 112 係為一 N 通道金屬氧化物半導體電晶體(NMOS)。

續參考第 1 圖所示，第一傳送閘電晶體 110 之汲極係與第二升壓電晶體 106 之閘極以及第二降壓電晶體 108 之閘極耦接。第一傳送閘電晶體 110 之閘極係耦接第一字元線(World Line) WL。第一傳送閘電晶體 110 之源極係耦接第一位元線(Bit Line) BIT1。

再參考第 1 圖所示，第二傳送閘電晶體 112 之汲極係耦接第二升壓電晶體 106 之汲極與第二降壓電晶體 108 之

汲極。第二傳送閘電晶體 112 之閘極係耦接第一字元線 WL。第二傳送閘電晶體 112 之源極係耦接第二位元線(Bit Line) BIT2。

於第 1 圖之本實施例中，藉由前述第 1 圖之第一反相單元 120 與第二反相單元 130 之連接方式，靜態隨機存取記憶體 100 係為量測轉態電壓(trip voltage) V_{trip} 之電路架構。

請參考第 2 圖，其係為根據第 1 圖之靜態隨機存取記憶體所組成之靜態隨機存取記憶體陣列示意圖。如第 2 圖所示，靜態隨機存取記憶體陣列 200 係包含複數個第 1 圖中之靜態隨機存取記憶體 100、狀態控制電晶體 150。於本實施例，同一行之複數個靜態隨機存取記憶體 100 係組成一靜態隨機存取記憶體行陣列 230，其中，每一第一傳送閘電晶體 110 之源極係耦接第一位元線(Bit Line) BIT1，每一第二傳送閘電晶體 112 之源極係耦接第二位元線(Bit Line) BIT2。狀態控制電晶體 150 係藉由汲極與源極耦接於第一位元線 BIT1 以及第二位元線 BIT2 之間。狀態控制電晶體 150 之閘極係耦接一控制電壓 V_{trip_enb} ，藉由控制電壓 V_{trip_enb} 以控制第一位元線 BIT1 以及第二位元線 BIT2 短路，進而量測轉態電壓 V_{trip} 。例如，當控制電壓 V_{trip_enb} 之輸入等於 0 時，第一位元線 BIT1 係與第二位元線 BIT2 短路，即可用以量測轉態電壓 V_{trip} 。此外，第一傳送閘電晶體 110 之閘極以及第二傳送閘電晶體 112 之閘極係耦接第一字元線 WL，藉由切換第一字元線 WL，可控制量測同一靜態隨機存取記憶體行陣列 230 中，每一靜態隨機存取記憶

體 100 之轉態電壓 V_{trip} 。

續請參考第 2 圖，靜態隨機存取記憶體陣列 200 更包含複數個多工器 210，以及複數排靜態隨機存取記憶體行陣列 230，每一靜態隨機存取記憶體行陣列 230 之第一位元線 BIT1 係耦接一多工器 210。複數個多工器 210 係耦接至一匯流排 220。靜態隨機存取記憶體陣列 200 係包含複數行之靜態隨機存取記憶體行陣列 230，其係共享一匯流排 220。藉由切換多工器 210，以控制所要選擇之靜態隨機存取記憶體行陣列 230。

於本實施例之第 2 圖所示，靜態隨機存取記憶體陣列 200，欲量測偏壓溫度效應 (Bias Temperature Instability, BTI) 時，其驅動模式包含：PMOS 模式、NMOS(I) 模式以及 NMOS(II) 模式。藉由不同之驅動模式，可分別量測 PMOS 以及 NMOS 之偏壓溫度效應 (BTI)。其中，PMOS 模式：第一字元線 $WL=V_{tress}$ 、電壓源 $VDD=V_{tress}$ 、第一位元線 $BIT1=0$ 、第二位元線 $BIT2$ 係浮接。NMOS(I) 模式：第一字元線 $WL=V_{tress}$ 、電壓源 $VDD=V_{tress}$ 、第一位元線 $BIT1=0$ 、第二位元線 $BIT2=V_{tress}$ 。NMOS(II) 模式：第一字元線 $WL=V_{tress}$ 、電壓源 $VDD=V_{tress}$ 、第一位元線 $BIT1=V_{tress}$ 、第二位元線 $BIT2$ 係浮接，以及接地端係施加電壓 V_{tress} 。

於又一實施例之第 3 圖所示，其係為根據本發明另一實施例之靜態隨機存取記憶體示意圖。於此實施例，靜態隨機存取記憶體 300 係為量測讀取干擾電壓 (read disturb voltage) V_{read} 模式。本實施例 (第 3 圖) 與上一實施例 (第 1 圖) 之差異在於，本實施例之第二升壓電晶體 306 之閘極係

耦接第二升壓電晶體 306 之源極。第一傳送閘電晶體 310 之汲極係耦接第二升壓電晶體 312 之汲極與第二降壓電晶體 312 之汲極，第二升壓電晶體 312 之源極與第二降壓電晶體 312 之源極係連接於電壓源 VDD。以及，第一降壓電晶體 304 之汲極係耦接第一降壓電晶體 304 之源極與第一升壓電晶體 306 之閘極。第一反相單元 320 之第一升壓電晶體 302 與第一降壓電晶體 304 係以灰線表示，即表示第一反相單元 320 係與第二反相單元 330 浮接(floating)。

續參考第 3 圖所示，靜態隨機存取記憶體 300 包含：第一反相單元 320、第二反相單元 330、第一傳送閘電晶體係由第一升壓電晶體 302 與第一降壓電晶體 304 組成。第二反相單元 330 由第二升壓電晶體 306 與第二降壓電晶體 308 所組成。第一傳送閘電晶體 310 之汲極係與第二升壓電晶體 306 之閘極以及第二降壓電晶體 308 之閘極耦接。第一傳送閘電晶體 310 之閘極係耦接第二字元線(World Line) WL1。第一傳送閘電晶體 310 之源極係耦接第三位元線(Bit Line) BIT3。第二傳送閘電晶體 312 之汲極係耦接第二升壓電晶體 306 之汲極與第二降壓電晶體 308 之汲極。第二傳送閘電晶體 312 之閘極係耦接第二字元線 WL1。第二傳送閘電晶體 312 之源極係耦接第四位元線(Bit Line) BIT4。

需說明的是，於第 3 圖之本實施例靜態隨機存取記憶體 300 中，第一升壓電晶體 302 以及第二升壓電晶體 306 係為 P 通道金屬氧化物半導體電晶體(PMOS)。第一降壓電晶體 304、第二降壓電晶體 308、第一傳送閘電晶體 310 以

及第二傳送閘電晶體 312 係為一 N 通道金屬氧化物半導體電晶體(NMOS)。

再請參考第 4 圖，其係為根據第 3 圖之靜態隨機存取記憶體所組成之靜態隨機存取記憶體陣列示意圖。如第 4 圖所示，靜態隨機存取記憶體陣列 400 係包含複數個第 3 圖中之靜態隨機存取記憶體 300、狀態控制電晶體 350。以此實施例，同一行之複數個靜態隨機存取記憶體 300 係組成一靜態隨機存取記憶體行陣列 330，其中，每一第一傳送閘電晶體 310 之源極係耦接第三位元線(Bit Line) BIT3，每一第二傳送閘電晶體 312 之源極係耦接第四位元線(Bit Line) BIT4。狀態控制電晶體 450 之汲極係耦接第三位元線 BIT3，控制電晶體 450 之源極係耦接第四位元線 BIT4。狀態控制電晶體 450 之閘極係耦接一控制電壓 V_{read_enb} ，藉由控制電壓 V_{read_enb} 以控制第四位元線 BIT4，進而量測讀取干擾電壓(read disturb voltage) V_{read} 。例如，當控制電壓 V_{read_enb} 之輸入等於 0 時，第四位元線 BIT4 係於高電位，即可用以量測讀取干擾電壓 V_{read} 。當第二傳送閘電晶體 312 開啟時，直流讀取干擾電壓 V_{read} 係儲存於節點 Q。當第一傳送閘電晶體 310 開啟時，將會協助傳遞讀取干擾電壓 V_{read} 到第三位元線 BIT3。此外，第一傳送閘電晶體 310 之閘極以及第二傳送閘電晶體 312 之閘極係耦接第二字元線 WL1，藉由切換第二字元線 WL1，可控制量測同一靜態隨機存取記憶體行陣列 230 中，每一靜態隨機存取記憶體 300 之讀取干擾電壓 V_{read} 。

仍請參考第 4 圖，靜態隨機存取記憶體陣列 400 更包

含複數個多工器 410，以及複數排靜態隨機存取記憶體行陣列 430，每一靜態隨機存取記憶體行陣列 430 之第三位元線 BIT3 係耦接多工器 410。複數個多工器 410 係耦接至一匯流排 420。靜態隨機存取記憶體陣列 400 係包含複數行之靜態隨機存取記憶體行陣列 430，其係共享一匯流排 420。藉由切換多工器 410，以控制所要選擇之靜態隨機存取記憶體行陣列 430。

於本實施例之第 4 圖所示，靜態隨機存取記憶體陣列 400，欲量測偏壓溫度效應 (Bias Temperature Instability, BTI) 時，其驅動模式包含：NMOS(I) 模式以及 NMOS(II) 模式。其中，NMOS(I) 模式：第二字元線 WL1=0、電壓源 VDD= V_{tress} 、第三位元線 BIT3 係浮接、第四位元線 BIT2 係浮接。NMOS(II) 模式：第二字元線 WL1=0、電壓源 VDD= V_{tress} 、第三位元線 BIT3 係浮接、第四位元線 BIT2 係浮接以及接地端係施加一 $-V_{tress}$ 電壓。

於又一實施例之第 5 圖所示，其係為根據本發明又一實施例之靜態隨機存取記憶體示意圖。於此實施例，靜態隨機存取記憶體 500 係為量測寫入邊界 (write margin) WM 模式。本實施例 (第 5 圖) 與第一實施例 (第 1 圖) 之差異在於，第一反相單元 520 係耦接第二反相單元 530。其中，本實施例之第一升壓電晶體 502 之閘極係與第一降壓電晶體 504 之閘極以及第二升壓電晶體 506 之汲極耦接。第一升壓電晶體 502 之閘極係耦接第一降壓電晶體 504 之閘極。第一升壓電晶體 502 之汲極係耦接第一降壓電晶體 504 之汲極，且第一升壓電晶體 502 之汲極係耦接第一傳送閘

電晶體 510 之汲極、第二升壓電晶體 506 之閘極與第二降壓電晶體 508 之閘極。靜態隨機存取記憶體 500 係藉由控制第五位元線 BIT5、第六位元線 BIT6、第三字元線 WL2、接地以及電壓源 VDD 之輸入電壓，以量測寫入邊界 WM。

於本實施例第 5 圖中，同一時間僅驅動一個 P 通道金屬氧化物半導體電晶體 (PMOS) 以及一個 N 通道金屬氧化物半導體電晶體 (NMOS)。

請參考第 5 圖，靜態隨機存取記憶體陣列 500，欲量測偏壓溫度效應 (Bias Temperature Instability, BTI) 時，其驅動模式包含：第一驅動模式以及第二驅動模式。第一驅動模式：第三字元線 WL2=0、電壓源 VDD= V_{tress} 、第五位元線 BIT5 係浮接、第六位元線 BIT6 係浮接。第二驅動模式：第三字元線 WL2=0、電壓源 VDD= V_{tress} 、第五位元線 BIT5 係浮接、第六位元線 BIT6 係浮接以及接地端係施加一 $-V_{tress}$ 電壓。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖為根據本發明之靜態隨機存取記憶體示意圖；

第 2 圖為根據第 1 圖之靜態隨機存取記憶體所組成之靜態隨機存取記憶體陣列示意圖；

第 3 圖為根據本發明另一實施例之靜態隨機存取記憶體示意圖；

第 4 圖為根據第 3 圖之靜態隨機存取記憶體所組成之靜態隨機存取記憶體陣列示意圖；以及

第 5 圖係為根據本發明又一實施例之靜態隨機存取記憶體示意圖。

【主要元件符號說明】

100、300、500 靜態隨機存取記憶體

102、302、503 第一升壓電晶體

104、304、504 第一降壓電晶體

106、306、506 第二升壓電晶體

108、308、508 第二降壓電晶體

110、310、510 第一傳送閘電晶體

112、312、512 第二傳送閘電晶體

120、320、520 第一反相單元

130、330、530 第二反相單元

V_{trip} 轉態電壓

V_{read} 讀取干擾電壓

WM 寫入邊界

V_{trip_enb} 控制電壓

V_{read_enb} 控制電壓

VDD 電壓源

Q 節點

WL 第一字元線

WL1 第二字元線

BIT1 第一位元線

BIT2 第二位元線

BIT3 第三位元線

BIT4 第四位元線

BIT5 第五位元線

BIT6 第六位元線

150、450 狀態控制電晶體

200、400 靜態隨機存取記憶體陣列

210、410 多工器

220、420 匯流排

230、430 靜態隨機存取記憶體行陣列

七、申請專利範圍：

1. 一種靜態隨機存取記憶體，該靜態隨機存取記憶體係以六電晶體架構組成，該靜態隨機存取記憶體包含：

一第一反相單元，包含一第一升壓電晶體與一第一降壓電晶體；

一第二反相單元，包含一第二升壓電晶體與一第二降壓電晶體，該第二升壓電晶體之閘極係耦接該第二降壓電晶體之閘極，該第二升壓電晶體之汲極係耦接該第二降壓電晶體之汲極，該第二升壓電晶體之源極係耦接一電壓源，該第二降壓電晶體之源極係耦接一接地；

一第一傳送閘電晶體，該第一傳送閘電晶體之汲極係耦接該第二升壓電晶體之閘極與該第二降壓電晶體之閘極，該第一傳送閘電晶體之閘極係耦接一第一字元線，該第一傳送閘電晶體之源極係耦接一第一位元線；以及

一第二傳送閘電晶體，該第二傳送閘電晶體之汲極係耦接該第二升壓電晶體之汲極與該第二降壓電晶體之汲極，該第二傳送閘電晶體之閘極係耦接該第一字元線，該第二傳送閘電晶體之源極係耦接一第二位元線；

其中靜態隨機存取記憶體係藉由控制該第一位元線、該第二位元線、該第一字元線、該接地以及該電壓源之輸入電壓，以量測一轉態電壓(trip voltage)、一讀取干擾電壓(read disturb voltage)或一寫入邊界(write margin)。

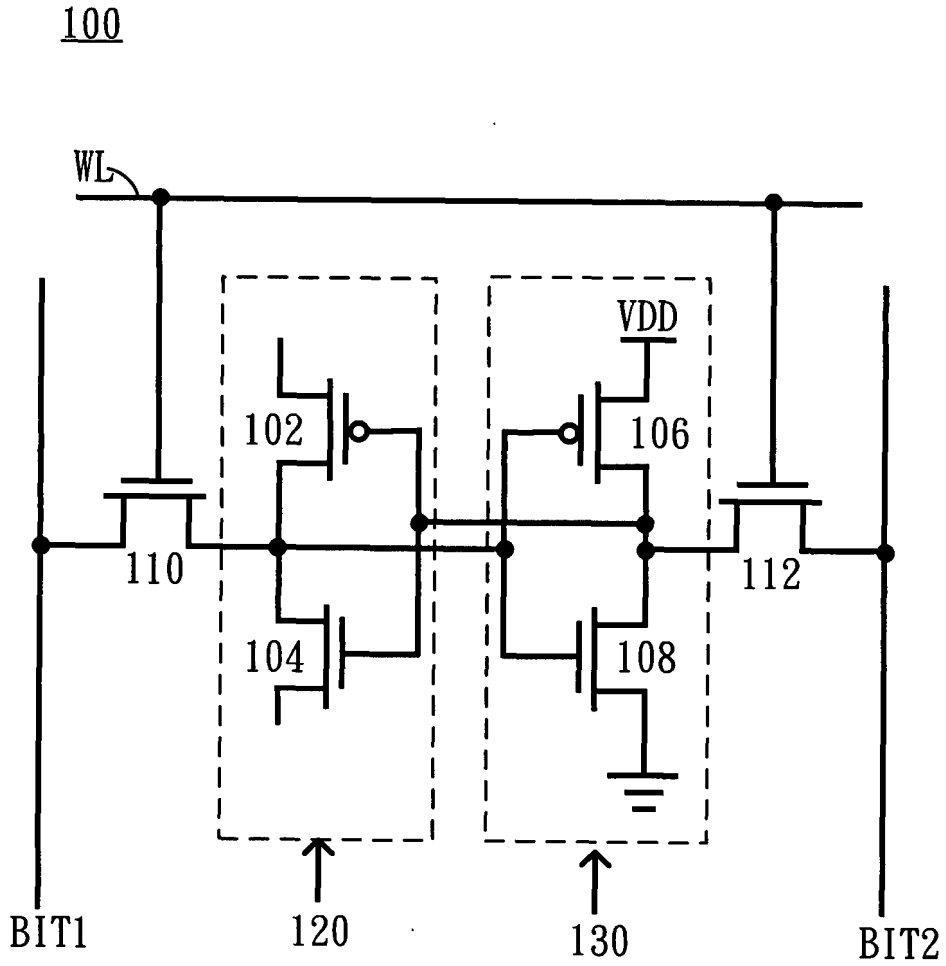
2. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該第一升壓電晶體以及該第二升壓電晶體係為一 P 通

道金屬氧化物半導體電晶體。

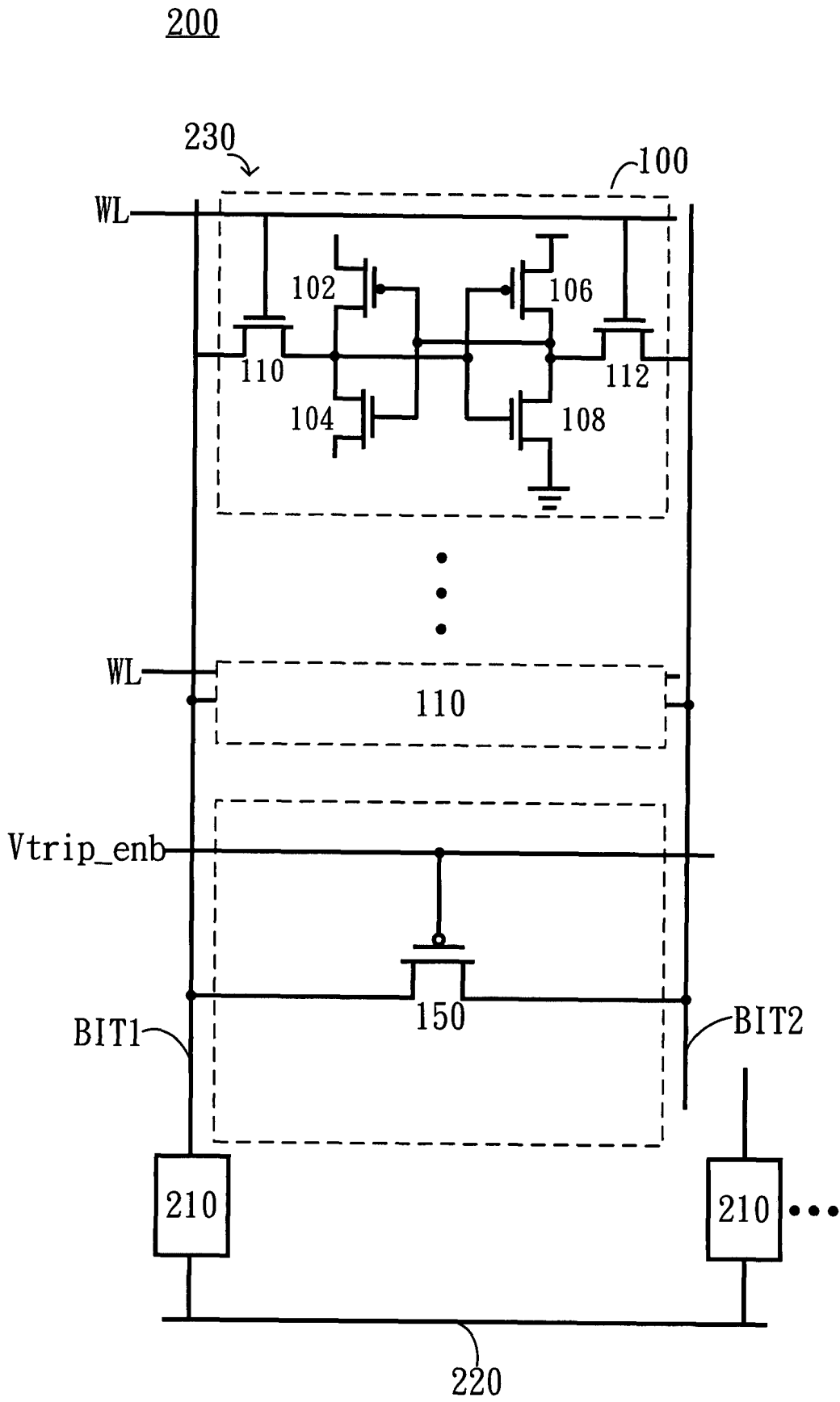
3. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該第一降壓電晶體、該第二降壓電晶體、該第一傳送閘電晶體以及該第二傳送閘電晶體係為一 N 通道金屬氧化物半導體電晶體。
4. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該第一升壓電晶體與該第一降壓電晶體係浮接 (floating)。
5. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，該第二升壓電晶體之閘極係耦接該第二升壓電晶體之源極，該第二升壓電晶體之閘極與汲極係耦接該電壓源，該第一傳送閘電晶體之汲極係耦接該第二升壓電晶體之汲極與該第二降壓電晶體之汲極，其中靜態隨機存取記憶體係藉由控制該第一位元線、該第二位元線、該第一字元線、該接地以及該電壓源之輸入電壓，以量測該讀取干擾電壓。
6. 如申請專利範圍第 5 項所述之靜態隨機存取記憶體，其中該第一升壓電晶體與該第一降壓電晶體係浮接 (floating)。
7. 如申請專利範圍第 1 項所述之靜態隨機存取記憶體，其中該第一升壓電晶體之閘極係與該第一降壓電晶體之閘極以及該第二升壓電晶體之汲極耦接，該第一升壓電晶體之閘極係耦接該第一降壓電晶體之閘極，該第一升壓電晶體之汲極係耦接該第一降壓電晶體之汲極，且該第一升壓電晶體之汲極係耦接該第一傳送閘電晶體之

汲極、該第二升壓電晶體之閘極與該第二降壓電晶體之閘極，該第一升壓電晶體之源極係耦接該電壓源，該第二降壓電晶體之源極係耦接該接地，其中靜態隨機存取記憶體係藉由控制該第一位元線、該第二位元線、該第一字元線、該接地以及該電壓源之輸入電壓，以量測該寫入邊界。

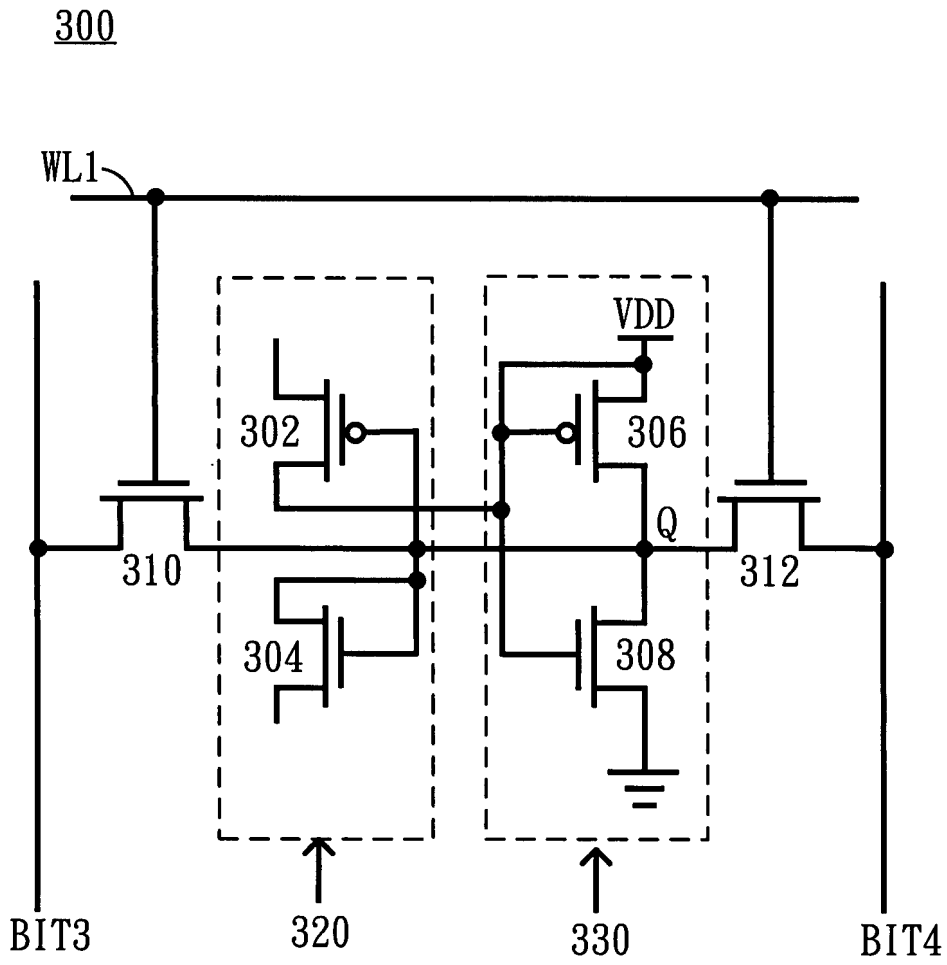
八、圖式：



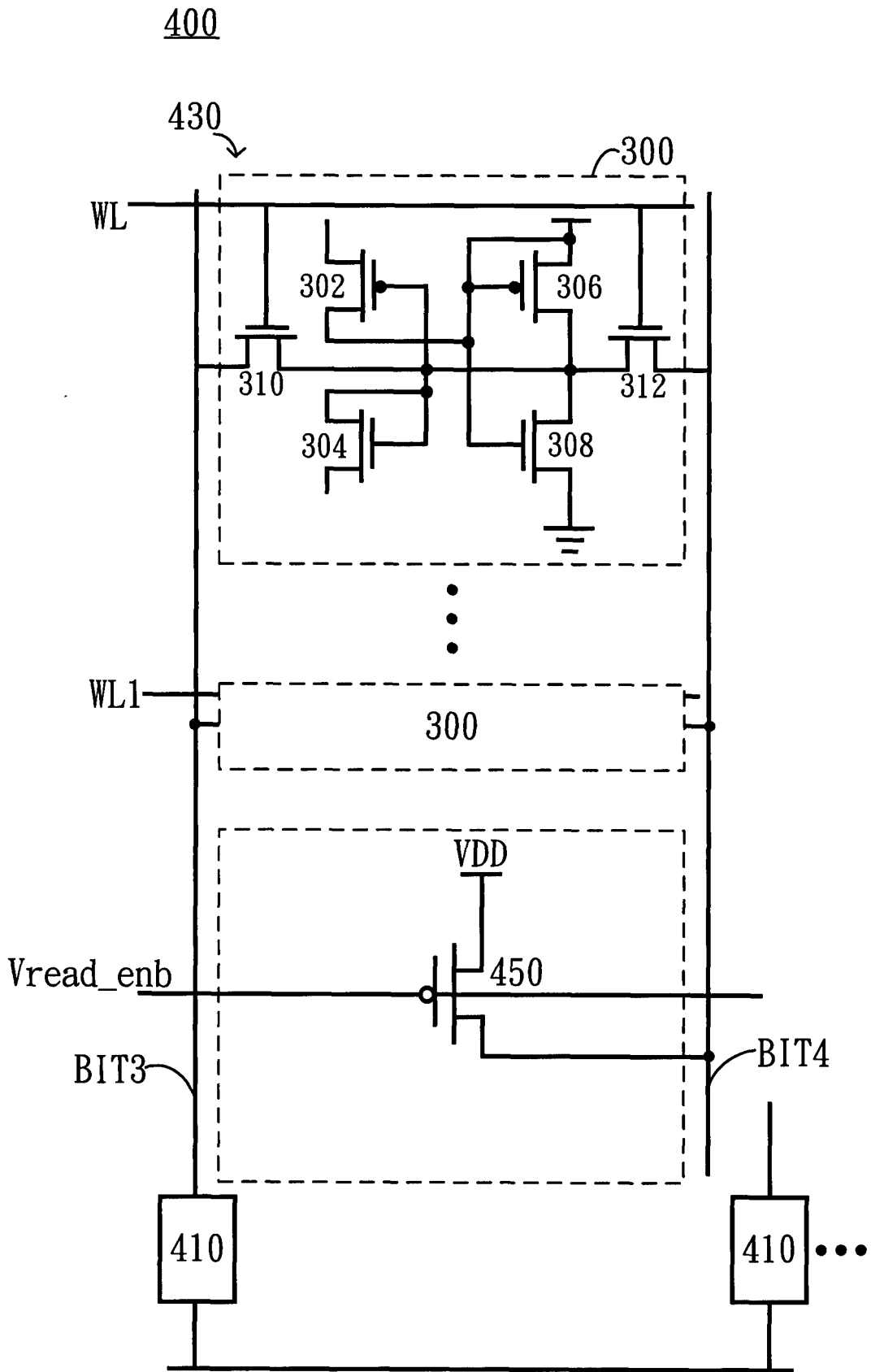
第 1 圖



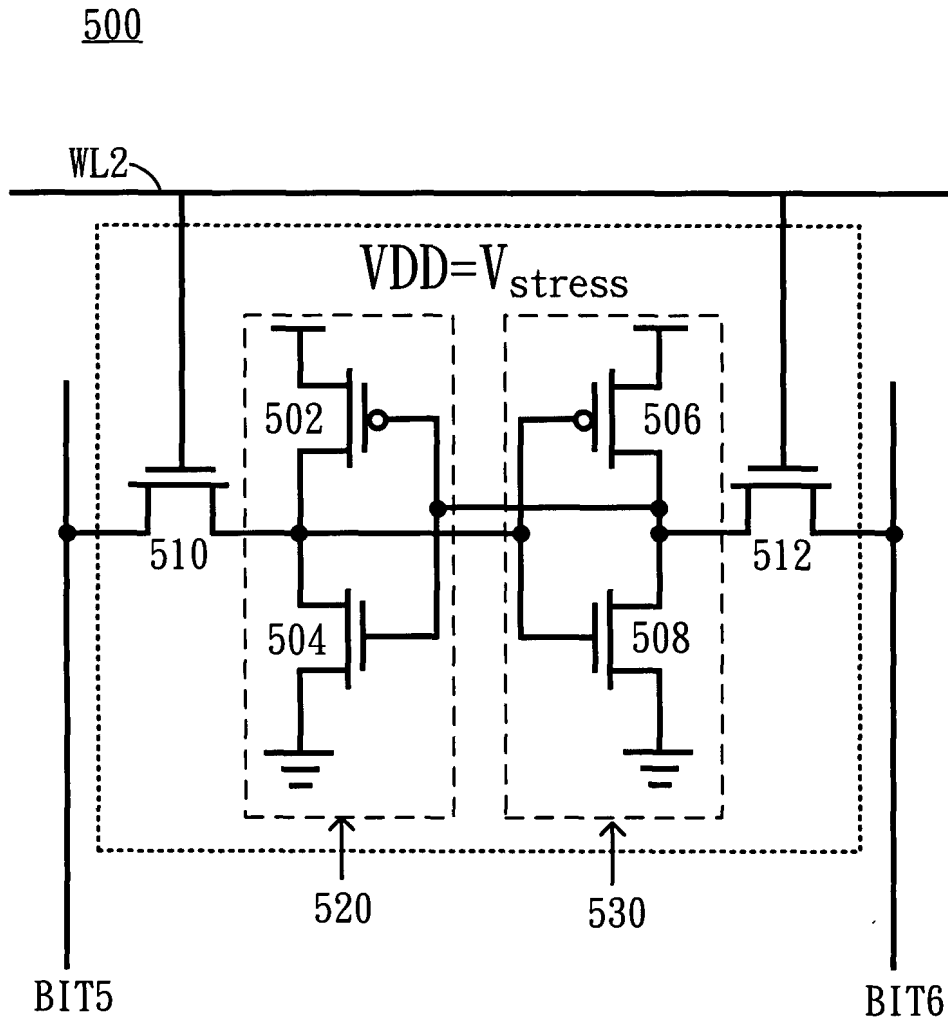
第 2 圖



第 3 圖



第 4 圖



第 5 圖