



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201327755 A1

(43)公開日：中華民國 102 (2013) 年 07 月 01 日

(21)申請案號：100147621

(22)申請日：中華民國 100 (2011) 年 12 月 21 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L23/535 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：謝維致 HSIEH, WEI CHIH (TW) ; 黃威 HWANG, WEI (TW)

(74)代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：8 項 圖式數：2 共 21 頁

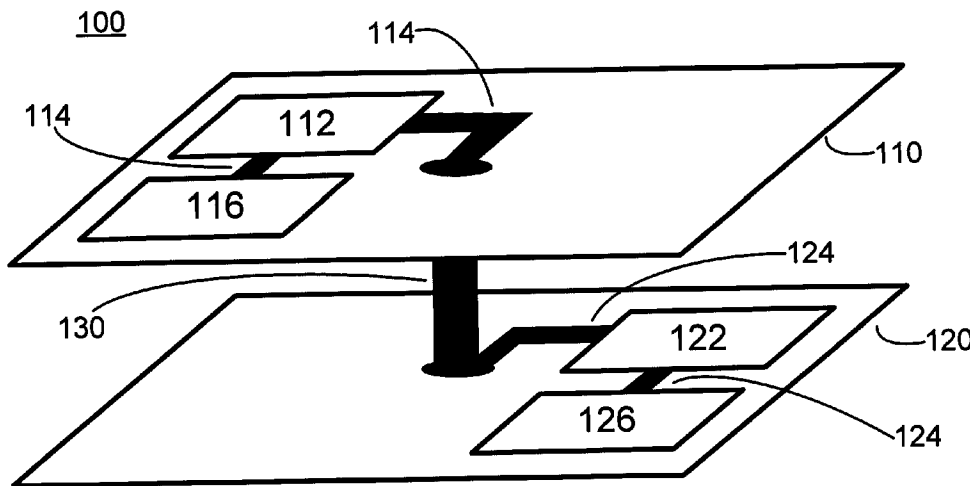
(54)名稱

三維積體電路

THREE DIMENSION INTEGRATED CIRCUIT

(57)摘要

本發明係提供一種三維積體電路，包含：第一半導體晶粒具有至少一第一電壓調節器、至少一第一金屬內連線以及至少一第一積體電路，第二半導體晶粒具有至少一第二電壓調節器、至少一第二金屬內連線以及至少一第二積體電路，第一半導體晶粒與該第二半導體晶粒係以堆疊方式互相接合，全域電源矽穿孔係連接於第一金屬內連線與第二金屬內連線之間，第一電壓調節器係調整電源，以提供第一積體電路第一預定電壓值，第二電壓調節器係調整該電源，以提供該第二積體電路第二預定電壓值。



100：三維積體電路

110：第一半導體晶粒

112：第一電壓調節器

114：第一金屬內連線

116：第一積體電路

120：第二半導體晶粒

122：第二電壓調節器

124：第二金屬內連線

126：第二積體電路

130：全域電源矽穿孔

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00147621)

※申請日：(00.12.21)

※IPC分類：

H01L 23/52 (2006.01)

H01L 23/535 (2006.01)

一、發明名稱：(中文/英文)

三維積體電路 / Three dimension integrated circuit

## 二、中文發明摘要：

本發明係提供一種三維積體電路，包含：第一半導體晶粒具有至少一第一電壓調節器、至少一第一金屬內連線以及至少一第一積體電路，第二半導體晶粒具有至少一第二電壓調節器、至少一第二金屬內連線以及至少一第二積體電路，第一半導體晶粒與該第二半導體晶粒係以堆疊方式互相接合，全域電源矽穿孔係連接於第一金屬內連線與第二金屬內連線之間，第一電壓調節器係調整電源，以提供第一積體電路第一預定電壓值，第二電壓調節器係調整該電源，以提供該第二積體電路第二預定電壓值。

## 三、英文發明摘要：

The present invention provides three dimension integrated circuit, wherein the first semiconductor chip includes at least one first voltage regulator, at least one first metal interconnect, and at least one first integrated circuit, and the second semiconductor chip includes at least one second voltage regulator, at least one second metal

interconnect, and at least one second integrated circuit. The first semiconductor chip stacks with the second semiconductor stack. Global power through silicon via (TSV) couples between the first metal interconnect and the second metal interconnect. The first voltage regulator adjusts the source from the global power TSV, so that the first integrated circuit is provided a first predetermined voltage. The second voltage regulator adjusts the source from the global power TSV, so that the second integrated circuit is provided a second predetermined voltage.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 100 三維積體電路
- 110 第一半導體晶粒
- 120 第二半導體晶粒
- 112 第一電壓調節器
- 114 第一金屬內連線
- 116 第一積體電路
- 122 第二電壓調節器
- 124 第二金屬內連線
- 126 第二積體電路
- 130 全域電源矽穿孔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種三維積體電路，特別是關於一種具有階層分散式電源傳遞架構，與溫度偵測器之三維積體電路，其係傳遞一全域電源，並經由電壓調節器作電壓之調整，以提供給不同電壓給不同區塊。

### 【先前技術】

以目前高度整合晶片技術中，系統單晶片(System on Chip; SoC)仍居於主流，然而，系統單晶片(SoC)是將各種不同類型的元件整合於一顆晶片上，隨著終端需求日趨多元，單一晶片所需整合的元件也就越來越多，這也使得系統單晶片(SoC)所需設計時間與成本快速增加，很難達到即時上市(Time to Market)的需求，且單顆IC面積過大，不利於電子產品短小輕薄的發展趨勢。

而與系統單晶片(SoC)相較，系統級封裝(System in Package, SiP)技術不但設計難度低，產品風險較小，可以達到即時上市、降低成本、積體電路尺寸縮小等需求，然而，系統級封裝(SiP)是以外部導線連結方式連結各層間晶片以傳輸訊號，因此，傳輸距離遠大於以內部訊號方式傳輸的SoC，所以不利於晶片效能的提升。

有別於系統單晶片(SoC)與系統級封裝(SiP)技術，矽穿孔(Through Silicon Via; TSV)三維積體電路(three dimension integrated circuit, 3D IC)技術雖與系統級封裝(SiP)相同，是採晶片垂直堆疊的方式，但訊號傳遞不

再採用介質基板與外部導線，而是讓原始矽晶圓進行穿孔，並在這數十微米寬的微小孔穴中填充如銅、鋁等導電物質，再相互槽嵌在一起。

相較於目前所採用各式整合晶片技術，矽穿孔三維積體電路能以更低功耗與更高傳輸速度來連接各種不同元件。IBM指出，矽穿孔三維積體電路技術可使晶片數據傳輸所需距離縮短為原本的1,000分之1，每個元件的互連性則將增加100倍。

目前研發之矽穿孔三維積體電路技術仍著重於系統整合，能源傳遞之議題尚未有所著墨，於系統整合時，所需之能源電壓及直接經由電源矽穿孔(Power TSV)傳送，此一方法雖最為直接，但卻有以下之缺點。

三維積體電路具有多層之晶片堆疊，當電源矽穿孔(Power TSV)接收外部電源之後，需要傳遞至晶片內部時，因為不同晶片堆疊之傳遞距離不同，路徑上之雜散電容、電感造成每一晶片堆疊處之電壓值具有差異，造成不同晶片堆疊之速度差異，當訊號在不同晶片堆疊間傳遞時，會有同步上之問題。

傳統之電源矽穿孔(Power TSV)係直接對所有晶片堆疊供電，表示對於電源矽穿孔(Power TSV)上所看到之負載相當大，且由於各晶片之電路係直接使用其上電壓，因此，整條能源傳遞路徑上之電壓穩定度要求相當高，用來穩壓的主動被動資源需求亦相當高，占用相當大之面積及能源。此外，額外之矽穿孔連線，同時增加電阻、電容路徑，因此電阻電位降(IR Drop)雜訊亦隨晶片堆疊數目增加而

變嚴重。

三維積體電路(3D IC)由於其立體之堆疊結構，熱量會累積於晶片之間不易散去，因此每平方之熱量密度隨之上升，進而影響電路之可靠度。

因此，業界亟需針對三維積體電路(3D IC)之電源矽穿孔(Power TSV)提出改良。

### 【發明內容】

本發明之一目的在提供一種具有階層分散式電源傳遞架構與溫度偵測器之三維積體電路(3D IC)，藉由將全域與局部電源網絡做切割，大幅減少耦合電容，且其用於異質整合三維積體電路亦非常適合，此外，三維積體電路(3D IC)更加上溫度感知之功能，以解決熱量累積所造成溫度上升之問題。

為達成上述之目的，本發明係提供一種矽穿孔(Through Silicon Via; TSV)三維積體電路，其係具有階層分散式電源傳遞架構(Hierarchical distribute power delivery structure)，其中，此階層分散式傳遞架構以電源矽穿孔(Power TSV)傳遞全域電源(global power)，於提供電源之前先經由一電壓調節器(voltage regulator)做電壓調整與穩壓之處理。此外，本發明更具有一溫度感測器，用以偵測三維積體電路每一半導體晶粒之溫度，並控制每一半導體晶粒開關，以避免其溫度堆積。

基於以上之目的，本發明係提供一種三維積體電路，包含：至少一第一半導體晶粒、至少一第二半導體晶粒以

及全域電源矽穿孔。第一半導體晶粒具有至少一第一電壓調節器、至少一第一金屬內連線以及至少一第一積體電。第二半導體晶粒具有至少一第二電壓調節器、至少一第二金屬內連線以及至少一第二積體電路。第一半導體晶粒與第二半導體晶粒係以堆疊方式互相接合。全域電源矽穿孔係電連接第一半導體晶粒之第一金屬內連線與第二半導體晶粒之第二金屬內連線之間。全域電源矽穿孔係連接於一電源。電源經由全域電源矽穿孔、第一金屬內連線以及第二金屬內連線，分別傳送至第一電壓調節器與第二電壓調節器。

第一半導體晶粒之第一電壓調節器，係根據第一積體電路調整電源，以提供第一積體電路第一預定電壓值。第二半導體晶粒之第二電壓調節器，係根據第二半導體晶粒之第二積體電路調整電源，以提供第二積體電路第二預定電壓值。藉此提供一種具有階層分散式電源傳遞架構與溫度偵測器之三維積體電路(3D IC)，藉由將全域與局部電源網絡做切割，大幅減少耦合電容，

本發明之又一目的，第一電壓調節器以及第二電壓調節器係分別對第一預定電壓以及第二預定電壓提供穩壓處理。

本發明之另一目的，更包含至少一溫度感測器，溫度感測器係連接於第一半導體晶粒之該第一積體電路，其中溫度感測電路係用以量測該第一半導體晶粒之第一溫度。溫度感測器係連接於第二半導體晶粒之第二積體電路，其中溫度感測電路係用以量測第二半導體晶粒之第二溫度，



用以偵測三維積體電路每一半導體晶粒之溫度。

本發明之另一目的，更包含電源管理元件，其係連接於溫度感測器。電源管理元件根據第一溫度或第二溫度，以控制第一半導體晶粒之第一電壓調節器開啟或關閉，或控制該第二半導體晶粒之該第二電壓調節器開啟或關閉，以解決熱量累積所造成溫度上升之問題。

為讓本發明的上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合附圖，作詳細說明如下。

### 【實施方式】

為描述本發明之顯示器之顯示方法及顯示器，以下述詳細實施例說明之，然本發明之權利範圍並不侷限在下述實施例。

請參考第 1 圖，其係為根據本發明之實施例所繪示之三維積體電路示意圖，其具有一階層分散式電源傳遞架構(Hierarchical distribute power delivery structure)。本發明中所揭露之階層分散式電源傳遞架構係以電源矽穿孔(Power TSV)傳遞全域電源(global power)，於提供電源之前先經由一電壓調節器(voltage regulator)做電壓調整與穩壓之處理。

如第 1 圖所示，三維積體電路 100 為兩層堆疊結構，其包含：第一半導體晶粒 110、第二半導體晶粒 120 以及全域電源矽穿孔(global power TSV)130。第一半導體晶粒 110 具有第一電壓調節器 112、第一金屬內連線 114 以及第

一積體電路 116。第二半導體晶粒 120 具有第二電壓調節器 122、第二金屬內連線 124 以及第二積體電路 126。全域電源矽穿孔 130 係電連接第一半導體晶粒 110 之第一金屬內連線 114，與第二半導體晶粒 120 之第二金屬內連線 124 之間。第一半導體晶粒 110 與第二半導體晶粒 120 係以堆疊方式互相接合。全域電源矽穿孔 130 係連接於一外部電源(未圖示)。全域電源矽穿孔接收該電源後分別經由第一金屬內連線 114 傳送至第一電壓調節器 112，以及經由第二金屬內連線 124 傳送至第二電壓調節器 122。

如第 1 圖所示，第一積體電路 116 具有適合之第一預定電壓  $V1$ 。因此，第一半導體晶粒 110 之第一電壓調節器 112 接收到外部電源後，係調整該外部電源之電壓為第一預定電壓  $V1$ ，並提供該第一預定電壓  $V1$  至第一積體電路 116。第二積體電路 126 具有適合之第二預定電壓  $V2$ 。因此，第二半導體晶粒 120 之第二電壓調節器 122 接收到外部電源後，係調整該外部電源之電壓為第二預定電壓  $V2$ ，並提供第二預定電壓  $V2$  至第二積體電路 126。此外，第一電壓調節器 112 與第二電壓調節器 122 係分別對第一預定電壓  $V1$  與第二預定電壓  $V2$  提供電壓穩定之處理。其中，本實施例中之第一預定電壓值  $V1$  係等於第二預定電壓值  $V2$ 。上述係為階層分散式傳遞架構，其以電源矽穿孔(Power TSV)傳遞全域電源(global power)，於提供電源之前先經由一電壓調節器(voltage regulator)做電壓調整與穩壓之處理。

需說明的是，由於線性電壓調節器具有較低之功率消

耗，因此，本發明之第一電壓調節器 112 以及第二電壓調節器 122 亦可置換為線性電壓調節器。此外，熟知本技術領域者可知，本發明之電壓調節器並不限於上述之範圍，其他具有調節電壓之元件亦包含於本發明之範圍中。

上述實施例中，僅以一雙層堆疊之三維積體電路作說明，然，本發明之範圍亦包含兩層以及兩層以上之堆疊結構，全域電源矽穿孔 (global power TSV) 130 傳送全域電源至每一層，每一層之電壓調節器再依照其相應之電壓位準，選用並調整為一局部電壓值，以提供其積體電路。

提供另一實施例，請參考第 2 圖，其係為根據本發明之另一實施例所繪示之三維積體電路示意圖，其係包含一階層分散式電源傳遞架構 (Hierarchical distribute power delivery structure)。如圖所示，三維積體電路 200 為複數層之堆疊結構，其包含：第一半導體晶粒 210、第二半導體晶粒 220、第三半導體晶粒 230、第一全域電源矽穿孔 (global power TSV) 260、第二全域電源矽穿孔 262、第三全域電源矽穿孔 264 以及第四半導體晶粒 250。第一半導體晶粒 210 具有第一電壓調節器 212、第一金屬內連線 214、第一積體電路 216、第一電源管理元件 217 以及第一溫度感測器 218。第二半導體晶粒 220 具有第二電壓調節器 222、第二金屬內連線 224、第二積體電路 226、第二電源管理元件 227 以及第二溫度感測器 228。第三半導體晶粒 230 具有第三電壓調節器 232、第三金屬內連線 234、第三積體電路 236、第三電源管理元件 237 以及第三溫度感測器 238。第四半導體晶粒 250 具有第四電壓調節

器 252 以及第四金屬內連線 254。需說明的是，本實施例乃描述一異質整合結構，因此，其包含有各式之數位類比電路，其中，數位電路一般皆工作於 1 伏特或 1 伏特以下，而類比電路則工作於 3.5 伏特或 3.5 伏特以上。本實施例於第一半導體晶粒 210 下方輸入一外部電源，其電壓例如高於 3.5 伏特，且第一半導體晶粒 210 係為一類比電路，其所需之工作電壓為 3.5 伏特。第二半導體晶粒 220 以及第三半導體晶粒 230 為數位電路，其中，其所需之工作電壓係為 1 伏特。第四電壓調節器 252 係為一大轉化比率之電壓調節器，其將電壓 3.5 伏特轉換為 1 伏特，再傳送給第二半導體晶粒 220 以及第三半導體晶粒 230 之數位電路使用。需說明的是，第四電壓調節器 252 係為一電感電容降壓轉換器(LC Buck Converter)。

續如第 2 圖所示，第一全域電源矽穿孔 260 係電連接第一半導體晶粒 210 之第一金屬內連線 214 與第四半導體晶粒 250 之第四金屬內連線 254。第二全域電源矽穿孔 262 係電連接於第四半導體晶粒 250 之第四金屬內連線 254 與第二半導體晶粒 220 之第二金屬內連線 224。第三全域電源矽穿孔 264 係電連接於第二半導體晶粒 220 之第二金屬內連線 224 與第三半導體晶粒 230 之第三金屬內連線 234。

如第 2 圖所示，第一積體電路 216 具有適合之第一預定電壓  $V_1$ ，例如等於 3.5 伏特。因此，第一半導體晶粒 210 之第一電壓調節器 212 接收到一外部電源，例如略大於 3.5 伏特（未圖示），接著調整外部電源為第一預定電壓  $V_1$ ，並提供該第一預定電壓  $V_1$  至第一積體電路 216。

如上所述，第二半導體晶粒 220 以及第三半導體晶粒 230 為一數位電路，因此，外部電源之電壓(例如略大於 3.5 伏特)需經由第四半導體晶粒 240 之第四電壓調節器 252 轉換為 1 伏特後，才可經由第二全域電源矽穿孔 262 提供至第二半導體晶粒 220 以及第三半導體晶粒 230。

第二積體電路 226 具有適合之第二預定電壓  $V_2$ ，例如等於 1 伏特。因此，第二半導體晶粒 220 之第二電壓調節器 222 接收到經由第四電壓調節器 252 轉換後之電源後，其係調整為一第二預定電壓  $V_2$ ，例如等於 1 伏特，並提供第二預定電壓  $V_2$  至第二積體電路 226。第三積體電路 236 具有適合之第三預定電壓  $V_3$ 。因此，第三半導體晶粒 230 之第三電壓調節器 232 接收到經由第四電壓調節器 252 轉換後之電源後，其係調整為第三預定電壓  $V_3$ ，例如等於 0.7 伏特，並提供該第三預定電壓  $V_3$  至第三積體電路 236。需說明的是，本實施例之第一預定電壓  $V_1$ 、第二預定電壓  $V_2$  以及第三預定電壓  $V_3$  之電壓值係不相等。此外，第一電壓調節器 212 與第二電壓調節器 222、第三電壓調節器 232 以及第四電壓調節器 252 亦分別對第一預定電壓  $V_1$ 、第二預定電壓  $V_2$ 、第三預定電壓  $V_3$  提供電壓穩定之處理。

需說明的是，由於線性電壓調節器具有較低之功率消耗，因此，本發明之第一電壓調節器 212、第二電壓調節器 222 以及第三電壓調節器 232 亦可置換為一線性電壓調節器。而本實施例之電壓調節器並不限於上述之範圍，其他具有調節電壓之元件亦包含於本發明之範圍中。

於第 2 圖所示之本實施例中，第一半導體晶粒 210 更

包含第一電源管理元件 217 以及第一溫度感測器 218。第二半導體晶粒 220 更包含第二電源管理元件 227 以及第二溫度感測器 228。第三半導體晶粒 230 更包含第三電源管理元件 237 以及第三溫度感測器 238。第一溫度感測器 218 係連接於第一半導體晶粒 210 之第一積體電路 216，其中溫度感測電路係用以量測該第一半導體晶粒 210 之第一溫度 T1。第二溫度感測器 228 係連接於第二半導體晶粒 220 之第二積體電路 226，其中第二溫度感測器 228 係用以量測第二半導體晶粒 220 之第二溫度 T2。第三溫度感測器 238 係連接於第三半導體晶粒 230 之第三積體電路 236，其中第三溫度感測器 238 係用以量測第三半導體晶粒 230 之第三溫度 T3。

仍參考第 2 圖所示，第一電源管理元件 217 連接於第一電壓調節器 212 與第一積體電路 216 之間。第二電源管理元件 227 連接於第二電壓調節器 222 與第二積體電路 226 之間。第三電源管理元件 237 連接於第三電壓調節器 232 與第三積體電路 236 之間。第一電源管理元件 217 係根據第一溫度 T1，控制第一半導體晶粒 210 之第一電壓調節器 212 開啟或關閉。第二電源管理元件 227 係根據第二溫度 T2，控制第二半導體晶粒 220 之第二電壓調節器 222 開啟或關閉。第三電源管理元件 237 係根據第三溫度 T3，控制第三半導體晶粒 230 之第三電壓調節器 232 開啟或關閉，藉此控制各積體電路之供電，以解決熱量累積所造成溫度上升之問題。

本發明之三維積體電路係包含一階層分散電源傳遞架

構，其可大幅減少藕荷電容，且各別電路可各自穩壓，減少相互干擾。此外，於異質整合時，各電路區塊所需之電壓係不相同，本電路結構僅需一最高電壓之輸入，其他區塊電路所需不同電壓，則可由其內部之電壓調節器降轉，大幅減少矽穿孔面積之佔用。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

#### 【圖式簡單說明】

第 1 圖係根據本發明之實施例所繪示之三維積體電路示意圖；以及

第 2 圖係根據本發明之另一實施例所繪示之三維積體電路示意圖。

#### 【主要元件符號說明】

- 100、200 三維積體電路
- 110 第一半導體晶粒
- 120 第二半導體晶粒
- 112 第一電壓調節器
- 114 第一金屬內連線
- 116 第一積體電路
- 122 第二電壓調節器

- 124 第二金屬內連線
- 126 第二積體電路
- 130 全域電源矽穿孔
- 210 第一半導體晶粒
- 212 第一電壓調節器
- 214 第一金屬內連線
- 216 第一積體電路
- 217 第一電源管理元件
- 218 第一溫度感測器
- 220 第二半導體晶粒
- 222 第二電壓調節器
- 224 第二金屬內連線
- 226 第二積體電路
- 227 第二電源管理元件
- 228 第二溫度感測器
- 230 第三半導體晶粒
- 232 第三電壓調節器
- 234 第三金屬內連線
- 236 第三積體電路
- 237 第三電源管理元件
- 238 第三溫度感測器
- 250 第四半導體晶粒
- 252 第四電壓調節器
- 254 第四金屬內連線
- 260 第一全域電源矽穿孔



201327755

262 第二全域電源矽穿孔

264 第三全域電源矽穿孔

## 七、申請專利範圍：

## 1. 一種三維積體電路，包含：

至少一第一半導體晶粒以及至少一第二半導體晶粒，該第一半導體晶粒具有至少一第一電壓調節器、至少一第一金屬內連線以及至少一第一積體電路，該第二半導體晶粒具有至少一第二電壓調節器、至少一第二金屬內連線以及至少一第二積體電路，其中該第一半導體晶粒與該第二半導體晶粒係以堆疊方式互相接合；以及

一全域電源矽穿孔，係電連接該第一半導體晶粒之該第一金屬內連線與該第二半導體晶粒之該第二金屬內連線之間；

其中該全域電源矽穿孔係連接於一電源，該電源經由該全域電源矽穿孔、該第一金屬內連線以及該第二金屬內連線，分別傳送至該第一電壓調節器與該第二電壓調節器。

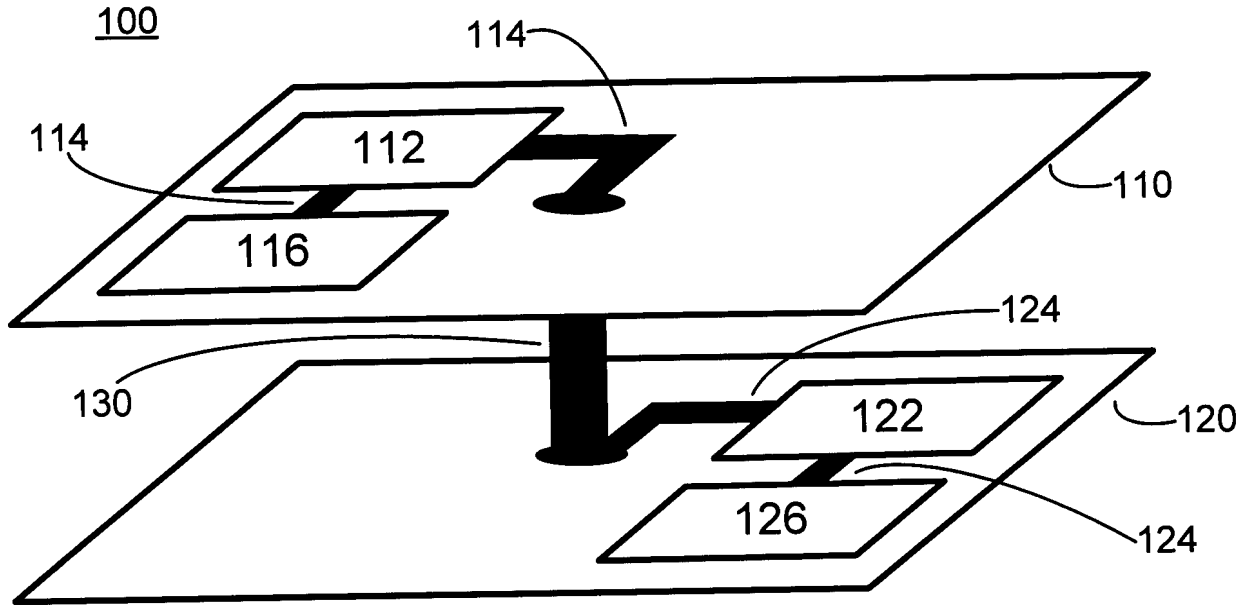
2. 如申請專利範圍第 1 項所述之三維積體電路，其中該第一半導體晶粒之該第一電壓調節器，係根據該第一積體電路調整該電源，以提供該第一積體電路一第一預定電壓值，以及該第二半導體晶粒之該第二電壓調節器，係根據該第二半導體晶粒之該第二積體電路調整該電源，以提供該第二積體電路一第二預定電壓值。

3. 如申請專利範圍第 2 項所述之三維積體電路，其中該第一電壓調節器以及該第二電壓調節器係分別對該第一預定電壓以及該第二預定電壓提供穩壓處理。

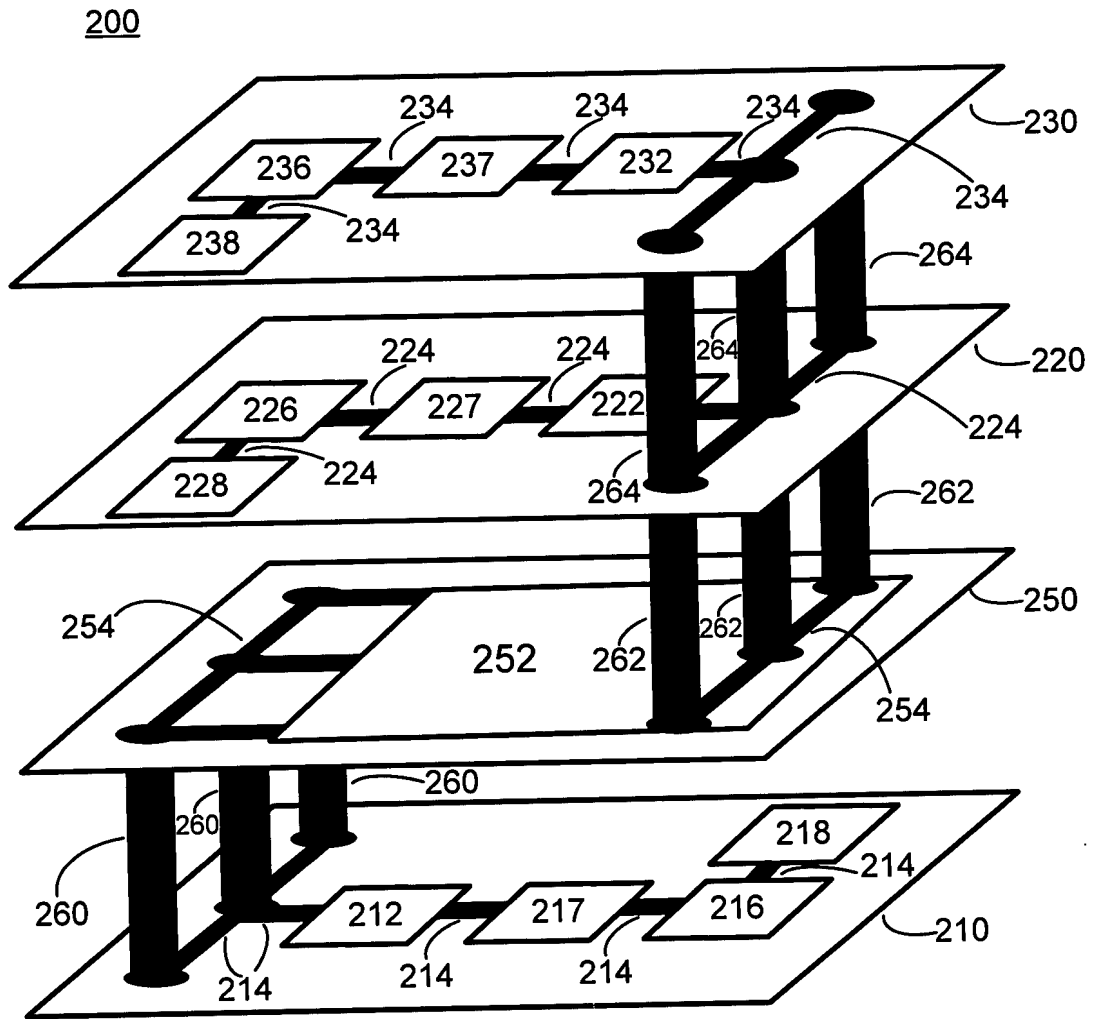
4. 如申請專利範圍第 2 項所述之三維積體電路，其中該第一預定電壓值係不等於該第二預定電壓值。

5. 如申請專利範圍第 2 項所述之三維積體電路，更包含至少一溫度感測器，該溫度感測器係連接於該第一半導體晶粒之該第一積體電路，其中該溫度感測電路係用以量測該第一半導體晶粒之一第一溫度。
6. 如申請專利範圍第 2 項所述之三維積體電路，更包含至少一溫度感測器，該溫度感測器係連接於該第二半導體晶粒之該第二積體電路，其中該溫度感測器係用以量測該第二半導體晶粒之一第二溫度。
7. 如申請專利範圍第 5 項或第 6 項所述之三維積體電路，更包含至少一電源管理元件，其係連接於該第一電壓調節器與該第一積體電路之間，以及連接於該第二電壓調節器與該第二積體電路之間，該電源管理元件係根據該第一溫度或該第二溫度，分別控制該第一半導體晶粒之該第一電壓調節器開啟或關閉，或控制該第二半導體晶粒之該第二電壓調節器開啟或關閉。
8. 如申請專利範圍第 1 項所述之三維積體電路，其中該第一電壓調節器以及該第二電壓調節器包含線性電壓調節器。

八、圖式：



第 1 圖



第 2 圖