



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201324587 A1

(43) 公開日：中華民國 102 (2013) 年 06 月 16 日

(21) 申請案號：100146641

(22) 申請日：中華民國 100 (2011) 年 12 月 15 日

(51) Int. Cl.：

*H01L21/20 (2006.01)*

*H01L21/316 (2006.01)*

*H01L29/94 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；林岳欽 LIN, YUEH CHIN (TW)；張嘉華

CHANG, CHIA HUA (TW)；金海光 TRINH, HAI-DANG (VN)

(74) 代理人：蔡清福

申請實體審查：有 申請專利範圍項數：10 項 圖式數：6 共 20 頁

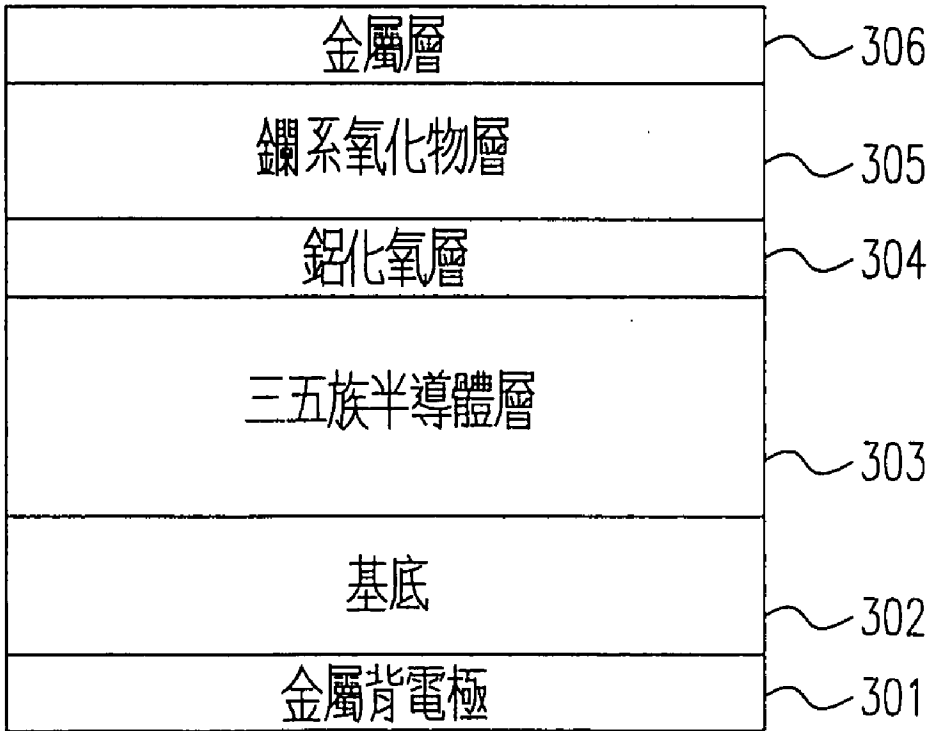
(54) 名稱

半導體元件及其製作方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明提出一種半導體元件及其製作方法。該半導體元件包含：三五族半導體層；一氧化鋁層，形成於該三五族半導體層上；以及一矽系氧化物層，形成於該氧化鋁層上。該製造半導體元件的方法包含：形成一氧化鋁層於三五族半導體層與一矽系氧化物層之間，以防止該三五族半導體層與該矽系氧化物層之間的原子擴散作用。



- 300 : 金氧半導體元件
- 301 : 金屬背電極
- 302 : 基底
- 303 : 三五族半導體層
- 304 : 氧化鋁層
- 305 : 鈧系氧化物層
- 306 : 金屬層

300

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部份請勿填寫)

※ 申請案號：100146641

H01L 21/20 (2006.01)

※ 申請日：100.12.15

※IPC 分類：

H01L 21/316 (2006.01)

H01L 29/94 (2006.01)

一、發明名稱：(中文/英文)

半導體元件及其製作方法/Semiconductor Device and  
Manufacturing Method thereof

二、中文發明摘要：

本發明提出一種半導體元件及其製作方法。該半導體元件包含：三五族半導體層；一氧化鋁層，形成於該三五族半導體層上；以及一鑰系氧化物層，形成於該氧化鋁層上。該製造半導體元件的方法包含：形成一氧化鋁層於三五族半導體層與一鑰系氧化物層之間，以防止該三五族半導體層與該鑰系氧化物層之間的原子擴散作用。

三、英文發明摘要：

The present invention relates to a semiconductor device and a manufacturing method thereof. The semiconductor device includes: a III-V semiconductor layer; an aluminum oxide layer formed on the III-V semiconductor layer; and a lanthanide oxide layer formed on the aluminum oxide layer. The method of manufacturing a semiconductor device includes: forming a aluminum oxide layer between a III-V semiconductor layer and a lanthanide oxide layer so as to prevent an inter-reaction of atoms between the III-V semiconductor layer and the lanthanide oxide layer.

四、指定代表圖：

(一)本案指定代表圖為：第三圖

(二)本代表圖之元件符號簡單說明：

300：金氧半導體元件

301：金屬背電極

302：基底

303：三五族半導體層

304：氧化鋁層

305：釧系氧化物層

306：金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係指一種半導體元件，尤指一種具有氧化鋁層以防止半導體層及介電層間原子交互擴散作用之半導體元件。

### 【先前技術】

隨著科技的發展，積體電路尺寸日益變小，單位電容量的需求也日益增加。近年來三五族複合物半導體被廣泛的研究，其原因在於三五族半導體較矽半導體材料有較佳之材料特性。舉例來說，將氧化物沉積於三五族半導體晶片上作為閘極介電層之三五族金氧半導體電晶體 (III-V Metal-Oxide-Semiconductor Field Effect transistor) 可以用來取代傳統矽材之金屬-氧化物-半導體電晶體 (Si MOSFET)。然而，如果想將高介電係數 (High- $\kappa$ ) 氧化物沉積於三五族半導體上，則會因為 High- $\kappa$  氧化物和三五族半導體間的原子擴散作用而產生較大的漏電流，因而使三五族金氧半導體電晶體中電容的電性失效。舉例來說，氧化釧 ( $\text{La}_2\text{O}_3$ )、氧化鏷 ( $\text{Pr}_6\text{O}_{11}$ ) 與氧化鈰 ( $\text{CeO}_2$ ) 擁有高於 30 之介電係數，當氧化釧 ( $\text{La}_2\text{O}_3$ )、氧化鏷 ( $\text{Pr}_6\text{O}_{11}$ ) 或氧化鈰 ( $\text{CeO}_2$ ) 直接沉積在三五族半導體砷化銦鎵 (InGaAs) 上時，在高溫退火之後，此時氧化釧 ( $\text{La}_2\text{O}_3$ )、氧化鏷 ( $\text{Pr}_6\text{O}_{11}$ ) 或氧化鈰 ( $\text{CeO}_2$ ) 會和砷化銦鎵產生原子擴散作用而使得金氧半導體電晶體中電容的電性失效。

請參閱第一 (a) 圖和第一 (b) 圖，其為氧化釧 (12nm)- $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  金氧半電容器之電容-電壓 (C-V) 曲線圖和電流密度-電壓 (J-V) 曲線圖。上述的圖示是在三五族半導體元件上

直接沉積 12nm 的氧化釧( $\text{La}_2\text{O}_3$ )，並於 500°C 高溫和 1 分鐘退火後，所量測出之電容-電壓(C-V)特性和閘極漏電流特性。第一(a)圖顯示氧化釧-In<sub>0.53</sub>Ga<sub>0.47</sub>As 金氧半電容器在不同操作頻率下，其電容器之電容值相當分散，並不具有較強之反轉性質，也就是說其電容器之電性已經失效。在第一(b)圖中，可以明顯觀察到氧化釧-In<sub>0.53</sub>Ga<sub>0.47</sub>As 金氧半電容器在檢測區域中之漏電流比 1000 A/cm<sup>2</sup> 還大，也就是說直接將 High- $\kappa$  氧化物沉積於三五族半導體上會有較大漏電流之問題。

因此，若想在三五族半導上沉積氧化釧( $\text{La}_2\text{O}_3$ )、氧化鏷( $\text{Pr}_6\text{O}_{11}$ )或氧化鈾( $\text{CeO}_2$ )等 High- $\kappa$  氧化物，以改善三五族金氧半導體元件之等效氧化層厚度(equivalent oxide thickness :EOT)時，則必須要克服上述電性失效之問題。

職是之故，申請人鑑於習知技術中所產生之缺失，經過悉心試驗與研究，並一本鍥而不捨之精神，終構思出本案「半導體元件及其製作方法」，能夠克服上述缺點，以下為本案之簡要說明。

### 【發明內容】

鑑於習用技術之中存在的缺失，本發明係藉由沈積具有高介電值氧化物的介電層，以改善元件之 EOT 值，但由於高介電值材料(例如：釧系氧化物)在高溫退火時，易造成半導體與氧化物層間之相互作用，造成其界面不穩定性而導致半導體元件的電性失效，因此本發明提出利用氧化鋁( $\text{Al}_2\text{O}_3$ )作為高介電值氧化物的擴散阻擋層，以防止或抑制高介電值氧化物與三五族複合物基板間的相互擴散，亦可更進一步提昇半導體元件之

EOT。

因此根據本發明的第一構想，提出一種金氧半導體元件，其包含：三五族半導體層；一氧化鋁層，形成於該三五族半導體層上；以及一矽系氧化物層，形成於該氧化鋁層上。

根據本發明的第二構想，提出一種半導體元件，其包含：一半導體層；一介電層，配置於該半導體層上，且與該半導體層間具有潛在一原子交互擴散作用；以及一氧化鋁層配置於該半導體層及該介電層間，用以抑制該原子交互擴散作用。

根據本發明的第三構想，提出一種製造半導體元件的方法，其包含：形成一氧化鋁層於半導體層與一介電層之間，以防止該半導體層與該介電層之間的原子擴散作用。

### 【實施方式】

本案將可由以下的實施例說明而得到充分瞭解，使得熟習本技藝之人士可以據以完成之，然本案之實施並非可由下列實施案例而被限制其實施型態。

請參閱第二圖，其為本發明所提出的第一較佳實施例的結構圖。此第一較佳實施例係一半導體元件 200，其包含了一半導體層 201、一氧化鋁層 202 以及一介電層 203。其中，該半導體層 201 和該介電層 203 之間有一原子擴散作用，造成其層間界面的不穩定性而使半導體元件的電性失效，而此結構的特徵即為將該氧化鋁層 202 配置於該半導體層 201 和該介電層 203 之間，以防止或抑制該半導體層 201 和該介電層 203 之間的原子擴散作用。換句話說，只要任何半導體層和介電層之間具有原子擴散作用，為了達到最佳的 EOT 值和解決電性失效的問

題，皆可依據本發明所提出的氧化鋁層來防止或抑制該原子擴散作用。此外，該半導體層 201 較佳為一三五族半導體層，而該介電層較佳為一 High- $\kappa$  氧化物層，例如：釧系氧化物，而釧系元素(lanthanide elements)係包括：釧(La)、鈰(Ce)、鐳(Pr)、釷(Nd)、鉕(Pm)、釷(Sm)、鎔(Eu)、釷(Gd)、錒(Tb)、鐳(Dy)、釷(Ho)、鐳(Er)、釷(Tm)、鐳(Yb)、鐳(Lu)。此一半導體元件 200 更可作為電容使用，而該氧化鋁層 202 及該介電層 203 也可作為金氧半導體元件的閘極介電層。

請參閱第三圖，其為本發明所提出的第二較佳實施例的結構圖。此第二較佳實施例係一金氧半導體元件 300，其依序包含了一金屬背電極 301、一基底 302、三五族半導體層 303、一氧化鋁層 304、一釧系氧化物層 305 以及一金屬層 306。該金氧半導體元件 300 的特徵在於，以該氧化鋁層 304 作為阻擋層來防止或抑制該三五族半導體層 303 和該釧系氧化物層 305 之間的原子擴散作用。此氧化鋁/釧系氧化物複合層之設計，主要是利用能間隙較高之氧化鋁( $\text{Al}_2\text{O}_3$ )沉積在三五族半導體上以降低元件之漏電流，並以介電係數較高之釧系氧化物來降低位於該金氧半導體元件 300 上的閘極氧化層之等效氧化層厚度。在此實施例中，該三五族半導體層 303 可以為 GaAs 層、GaN 層、InAs 層、InP 層或  $\text{In}_x\text{Ga}_{1-x}\text{As}$  層...等。

請參閱第四圖，其為本發明所提出的半導體元件製造方法流程圖。此半導體元件製造方法 400，包含了下列步驟：

步驟 401：提供一半導體層。該半導體層最佳為三五族半導體層，特別是  $\text{In}_x\text{Ga}_{1-x}\text{As}$  層。

步驟 402：處理該半導體的表面。此步驟的目的係使半導



體的表面具有良好的表面特性，以利氧化鋁層的沉積。

步驟 403：形成一氧化鋁層於經處理的該表面上，以防止該半導體層與一介電層之間的原子擴散作用。

步驟 404：形成該介電層於該氧化鋁上。該半導體層最佳為一 High- $\kappa$  氧化物層，特別是釧系氧化物層。

綜合前述說明和此第一製造方法可知，製作本發明所提出的半導體元件最重要的步驟係為：形成一氧化鋁層於一半導體層與一介電層之間，以防止該半導體層與一介電層之間的原子擴散作用。

請參閱表一，為了降低三五族半導體元件之等效氧化層厚度，通常會選用 High- $\kappa$  的氧化物做為介電層，但對於氧化層而言，介電係數高的氧化物，其能間隙(energy bandgap)都會比較低。以表一中氧化物之介電係數  $k$  與能間隙(energy bandgap:  $E_g$  (eV)) 為例，其中氧化鋁 ( $Al_2O_3$ ) 之能間隙可達 8.7(eV)，而氧化釧( $La_2O_3$ )、氧化鐳( $Pr_6O_{11}$ )與氧化鈾( $CeO_2$ )具有高於 30 的介電係數。因此，依據本發明所提出的氧化鋁/氧化釧(氧化鐳、氧化鈾)氧化物複合層，可利用能間隙較高之氧化鋁( $Al_2O_3$ )沉積在半導體上以降低元件之漏電流，並以介電係數較高之氧化釧( $La_2O_3$ )、氧化鐳( $Pr_6O_{11}$ )或氧化鈾( $CeO_2$ )來降低於三五族半導體元件上之氧化層的等效氧化層厚度(EOT)。

Oxide	$Al_2O_3$	$La_2O_3$	$Pr_6O_{11}$	$CeO_2$
k	9	30	32	37

Eg (eV)	8.7	4.3	5.5	3.2
---------	-----	-----	-----	-----

表一

請參閱第五圖，其為本發明所提出的第三較佳實施例的結構圖。此第三較佳實施例係一金氧半導體元件 500，其依序包含了 50nm 的金屬鋁層 501、N 型 InP 基底 502、矽摻雜濃度為  $5 \times 10^{17} \text{ cm}^{-3}$  的 100 nm 之 N 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層 503、3nm 的氧化鋁層 504、6nm 的氧化釧( $\text{La}_2\text{O}_3$ )、氧化鐳( $\text{Pr}_6\text{O}_{11}$ )或氧化鈾( $\text{CeO}_2$ )層 505 以及 50nm 的金屬鎢層 506。該金氧半導體元件 500 係用以提升與改善電容之電性，其製程包括：(a)提供位於 N 型 InP 基底上之 N 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層、(b)處理 N 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層的表面，以利氧化鋁的沉積或濺鍍、(c)沉積或濺鍍氧化釧( $\text{La}_2\text{O}_3$ )、氧化鐳( $\text{Pr}_6\text{O}_{11}$ )或氧化鈾( $\text{CeO}_2$ )於該氧化鋁上、(d)快速退火、(e)濺鍍閘極金屬鎢(W)於氧化釧( $\text{La}_2\text{O}_3$ )、氧化鐳( $\text{Pr}_6\text{O}_{11}$ )或氧化鈾( $\text{CeO}_2$ )上、(f)蝕刻鎢(W)並形成閘極、(g)濺鍍金屬鋁(Al)於 N 型 InP 基底之背面。

請參閱第六圖，其為  $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  金氧半導體元件之電容-電壓(C-V)曲線圖。在第六圖中可知，當此電容器在累積區域(accumulation region)之電容值越大時，表示氧化物之介電係數越高；而在強反轉區域(strong inversion region)之電容值越大時，表示此半導體具有較強之反轉性質，也因此使得在製作金氧半場效電晶體元件時，元件將有較多之載子。換句話說，使用本發明所提供之半導體元件，並不會有因原子擴散作用而造成電性失效或漏電流太大之問題。再者，本發明所提出

的半導體結構，只需要 1nm 的氧化鋁層即可達到防止或抑制介電層和半導體層之間的原子交互作用，目前尚無如此薄的氧化層可用於防止介電層和半導體層之間的原子交互作用，對於改善半導體元件上之氧化層的等效氧化層厚度(EOT)而言，實在是一大突破，尤其是針對三五族半導體層和釧系氧化物層。此外，本發明可有多種厚度之組合，例如：5 nm 氧化釧/1 nm 氧化鋁、7 nm 氧化鏷/2 nm 氧化鋁、6 nm 氧化釷/3 nm 氧化鋁…等。此外，本發明的另一特徵則是在於，使用了釧系氧化物做為介電層以搭配氧化鋁層來改善半導體元件上之等效氧化層厚度(EOT)。

茲提供更多本發明之實施例如下：

1. 一種金氧半導體元件，包含：
  - 三五族半導體層；
  - 一氧化鋁層，形成於該三五族半導體層上；以及
  - 一釧系氧化物層，形成於該氧化鋁層上。
2. 如實施例第 1 項所述的金氧半導體元件，其中該三五族半導體層配置於一基底上。
3. 如實施例第 1 項所述的金氧半導體元件，更包含一金屬背電極，配置於該基底之背面。
4. 如實施例第 1 項所述的金氧半導體元件，更包含一金屬層，配置於該釧系氧化物層上。
5. 如實施例第 1 項所述的金氧半導體元件，其中該三五族半導體層為  $\text{In}_x\text{Ga}_{1-x}\text{As}$  層，該釧系氧化物層為一氧化釧層、一氧化鏷層及一氧化鈾層其中之一。
6. 如實施例第 1 項所述的金氧半導體元件，其中該氧化

鋁層的厚度大於等於 1 nm，該矽系氧化物層的厚度大於等於 5nm。

7. 一種半導體元件，包含：

一半導體層；

一介電層，配置於該半導體層上，且與該半導體層間具有潛在一原子交互擴散作用；以及

一氧化鋁層配置於該半導體層及該介電層間，用以抑制該原子交互擴散作用。

8. 如實施例第 7 項所述的半導體元件，其中該介電層為一矽系氧化物層。

9. 一種製造半導體元件的方法，包含：

形成一氧化鋁層於半導體層與一介電層之間，以防止該半導體層與該介電層之間的原子擴散作用。

10. 如實施例第 9 項所述的製造半導體元件的方法，更包含：

提供該半導體層，其中該半導體層為具有一表面的三五族半導體層；

處理該三五族半導體層的該表面；

形成該氧化鋁層於經處理的該表面上；以及

形成該介電層於該氧化鋁上，其中該介電層為一矽系氧化物層。

本發明並不侷限於前文所描述各個實施例，而是包含基於本文所詳細描述可被該領域的技術人員理解到的變型、省略、組合(例如不同實施例的方面的組合)、互換、替代、改變和/或修改的任何和所有實施例，尤其是對於前述各個實施例

之中的製程步驟可按任何順序執行，而不限於前述實施例或者申請專利範圍中所述的順序。

職故，本案實為一難得一見，值得珍惜的難得發明，惟以上所述者，僅為本發明之最佳實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

### 【圖式簡單說明】

第一圖(a) 係為習用氧化鋁(12nm)-In<sub>0.53</sub>Ga<sub>0.47</sub>As 金氧半電容器之電容-電壓(C-V)曲線圖；

第一圖(b) 係為習用氧化鋁(12nm)-In<sub>0.53</sub>Ga<sub>0.47</sub>As 金氧半電容器之電流密度-電壓(J-V)曲線圖；

第二圖 係為本發明之第一較佳實施例的結構圖；

第三圖 係為本發明之第二較佳實施例的結構圖；

第四圖 係為本發明之半導體元件製造方法流程圖；

第五圖 係為本發明之第三較佳實施例的結構圖；以及

第六圖 係為本發明之 Al<sub>2</sub>O<sub>3</sub>/In<sub>0.53</sub>Ga<sub>0.47</sub>As 金氧半導體元件之電容-電壓(C-V)曲線圖。

### 【主要元件符號說明】

200：半導體元件

201：半導體層

202：氧化鋁層

203：介電層

300：金氧半導體元件

301：金屬背電極

302：基底

303：三五族半導體層

- 304：氧化鋁層
- 305：釩系氧化物層
- 306：金屬層
- 400：半導體元件製造方法
- 401：步驟 401
- 402：步驟 402
- 403：步驟 403
- 404：步驟 404
- 500：金氧半導體元件
- 501：金屬鋁層
- 502：N 型 InP 基底
- 503：N 型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  層
- 504：氧化鋁層
- 505：氧化釩、氧化鎘或氧化鈣層
- 506：金屬鎢層

## 七、申請專利範圍：

## 1. 一種金氧半導體元件，包含：

三五族半導體層；

一氧化鋁層，形成於該三五族半導體層上；以及

一矽系氧化物層，形成於該氧化鋁層上。

2. 如申請專利範圍第 1 項所述的金氧半導體元件，其中該三五族半導體層配置於一基底上。

3. 如申請專利範圍第 1 項所述的金氧半導體元件，更包含一金屬背電極，配置於該基底之背面。

4. 如申請專利範圍第 1 項所述的金氧半導體元件，更包含一金屬層，配置於該矽系氧化物層上。

5. 如申請專利範圍第 1 項所述的金氧半導體元件，其中該三五族半導體層為  $\text{In}_x\text{Ga}_{1-x}\text{As}$  層，該矽系氧化物層為一氧化矽層、一氧化鋅層及一氧化銻層其中之一。

6. 如申請專利範圍第 1 項所述的金氧半導體元件，其中該氧化鋁層的厚度大於等於 1 nm，該矽系氧化物層的厚度大於等於 5nm。

## 7. 一種半導體元件，包含：

一半導體層；

一介電層，配置於該半導體層上，且與該半導體層間具有潛在一原子交互擴散作用；以及

一氧化鋁層配置於該半導體層及該介電層間，用以抑制該原子交互擴散作用。

8. 如申請專利範圍第 7 項所述的半導體元件，其中該介電層為一矽系氧化物層。

9. 一種製造半導體元件的方法，包含：

形成一氧化鋁層於半導體層與一介電層之間，以防止該半導體層與該介電層之間的原子擴散作用。

10. 如申請專利範圍第 9 項所述的製造半導體元件的方法，更包含：

提供該半導體層，其中該半導體層為具有一表面的三五族半導體層；

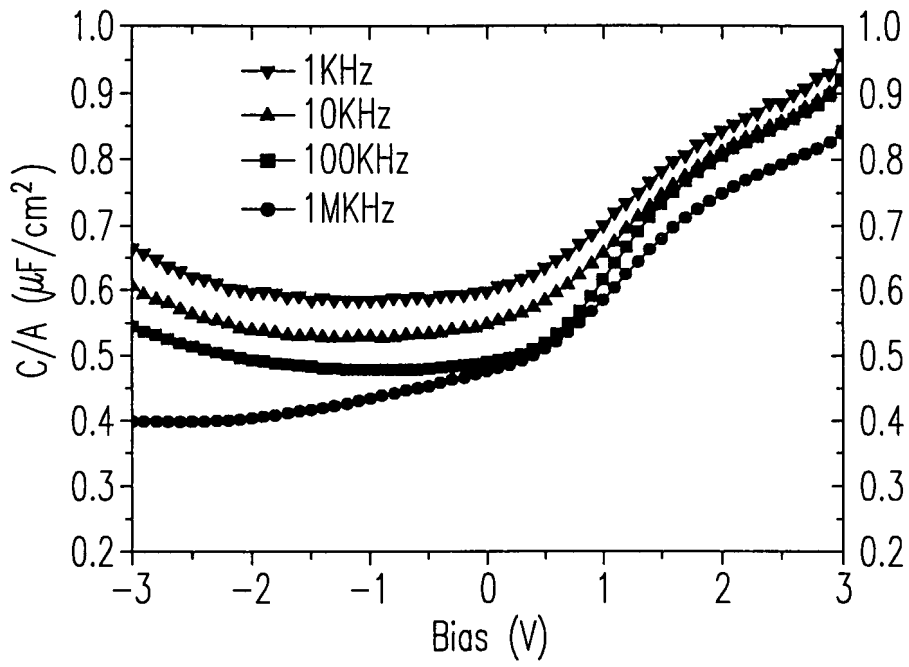
處理該三五族半導體層的該表面；

形成該氧化鋁層於經處理的該表面上；以及

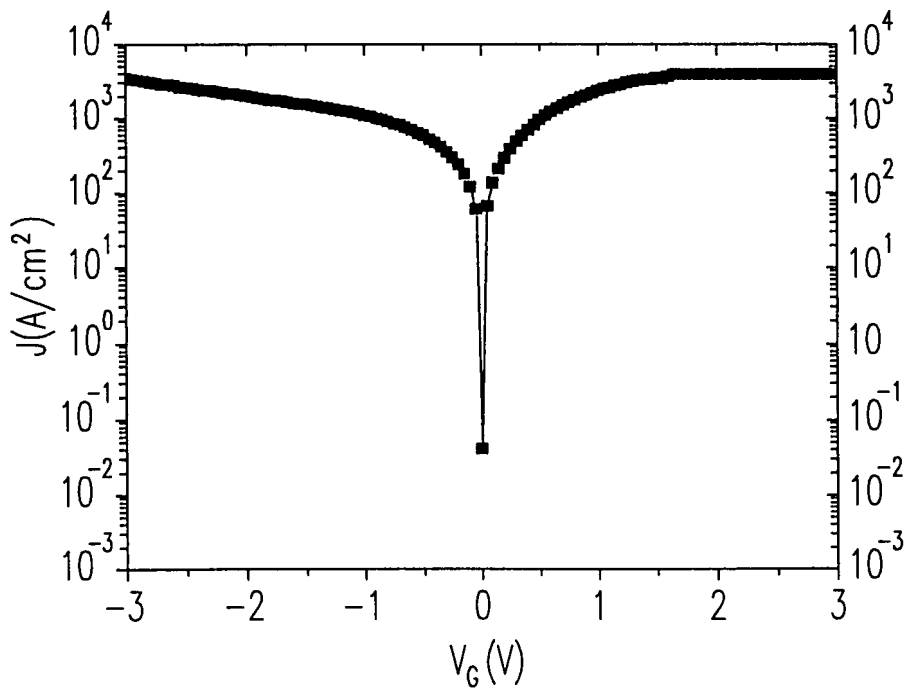
形成該介電層於該氧化鋁上，其中該介電層為一矽系氧化物層。



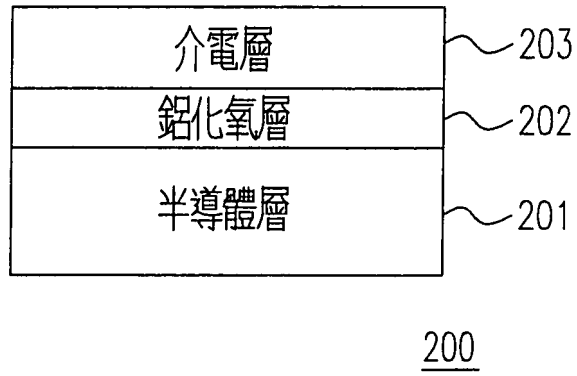
八、圖式：



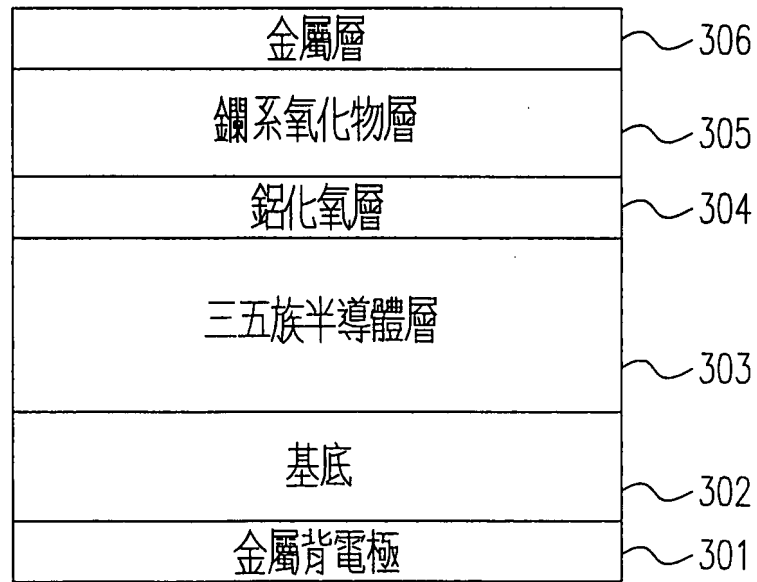
第一圖(a)



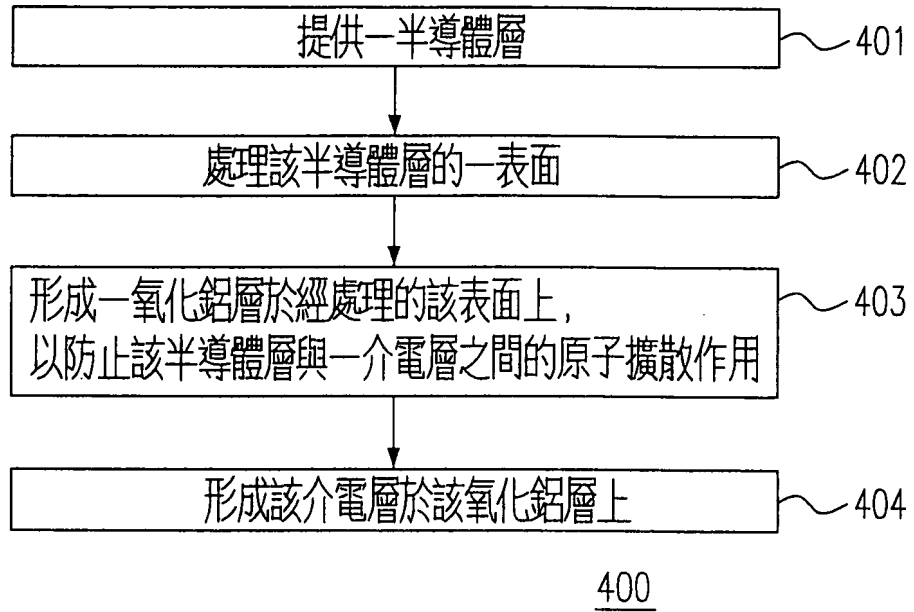
第一圖(b)



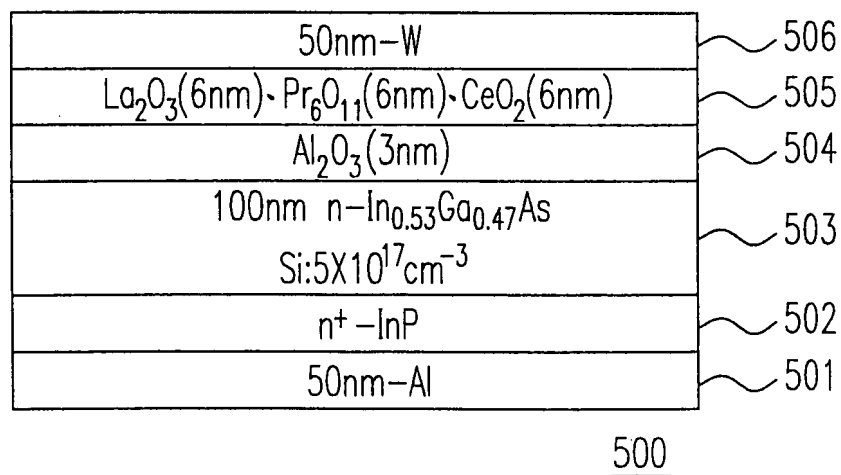
第二圖



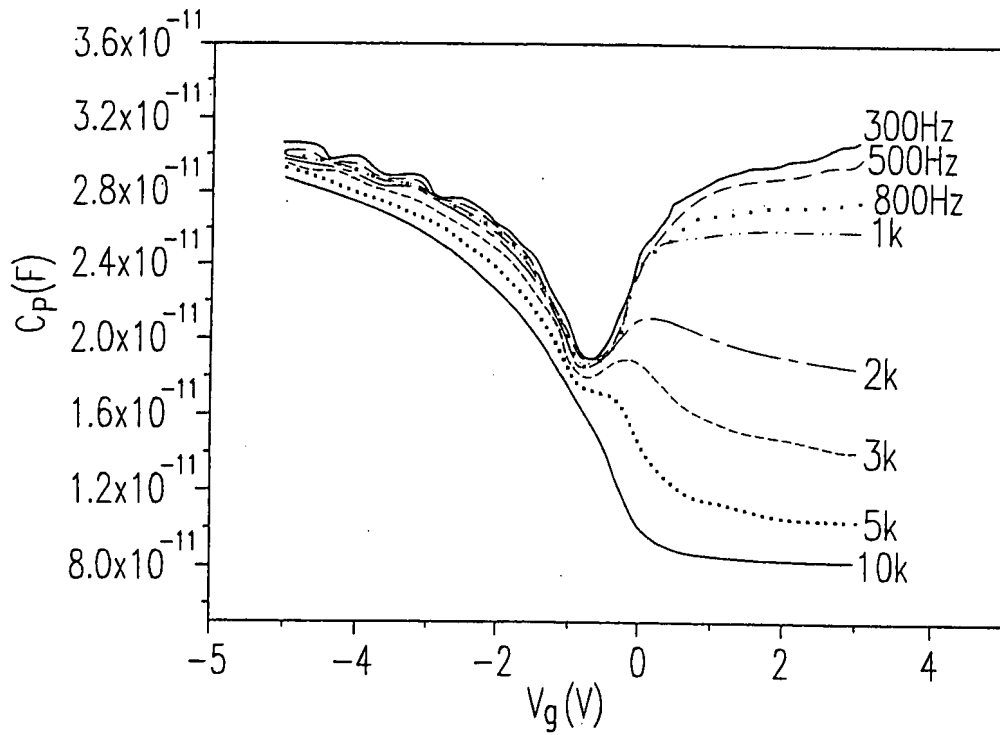
第三圖



第四圖



第五圖



第六圖