



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320323 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：100141564

(22)申請日：中華民國 100 (2011) 年 11 月 15 日

(51)Int. Cl. :

H01L27/24 (2006.01)

G11C8/12 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：侯拓宏 HOU, TUO HUNG (TW) ; 吳仕傑 WU, SHIH CHIEH (TW)

(74)代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：9 項 圖式數：4 共 15 頁

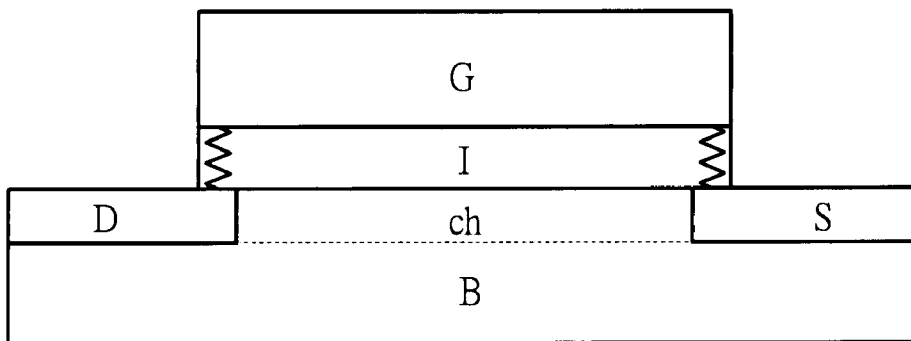
(54)名稱

多位元電阻切換記憶體元件與陣列

MULTI-BIT RESISTIVE SWITCHING MEMORY CELL AND ARRAY

(57)摘要

本發明提供一種多位元電阻切換記憶體元件及陣列。每一記憶體元件可形成多個導通路徑，導通路徑彼此獨立，且任一導通路徑之電阻可為高電阻狀態或低電阻狀態，而形成多位元電阻切換記憶體元件。利用多位元電阻切換記憶體元件排列而成之陣列，可提供結構簡單、高密度、高效能以及低成本的記憶體裝置。



B：基底

ch：通道

D：汲極

G：閘極

I：電阻切換氧化層

S：源極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日：

100 141564 H01L 27/24 (2006.01)

※IPC分類：G11C 8/12 (2006.01)

一、發明名稱：(中文)英文)

多位元電阻切換記憶體元件與陣列

MULTI-BIT RESISTIVE SWITCHING MEMORY CELL AND
ARRAY

二、中文發明摘要：

本發明提供一種多位元電阻切換記憶體元件及陣列。每一記憶體元件可形成多個導通路徑，導通路徑彼此獨立，且任一導通路徑之電阻可為高電阻狀態或低電阻狀態，而形成多位元電阻切換記憶體元件。利用多位元電阻切換記憶體元件排列而成之陣列，可提供結構簡單、高密度、高效能以及低成本的記憶體裝置。

三、英文發明摘要：

The inventor of this invention proposes a multi-bit resistive switching memory cell and array thereof. Multiple conduction paths are formed on each memory cell and independent of each other, and each conduction path can be in a high-resistance or low-resistance state, so as to form a multi-bit resistive switching memory cell. A memory cell array can be formed by arranging a plurality of multi-bit resistive switching memory cells, and the memory cell array provides a simple, high density, high performance and cost-efficient proposal.

四、指定代表圖：

(一) 本案指定代表圖為：圖 1

(二) 本代表圖之元件符號簡單說明：

| | | | |
|---|----|----|---------|
| G | 閘極 | I | 電阻切換氧化層 |
| D | 汲極 | ch | 通道 |
| S | 源極 | B | 基底 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明是有關一種非揮發性記憶體元件與陣列，特別是利用局部阻值切換的一種多位元電阻切換記憶體元件與陣列。

【先前技術】

電阻式非揮發隨機存取記憶體(RRAM, Resistive nonvolatile random access memory)具有構造簡單、低操作電壓、快速以及高整合性，已引起廣泛的注意與發展。

傳統上，RRAM 的結構採用金屬層-絕緣層-金屬層(MIM, metal-insulator-metal)，雖具有簡單的結構，但僅適用於 IC 製造的後段製程，無法與前段的電晶體製程有效的整合，進而增加製造成本。

最近，在以氧化鈣為基礎(HfO₂-based)作為閘極介電層以及以鎳(Ni)為閘極的金屬-絕緣層-矽(MIS, metal-insulator-silicon)電容上，發現電阻切換的性質。因此，本發明提出一種多位元電阻切換記憶體元件與陣列之技術，說明如後。

【發明內容】

本發明提供一種多位元電阻切換記憶體元件，其在單一記憶體元件上形成多個導通路徑，任一導通路徑之電阻可為高電阻狀態(HRS, High-resistance State)或低電阻狀態(LRS, Low-resistance State)。

本發明提供一種多位元電阻切換記憶體陣列，其包含由複數個多位元電阻切換記憶體元件排列而成之陣列，任一多位元電阻切換記憶體元件可提供多位元之資訊。

一種多位元電阻切換記憶體元件，包含一基底、一電阻切換氧化層以及一閘極，基底上形成一通道，於通道兩側形成一源極以及

一汲極。一電阻切換氧化層累積於通道之上以及一閘極累積於電阻切換氧化層之上。

將一閘極電壓施於閘極，且該閘極電壓小於一臨界電壓，以關閉通道。源極與閘極間自形成一源極導通路徑，汲極與閘極間自形成一汲極導通路徑。一讀取電壓(V_{read})分別施於源極及汲極上，用以分別讀取源極導通路徑及汲極導通路徑的狀態。一設置電壓(V_{set})或一重置電壓(V_{reset})分別施於源極及汲極，用以分別設置源極導通路徑及汲極導通路徑的狀態。

多位元電阻切換記憶體陣列包含複數個多位元電阻切換記憶體元件、複數條字元線、以及複數條位元線。多位元電阻切換記憶體元件排列成複數列與複數行的陣列，任一系列的多位元電阻切換記憶體元件的閘極連接至一字元線，任一行的多位元電阻切換記憶體元件的源極連接至一位元線，任一行的多位元電阻切換記憶體元件的汲極連接至另一位元線。此實施例可應用於低位元需求的記憶體陣列。

多位元電阻切換記憶體陣列包含複數個多位元電阻切換記憶體元件、複數個第一電晶體、複數個第二電晶體、複數條字元線、複數條位元線以及複數條資料線(source line)。多位元電阻切換記憶體元件排列成複數列與複數行之陣列，任一系列的多位元電阻切換記憶體元件的閘極連接至一條資料線，任一多位元電阻切換記憶體元件的汲極連接至一第一電晶體的源極，與同一行的多位元電阻切換記憶體元件的汲極連接的第一電晶體之汲極連接一位元線，任一多位元電阻切換記憶體元件的源極連接至一第二電晶體的源極，與同一行多位元電阻切換記憶體元件的源極連接的第二電晶體之汲極連接另一位元線，同一列第一電晶體與第二電晶體的閘極連接至一字元線。

【實施方式】

本發明提供一種多位元電阻切換記憶體元件，其在單一的記憶

體單元形成多個導通路徑(conduction paths)，任一導通路徑之電阻可為高電阻狀態(HRS)或低電阻狀態(LRS)，閘極與源極及閘極與汲極的導電通路分別稱為源極導通路徑及汲極導通路徑。

在閘極上，施以閘極電壓(V_G)，令 V_G 的大小($|V_G|$)小於一臨界電壓(V_{TH})之大小($|V_{TH}|$)以截止通道之導電路徑(conduction path)。關閉通道時，若在源極或汲極上施以一設置電壓(V_{SET})，可使得源極導通路徑及汲極導通路徑轉換為低電阻狀態的導通路徑(LRS)，若在源極或汲極上分別施以一重置電壓(V_{RESET})，可分別使得源極導通路徑及汲極導通路徑轉換為高電阻狀態的導通路徑(HRS)，若施以讀取電壓(V_{read})，則可以讀取源極導通路徑及汲極導通路徑的電阻狀態。

特別說明，當源極導通路徑及汲極導通路徑同時為高電阻狀態，且閘極電壓大於臨界電壓($|V_G| > |V_{TH}|$)的情況，則通道之導通路徑開啟，多位元電阻切換記憶體元件即轉換成電晶體，所以此元件可以在電晶體與電阻切換記憶體之間做轉換。

當複數個多位元電阻切換記憶體元件排成多列多行時，可形成記憶體陣列。利用字元線或資料線連接於陣列中的多位元電阻切換記憶體元件之閘極，以及位元線連接陣列中多位元電阻切換記憶體元件的汲極及源極，即可設定、讀取及重設源極導通路徑及汲極導通路徑的電阻狀態。

以下透過實施例，說明多位元電阻切換記憶體元件之基本概念以及其所形成的陣列之原理。

首先，說明多位元電阻切換記憶體元件的基本結構，請參考圖 1。多位元電阻切換記憶體元件包含基底層 B、電阻切換氧化層 I 以及閘極層 G。在基底上形成一通道 ch，於通道 ch 兩側形成源極 S 以及汲極 D，接著通道 ch 之上累積電阻切換氧化層 I，再於電阻切換氧化層 I 上累積閘極 G。可選擇性的在電阻切換氧化層 I 及通道 ch 間，設置一緩衝氧化層。

電阻切換氧化層可為 SiO_2 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 Ta_2O_5 、 La_2O_3 、 NiO 、 CuO 、 ZnO 或其衍生物，其厚度介於 1 奈米至 100 奈米之間。閘極可為 Ni 、 Co 、 Ag 、 Ti 、 Pt 、 Cu 、 Au 、 Hf 、 Zr 、 Ta 上述元素的矽化物或上述元素的合金。

多位元電阻切換記憶體元件與電晶體的結構相同，製成後將電晶體的閘極連接地端(參考端)，在源極與汲極上，施以一次性的初始形成電壓(V_{FORM})以致能源極導通路徑及汲極導通路徑之電阻切換，特別說明初始形成電壓(V_{FORM})需大於設置電壓(V_{SET})。致能之後，將閘極連接地端，在源極或汲極上施以 V_{RESET} ，可選擇性地將源極導通路徑或汲極導通路徑由 LRS 轉態為 HRS；施以 V_{SET} ，可將源極導通路徑或汲極導通路徑選擇性地由 HRS 轉態為 LRS；施以 V_{read} ，可讀取源極導通路徑及汲極導通路徑的狀態。當源極導通路徑及汲極導通路徑同時為高電阻狀態時，若改變閘極電壓(即 $|V_G| > |V_{\text{TH}}|$)，可將電阻切換記憶體轉換為電晶體。

當 V_{RESET} 與 V_{SET} 的極性相同($V_{\text{RESET}} \times V_{\text{SET}} > 0$)時，稱為單極性電阻切換記憶體；當 V_{RESET} 與 V_{SET} 的極性不同($V_{\text{RESET}} \times V_{\text{SET}} < 0$)時，稱為雙極性電阻切換記憶體。無論是單極型或雙極型的電阻切換記憶體，要特別強調的是，一個電阻切換記憶體可提供兩個獨立的導通路徑，形成多位元電阻切換記憶體元件，即設定、讀取及重設源極導通路徑時，並不會影響汲極導通路徑的電阻狀態，或者設定、讀取及重設汲極導通路徑時，並不會影響源極導通路徑的電阻狀態，因此能夠提高記憶體的位元密度。

圖 2 表示多位元電阻切換記憶體元件的等效電路圖。將閘極 G 連接參考端(地端)，在源極 S 或汲極 D 上施以電壓 V_{SET} 、 V_{RESET} 及 V_{read} ，即可分別設定、重設以及讀取源極或汲極導通路徑之電阻值。

以下說明多位元電阻切換記憶體陣列之實施例，圖 3 所示之多位元電阻切換記憶體陣列包含複數個多位元電阻切換記憶體元件

RRAM、複數條字元線 WL(包含 WL_S 及 WL_U)、複數條位元線 BL(包含 BL_S 及 BL_U)。多位元電阻切換記憶體元件 RRAM 排列成複數列與複數行的陣列，任一系列的多位元電阻切換記憶體元件的閘極連接至一字元線 WL，任一行的多位元電阻切換記憶體元件的源極連接至一位元線 BL，任一行的多位元電阻切換記憶體元件的汲極連接至另一位元線 BL。本實施例中的每一個元件提供兩個位元資料(元件數量/位元數量，記為 0.5T)。

若要設置、重置及讀取某一位元資料，可依據該位元的電阻切換記憶體元件 RRAM 的行列位置，該列的字元線在圖式中標示為 WL_S ，設定 WL_S 為參考電壓(地端)；該行的位元在圖式中標示為 BL_S ，設定 BL_S 為 V_{SET} 、 V_{RESET} 或 V_{read} 。未被設置、重置或讀取的字元線及位元線分別標示為 WL_U 及 BL_U ，則施以一電壓維持其狀態或浮接(floating)。

此實施例為雙極性電阻切換記憶體元件 RRAM 與 p 通道的電晶體結構，其電壓標示如表 1，但需特別說明，表中所示之電壓值是依據所採用電阻切換記憶體元件 RRAM 而有不同，表中的電壓值是用以說明，而非限定本發明之範圍。

| | WL_S | WL_U | BL_S | BL_U |
|----------------|--------|--------|--------|--------|
| 讀取 V_{read} | 0V | open | -0.5V | -0.5V |
| 設置 V_{SET} | 0V | -2.5V | -5V | -2.5V |
| 重設 V_{RESET} | 0V | 1.5V | 3V | 1.5V |

表 1

圖 3 所示之實施例應用於低位元需求的記憶體陣列並無問題，但若應用於高位元的記憶體時，可能會產生交互影響(cross-talk)，為切斷交互影響(cross-talk)，本發明提供如圖 4 所示之實施例。

請參考圖 4，多位元電阻切換記憶體陣列包含複數個多位元電阻切換記憶體元件 RRAM、複數個第一電晶體及複數個第二電晶體 T、

複數條字元線 WL(包含 WL_S 及 WL_U)、複數條位元線 BL(包含 BL_S 及 BL_U)，以及複數條資料線(SL, source line)。第一電晶體及第二電晶體 T 被連接在多位元電阻切換記憶體元件 RRAM 的汲極及源極，用以隔離訊號，避免產生交互影響，故此實施例可適用於低位元或高位元的記憶體裝置。

多位元電阻切換記憶體元件 RRAM 排列成複數列與行之陣列，任一系列的多位元電阻切換記憶體元件的閘極連接至一條資料線 SL，任一多位元電阻切換記憶體元件的汲極連接至一第一電晶體 T 的源極，與同一行的多位元電阻切換記憶體元件的汲極連接的第一電晶體 T 之汲極連接一位元線 BL，任一多位元電阻切換記憶體元件 RRAM 的源極連接至一第二電晶體 T 的源極，與同一行多位元電阻切換記憶體元件的源極連接的第二電晶體 T 之汲極連接另一位元線 BL，同一列第一電晶體與第二電晶體的閘極連接至一字元線 WL。本實施例中的每一 RRAM 元件提供兩個位元資料，兩個電晶體隔離交互作用，元件數量/位元數量=1.5T。

此實施例為雙極性電阻切換記憶體元件 RRAM 與 p 通道的電晶體結構，其電壓標示如表 2。

| | WL_S | WL_U | BL_S | BL_U | SL |
|----------------|--------|--------|--------|--------|----|
| 讀取 V_{read} | -5V | open | -0.5V | open | 0V |
| 設置 V_{SET} | -5V | open | -5V | open | 0V |
| 重設 V_{RESET} | -5V | open | 3V | open | 0V |

表 2

本實施例中，多位元電阻切換記憶體元件 RRAM 的閘極連接至地端($V_G=0$)，即將資料線 SL 的電壓設為 0V。

讀取行陣列的位元電阻狀態時，對應的列的電晶體 T 的閘極電壓應大於臨界電壓(即開啟對應的電晶體)，此實施例的字元線 WL_S 的電壓設為 -5V。設定對應行的位元線 BL_S 的電壓為 V_{SET} 、 V_{RESET} 或

V_{read} (即透過電晶體，施以對應的多位元電阻切換記憶體元件 RRAM 之源極或汲極的電壓為 V_{SET} 、 V_{RESET} 或 V_{read})，而可設置、重置或讀取多位元電阻切換記憶體元件 RRAM 之源極導通路徑或汲極導通路的電阻狀態。未被設置、重置或讀取的多位元電阻切換記憶體元件 RRAM，所相應的字元線 WL_U 以及位元線 BL_U 保持開路(浮接)。此種多位元電阻切換記憶體陣列可隔離交互作用，無論低位元或高位元的記憶體陣列皆可適用。

特別強調，此實施例中的電晶體可以是一般電晶體，特別是亦可採用相同的多位元電阻切換記憶體元件，但不做初始形成電壓 (V_{FORM}) 致能電阻切換，如此可以簡化記憶體陣列的製程。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

圖 1 所示為本發明一實施利之多位元電阻切換記憶體元件之結構圖。

圖 2 所示為本發明一實施利之多位元電阻切換記憶體元件之等效電路圖。

圖 3 所示為本發明一實施例之多位元電阻切換記憶體陣列之電路圖。

圖 4 所示為本發明一實施例之多位元電阻切換記憶體陣列之電路圖。

【主要元件符號說明】

| | | | |
|------|-----------|----------------------------------|---------|
| G | 閘極 | I | 電阻切換氧化層 |
| D | 汲極 | ch | 通道 |
| S | 源極 | WL _S 、WL _U | 字元線 |
| B | 基底 | BL _S 、BL _U | 位元線 |
| SL | 資料線 | T | 電晶體 |
| RRAM | 電阻切換記憶體元件 | | |

七、申請專利範圍：

1. 一種多位元電阻切換記憶體元件，包含：
 - 一基底；
 - 一通道、一源極以及一汲極形成於該基底上，該源極及該汲極分離設置於該通道兩端；
 - 一電阻切換氧化層累積於該通道之上，以及
 - 一閘極累積於該電阻切換氧化層之上，其中一閘極電壓施於該閘極，且該閘極電壓小於一臨界電壓，用以關閉該通道，該源極與該閘極之間自形成一源極導通路徑，該汲極與該閘極之間自形成一汲極導通路徑，分別利用一讀取電壓施於該源極及該汲極用以分別讀取該源極導通路徑及該汲極導通路徑的狀態，利用一設置電壓或一重置電壓分別施於該源極及該汲極用以分別設置該源極導通路徑及該汲極導通路徑的狀態。
2. 如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件，其中該電阻切換氧化層可以是 SiO_2 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 Ta_2O_5 、 La_2O_3 、 NiO 、 CuO 、 ZnO 或其衍生物。
3. 如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件，其中該電阻切換氧化層之厚度介於 1 奈米至 100 奈米之間。
4. 如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件，更包含一緩衝氧化層，設置於該電阻切換氧化層及該通道之間。
5. 如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件，其中該閘極可以是 Ni、Co、Ca、Ag、Ti、Pt、Cu、Au、Hf、Zr、Ta 上述元素的矽化物或上述元素的合金。
6. 如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件，其中該源極及該汲極更分別受一較設置電壓為大的一次性的一初始形成電壓，用以分別形成該源極導通路徑及該汲極導通路徑，以致能電阻切換。
7. 一種多位元電阻切換記憶體陣列，包含複數個如申請專利範圍第 1 項

所述之多位元電阻切換記憶體元件、複數條字元線以及複數條位元線，其中該些多位元電阻切換記憶體元件排列成一複數列與複數行之陣列，任一系列之該些多位元電阻切換記憶體元件的閘極連接至該些字元線之一，任一行之該些多位元電阻切換記憶體元件的源極連接至該些位元線之一，任一行之該些多位元電阻切換記憶體元件的汲極連接至該些位元線之另一。

8. 一種多位元電阻切換記憶體陣列，包含複數個如申請專利範圍第 1 項所述之多位元電阻切換記憶體元件、複數個第一電晶體、複數個第二電晶體、複數條字元線、複數條位元線、以及複數條資料線(source line)，其中該些多位元電阻切換記憶體元件排列成一複數列與複數行之陣列，任一系列之該些多位元電阻切換記憶體元件的閘極連接至該些複數條資料線之一，任一行之該些多位元電阻切換記憶體元件的汲極連接至該些第一電晶體之一的源極，且連接該行之該些多位元電阻切換記憶體元件的汲極之該些第一電晶體的汲極連接該些位元線之一，任一行之該些多位元電阻切換記憶體元件的源極連接至該些第二電晶體之一的源極，且連接該行之該些多位元電阻切換記憶體元件的源極之該些第二電晶體的汲極連接該些位元線之一，任一系列之該些第一電晶體與該些第二電晶體的閘極連接至該些字元線之另一。
9. 如請求項 8 所述之多位元電阻切換記憶體陣列，其中該些第一電晶體以及該些第二電晶體為多位元電阻切換記憶體元件，但不施以初始形成電壓。

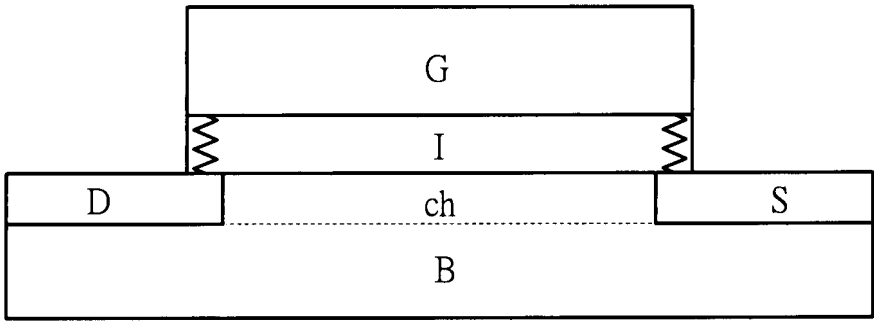


圖 1

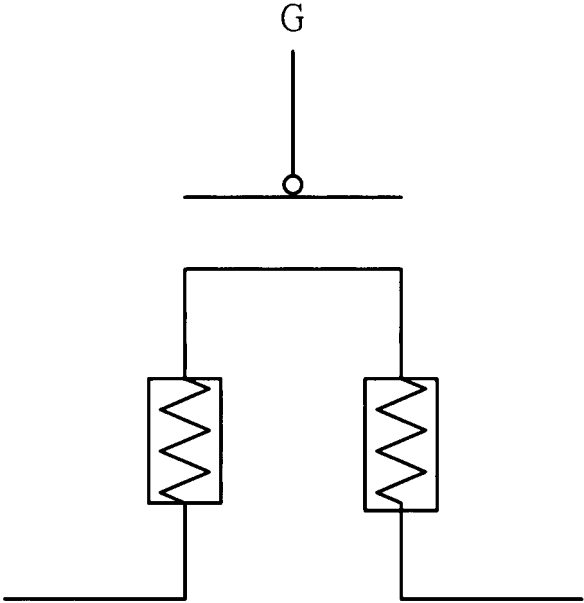


圖 2

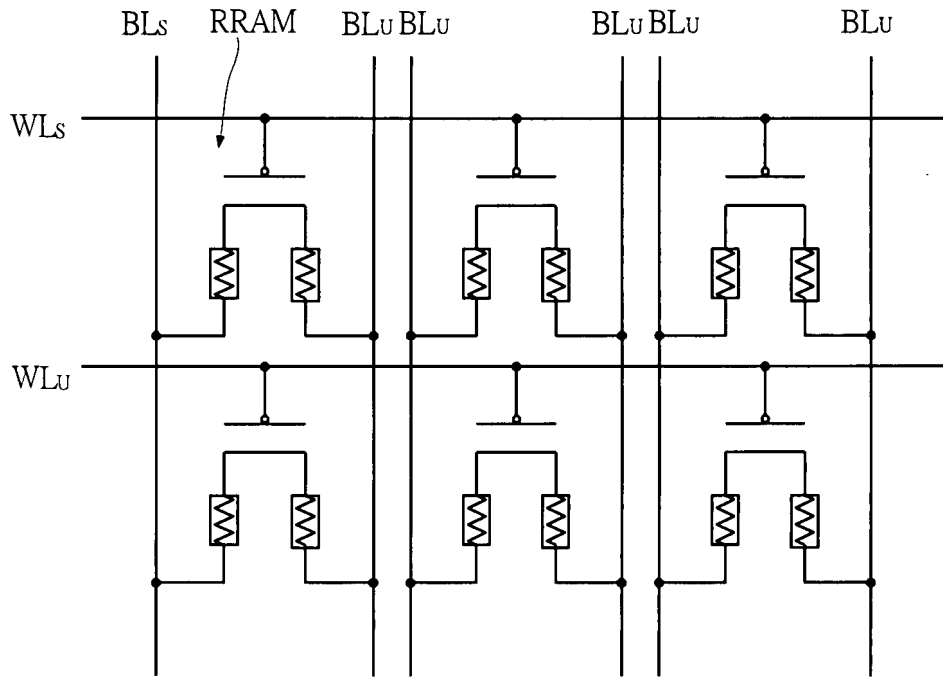


圖 3

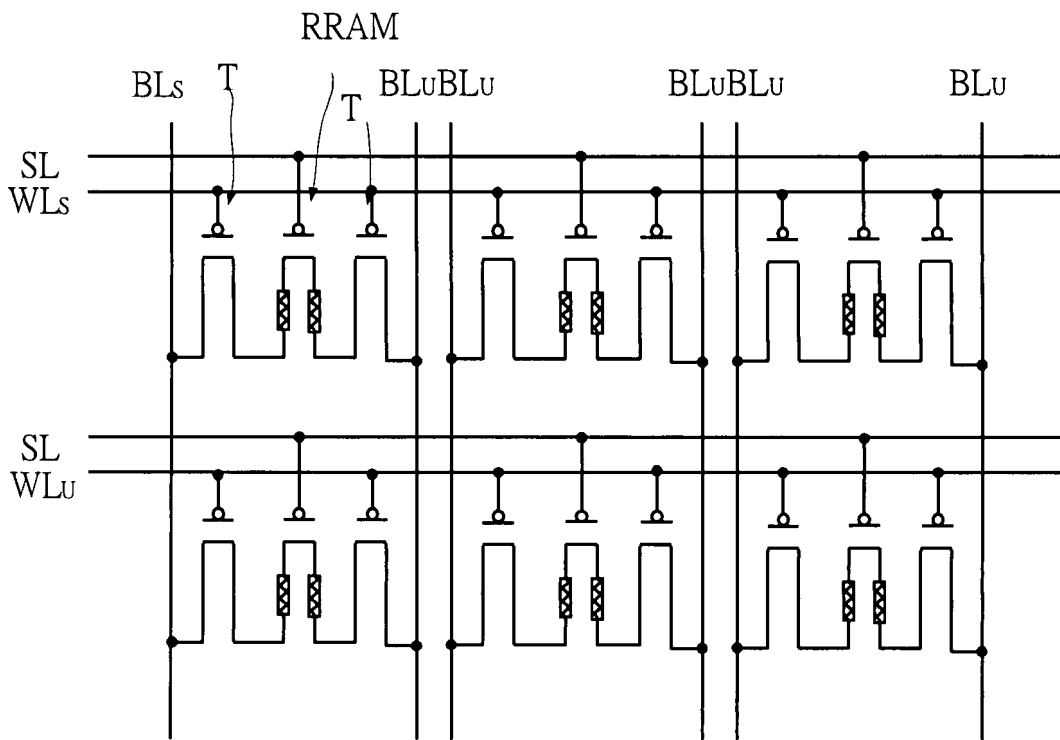


圖 4