



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I443803 B

(45) 公告日：中華民國 103 (2014) 年 07 月 01 日

(21) 申請案號：100132705

(22) 申請日：中華民國 100 (2011) 年 09 月 09 日

(51) Int. Cl. : *H01L25/04 (2014.01)**H01L23/52 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳冠能 CHEN, KUAN NENG (TW) ; 李世偉 LI, SHIH WEI (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

JP 2001-028464A

US 6380554B1

US 2008/0272372A1

審查人員：邱青松

申請專利範圍項數：13 項 圖式數：15 共 0 頁

(54) 名稱

三維積體電路

THREE-DIMENSIONAL INTEGRATED CIRCUIT

(57) 摘要

一種三維積體電路，其包括一第一晶圓及一第二晶圓。第一晶圓包括一第一導電圖樣。第二晶圓包括一第二導電圖樣，且電性連接第一導電圖樣。其中第一晶圓與第二晶圓的位移量係根據第一導電圖樣及第二導電圖樣的電阻值來決定。

A 3D integrated circuit including a first wafer and a second wafer is provided. The first wafer includes a first conduction pattern. The second wafer includes a second conduction pattern which is electrically connected to the first conduction pattern. The displacement between the first wafer and the second wafer depends on the resistance of the first conduction pattern and the second conduction pattern.

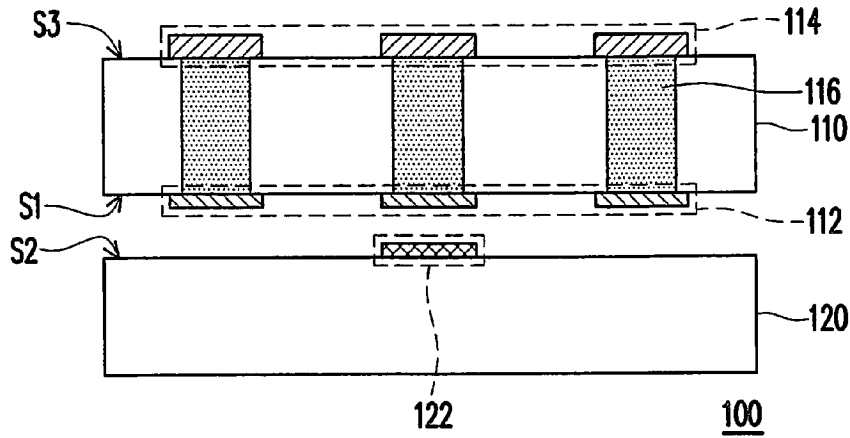


圖 1

- 100 . . . 三維積體電路
- 110 . . . 第一晶圓
- 112 . . . 第一導電圖樣
- 114 . . . 第三導電圖樣
- 116 . . . 直通矽晶穿孔
- 120 . . . 第二晶圓
- 122 . . . 第二導電圖樣
- S1、S3 . . . 第一晶圓之表面
- S2 . . . 第二晶圓之表面

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100132705

※申請日：100.9.09

※IPC 分類：

H01L 25/10 (2014.01)

H01L 23/12 (2006.01)

一、發明名稱：

三維積體電路 / THREE-DIMENSIONAL
INTEGRATED CIRCUIT

二、中文發明摘要：

一種三維積體電路，其包括一第一晶圓及一第二晶圓。第一晶圓包括一第一導電圖樣。第二晶圓包括一第二導電圖樣，且電性連接第一導電圖樣。其中第一晶圓與第二晶圓的位移量係根據第一導電圖樣及第二導電圖樣的電阻值來決定。

三、英文發明摘要：

A 3D integrated circuit including a first wafer and a second wafer is provided. The first wafer includes a first conduction pattern. The second wafer includes a second conduction pattern which is electrically connected to the first conduction pattern. The displacement between the first wafer and the second wafer depends on the resistance of the first conduction pattern and the second conduction pattern.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：三維積體電路

110：第一晶圓

112：第一導電圖樣

114：第三導電圖樣

116：直通矽晶穿孔

120：第二晶圓

122：第二導電圖樣

S1、S3：第一晶圓之表面

S2：第二晶圓之表面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種三維積體電路，且特別是有關於一種可測量其堆疊誤差之三維積體電路。

【先前技術】

三維積體電路在半導體的應用中，對於積體電路空間的有效運用扮演相當重要的角色，其中應用積體電路而製成的元件，會隨著積體電路空間的運用影響其元件之大小。而在發展三維積體電路的同時，對於是否準確地在三維空間上組合位於不同晶圓之積體電路，會影響到三維積體電路之功能及效用。

一般測量三維積體電路是否準確堆疊之技術，通常是在各晶圓堆疊之接觸面分別刻以具有一定電阻值之兩條路徑，並且利用穿孔技術將路徑上之量測接點導通至晶圓表面。當兩條路徑之量測接點測量出相同之電阻值時，則代表該三維積體電路準確堆疊。反之，當兩條路徑之量測接點測量之電阻值不同時，則代表該三維積體電路並未準確堆疊，各晶圓之間存在一位移誤差量。然而，習知的測量方法無法得知該位移誤差量及位移方向為何，亦無法針對該位移誤差量進行修正。

【發明內容】

本發明提出一種三維積體電路，其可測量三維積體電

路因各晶圓堆疊而產生之位移誤差量，並可得知其方向及大小。

本發明提出一種三維積體電路，其包括一第一晶圓及一第二晶圓。第一晶圓包括一第一導電圖樣。第二晶圓包括一第二導電圖樣，且電性連接第一導電圖樣。第一晶圓與第二晶圓的位移量係根據第一導電圖樣及第二導電圖樣的電阻值來決定。

在本發明一實施例中，上述之第一導電圖樣包括多個方向導電圖樣及一第一中央導電圖樣。多個方向導電圖樣當中至少其中之一電性連接第二導電圖樣。第一中央導電圖樣配置於方向導電圖樣之間，並電性連接第二導電圖樣。第一晶圓與第二晶圓在不同方向上的位移量係根據第一中央導電圖樣、各對應的方向導電圖樣及第二導電圖樣的電阻值來決定。

在本發明之一實施例中，上述之第二導電圖樣包括一第二中央導電圖樣。第二中央導電圖樣電性連接第一導電圖樣。第一晶圓與第二晶圓在不同方向上的位移量係根據第一中央導電圖樣、各對應的方向導電圖樣及第二中央導電圖樣的電阻值來決定。

在本發明之一實施例中，上述之各方向導電圖樣包括多個金屬墊及多條金屬線。各金屬線電性連接對應的金屬墊。第一導電圖樣及第二導電圖樣的電阻值至少根據金屬線被第二導電圖樣短路的數目及被短路的金屬線的線寬來決定。

在本發明之一實施例中，上述之方向導電圖樣包括一個金屬墊、一摻雜區域及多條金屬線。金屬線經由摻雜區域電性連接至金屬墊。第一導電圖樣及第二導電圖樣的電阻值至少根據金屬線被第二導電圖樣短路的數目及被短路的金屬線的線間阻值來決定。

在本發明之一實施例中，上述之第一導電圖樣包括多個方向導電圖樣。方向導電圖樣電性連接第二導電圖樣。第一晶圓與第二晶圓在一特定方向上的位移量根據方向導電圖樣及第二導電圖樣的電阻值來決定。

在本發明之一實施例中，上述之第二導電圖樣包括島鏈狀導電圖樣。島鏈狀導電圖樣電性連接方向導電圖樣。第一導電圖樣及第二導電圖樣之電流係以串鏈(daisy chain)方式在方向導電圖樣及島鏈狀導電圖樣上流動。

在本發明之一實施例中，上述之各方向導電圖樣包括多個金屬墊、一摻雜區域及多條金屬線。金屬線經由摻雜區域電性連接至金屬墊。第一導電圖樣及第二導電圖樣的電阻值至少根據金屬線被第二導電圖樣短路的數目、方向導電圖樣的數目及被短路的金屬線的線間阻值來決定。

在本發明之一實施例中，上述之第一晶圓更包括一第三導電圖樣。第三導電圖樣與第一導電圖樣配置於第一晶圓的相對兩側。

在本發明之一實施例中，上述之第三導電圖樣包括多個金屬墊。第一導電圖樣及第二導電圖樣的電阻值係以金屬墊為量測接點量測而得。

在本發明之一實施例中，上述之第一導電圖樣與第三導電圖樣以直通矽晶穿孔(Through-Silicon Via, TSV)技術電性連接。

基於上述，在本發明之範例實施例中，藉由量測三維積體電路中各晶圓接觸面上導電圖樣之電阻值，可得知因各晶圓堆疊而產生之位移誤差量。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

在測量積體電路時，首先必須面對的問題是如何在積體電路的表面測量積體電路內部之線路。在習知的技術中，通常用以直通矽晶穿孔(Through-Silicon Via, TSV)技術電性連接。利用直通矽晶穿孔技術對晶圓鑽以可電性導通之穿孔，並在晶圓之穿孔表面放置金屬墊做為測量之用。

圖 1 繪示本發明一實施例之三維積體電路 100 之示意圖。請參照圖 1，本實施例之三維積體電路 100 包括一第一晶圓 110 及一第二晶圓 120，其中第一晶圓 110 堆疊於第二晶圓 120 之上。在本實施例中，第一晶圓 110 包括一第一導電圖樣 112 及一第三導電圖樣 114，兩者分別配置於第一晶圓 110 之表面 S1、S3。第二晶圓 120 包括一第二導電圖樣 122，其配置於第二晶圓 120 之表面 S2，並電性連接至第一導電圖樣 112。在本實施例中，第一導電圖樣 112 及第三導電圖樣 114 係利用多個直通矽晶穿孔 116 彼

此電性連接，以使電性量測裝置(未繪示)可透過第三導電圖樣 114 的多個金屬墊量測第一導電圖樣 112 及第二導電圖樣 122 的電阻值。而第一晶圓 110 與第二晶圓 120 的位移量係根據第一導電圖樣 112 及第二導電圖樣 122 的電阻值來決定。

圖 2A 繪示圖 1 實施例之第一導電圖樣 112 的配置示意圖。請參照圖 1 及圖 2A，在本實施例中，第一導電圖樣 112 包括一中央導電圖樣 C1 及多個方向導電圖樣 112U、112D、112L、112R。中央導電圖樣 C1 配置於方向導電圖樣 112U、112D、112L、112R 之間，並電性連接第二導電圖樣 122。在此，中央導電圖樣 C1 為一矩形之金屬墊，且配置於第一導電圖樣 112 之中間位置，但本發明並不限於此。

在本實施例中，方向導電圖樣 112U、112D、112L、112R 分別包括多個金屬墊及多條金屬線。各金屬墊依序對應連接各金屬線。在本實施例中，方向導電圖樣 112U、112D、112L、112R，分別配置於第一導電圖樣 112 之上、下、左、右，且中央導電圖樣 C1 被方向導電圖樣 112U、112D、112L、112R 所包圍。在本實施例中，第一導電圖樣 112 及第二導電圖樣 122 的電阻值至少係根據金屬線 ML 被第二導電圖樣 122 短路的數目及被短路的金屬線 ML 的線寬來決定。此點將於稍後搭配第二導電圖樣 122 進行說明。應注意的是，上述之「上」、「下」、「左」、「右」方向係參照圖 2A 說明時的參考，並不用以限定本發明之

方向導電圖樣的配置方式。

圖 2B 繪示圖 1 實施例之第二導電圖樣 122 的配置示意圖。請參照圖 1 至圖 2B，本實施例之第二導電圖樣 122 包括一中央導電圖樣 C2。中央導電圖樣 C2 係根據中央導電圖樣 C1 的位置，對應地配置在第二晶圓 120 之表面 S2。為搭配第一導電圖樣 112 的中央導電圖樣 C1，中央導電圖樣 C2 例如也是一矩形之金屬墊，但本發明並不限於此。在第一晶圓 110 及第二晶圓 120 堆疊時，若兩者之間的堆疊無誤差，則中央導電圖樣 C2 實質上會與中央導電圖樣 C1 重疊。相反地，若兩者之間的堆疊有所誤差，則中央導電圖樣 C2 不僅會與中央導電圖樣 C1 重疊，也會與方向導電圖樣 112U、112D、112L、112R 的部分金屬線 ML 重疊，而導致第一晶圓 110 及第二晶圓 120 之間因不同的堆疊關係，而存在不同的導通情況。換句話說，第一導電圖樣 112 及第二導電圖樣 122 的導通情況至少係根據金屬線 ML 被第二導電圖樣 122 短路的數目。

圖 2C 繪示圖 1 實施例之第三導電圖樣 114 的配置示意圖。請參照圖 1 至圖 2C，本實施例之第三導電圖樣 114 相對於第一導電圖樣 112 配置在第一晶圓 110 之表面 S3。第三導電圖樣 114 包括多個金屬墊，其金屬墊係對應第一導電圖樣 110 一對一地配置，並利用各直通矽晶穿孔電性連接至位在第一晶圓 110 之表面 S1 的金屬墊。電性量測裝置(未繪示)透過位於第三導電圖樣 114 之金屬墊，可量測第一導電圖樣 112 及第二導電圖樣 122 的導通情況。

圖 3 繪示圖 1 實施例之第一導電圖樣 112 及第二導電圖樣 122 之錯位示意圖。請參照圖 1 至圖 3，在本實施例中，若第一導電圖樣 112 及第二導電圖樣 122 之間的堆疊有所誤差，則中央導電圖樣 C2 不僅會與中央導電圖樣 C1 重疊，也會與方向導電圖樣 112U、112D、112L、112R 的部分金屬線 ML 重疊，而導致第一晶圓 110 及第二晶圓 120 之間因不同的堆疊位移誤差，而存在不同的短路情況。

詳細而言，在圖 1 的架構中，三維積體電路 100 包括多個直通矽晶穿孔 116 及簡易的金屬連線(即金屬線及金屬墊)。藉此，在第一晶圓 110 及第二晶圓 120 接合後，其各方向所產生的位移量(即對準上的誤差)即可被量測而得，其工作原理如下。當第一晶圓 110 及第二晶圓 120 接合後，第二晶圓 120 之表面 S2 上的中央導電圖樣 C2 會與第一晶圓 110 之表面 S1 上的金屬線 ML 有所碰觸，而使得對應中央導電圖樣 C1 的直通矽晶穿孔 116 和對應其他金屬墊的直通矽晶穿孔 116 有所導通。藉由導通的個數及導通的位置即可得知第一晶圓 110 及第二晶圓 120 接合後的對準誤差。

舉例而言，在圖 3 中，第一晶圓 110 及第二晶圓 120 接合後產生了誤差，會使得金屬墊 L1、L2、L3、金屬墊 B1、B2 及中央導電圖樣 C1 短路，其餘金屬連線為斷路。因此，三維積體電路 100 之位移誤差為左邊 3 個線寬 W 及下方 2 個線寬 W。換句話說，第一導電圖樣 112 及第二導電圖樣 122 的電阻值至少係根據金屬線 ML 被第二導電圖

樣 122 短路的數目及被短路的金屬線 ML 的線寬來決定。並且，第一晶圓 110 與第二晶圓 120 的位移量係根據第一導電圖樣 112 及第二導電圖樣 122 的導通的情況來決定。亦即，位移量等於金屬線 ML 被第二導電圖樣 122 短路的數目乘上金屬線 ML 的線寬。在本實施例中，晶圓的位移量根據導電圖樣的導通數目(低阻值個數)來決定的方式例如是在一查找表中記錄晶圓位移量與導電圖樣電阻值的對應關係。當導電圖樣的低電阻值被量到後，利用該查找表所記錄的對應關係，晶圓的位移量即可被決定。另外，該查找表所記錄的對應關係則依據第一導電圖樣 112 及第二導電圖樣 122 設計架構的不同而有所差異。

因此，本實施例之三維積體電路 100 至少包括製作簡單、判別方便(即使用電性來判別位移誤差)、及使用金屬線的導通與否來判別，不需使用任何主被動元件等優點。另外，本實施例之第一導電圖樣 112 於製作時不需使用摻雜的製程，可減少熱積存(thermal budget)的現象。

應注意的是，在本實施例中，金屬墊的數目及金屬線 ML 的線寬大小並不用以限定本發明。設計者可依實際設計需求來調整方向導電圖樣 112U、112D、112L、112R 的金屬墊之數目，四者不需相同。並且，各金屬線 ML 的線寬大小也可任意調整，不需每條金屬線的線寬皆相同。

圖 4 繪示本發明另一實施例之三維積體電路 100' 之示意圖。請參照圖 1 及圖 4，本實施例之三維積體電路 100' 類似圖 1 實施例之三維積體電路 100，惟兩者之間主要的

差異例如在於：本實施例之三維積體電路 100' 的第一導電圖樣 112' 及第三導電圖樣 116' 具有數量較少的金屬墊。

詳細而言，圖 5A 繪示圖 4 實施例之第一導電圖樣 112' 的配置示意圖。請參照圖 4 至圖 5A，相較於圖 1 的實施例，本實施例之方向導電圖樣 112U'、112D'、112L'、112R' 分別包括一個金屬墊、一摻雜區域及多條金屬線。以方向導電圖樣 112D' 為例，方向導電圖樣 112D' 包括金屬墊 D、摻雜區域 113 及多條金屬線 ML。其中，摻雜區域 113 例如是在製作三維積體電路 100 的摻雜區域時同時製作，用以使金屬墊 C3 與該等金屬線 ML 彼此導通。金屬線 ML 係平行排列於其對應的摻雜區域 113 上。

圖 5B 繪示圖 4 實施例之第二導電圖樣 122' 的配置示意圖。請參照圖 4 至圖 5B，類似於圖 2B 的第二導電圖樣 122，本實施例之第二導電圖樣 122' 包括一中央導電圖樣 C4，其係搭配中央導電圖樣 C3 而對應地配置於第二導電圖樣 122' 的中間位置，且中央導電圖樣 C2 例如也是一矩形之金屬墊，但本發明並不限於此。

圖 5C 繪示圖 4 實施例之第三導電圖樣 114' 的配置示意圖。請參照圖 4 至圖 5C，相較於圖 2C 的實施例，由於本實施例之各方向導電圖樣僅包含一個金屬墊，因此第三導電圖樣 114' 僅需對應地配置五個金屬墊(包含對應中央導電圖樣 C3 的一個金屬墊)。進而，根據第一導電圖樣 112' 及第三導電圖樣 114' 金屬墊的數目，第一晶圓 110' 僅需包含五個直通矽晶穿孔 116'。因此，本實施例之三維積體電

路 100' 至少包括製作簡單、使用數量較少的直通矽晶穿孔、以及成本低廉等優點。

圖 6 繪示圖 4 實施例之第一導電圖樣 112' 及第二導電圖樣 122' 之錯位示意圖。請參照圖 4 至圖 6，在本實施例中，若第一導電圖樣 112' 及第二導電圖樣 122' 之間的堆疊有所誤差，則中央導電圖樣 C4 不僅會與中央導電圖樣 C3 重疊，也會與方向導電圖樣 112U'、112D'、112L'、112R' 的部分金屬線 ML 重疊，而導致第一晶圓 110' 及第二晶圓 120' 之間因不同的堆疊關係，而存在不同的電阻值。

詳細而言，在圖 4 的架構中，三維積體電路 100' 利用摻雜的方式使各方向導電圖樣之金屬線間有著固定的阻值。一但第一晶圓 110' 及第二晶圓 120' 產生了位移，其會使第二晶圓 120' 之表面 S2' 上的中央導電圖樣 C3 與第一晶圓 110' 之表面 S1' 上的金屬線 ML 有所碰觸，而使得受中央導電圖樣 C3 碰觸的特定金屬線 ML 會短路而不會被金屬線 ML 下方的摻雜區域 113 的阻值所影響。接著，再藉由直通矽晶穿孔 116' 量測第一晶圓 110' 之表面 S3' 上的金屬墊，即可得知第一導電圖樣 112' 及第二導電圖樣 122' 的電阻值。根據此電阻值，即可判別出第一晶圓 110' 及第二晶圓 120' 的位移誤差量。

舉例而言，在圖 6 中，第一晶圓 110 及第二晶圓 120 接合後產生了誤差，相對於中央導電圖樣 C3，中央導電圖樣 C4 向左下方位移，如圖 6 所示。若每個金屬線的線間阻值為 r ，各方向導電圖樣之金屬墊 L、U、R、D 與中央

導電圖樣 C3 間的阻值為 R_w ，則可得到第一導電圖樣 112' 及第二導電圖樣 122' 的多個電阻值關係如下：

$$R_{C3U}=R_{C3R}=R_w ;$$

$$R_{C3L}=R_w-4\times r ;$$

$$R_{C3D}=R_w-2\times r ,$$

其中 R_{C3U} 、 R_{C3R} 、 R_{C3L} 、 R_{C3D} 分別代表中央導電圖樣 C3 與方向導電圖樣 112U'、112R'、112L'、112D' 的電阻值。

換句話說，第一導電圖樣 112' 及第二導電圖樣 122' 的電阻值至少係根據金屬線被第二導電圖樣 122' 短路的數目及被短路的金屬線的線間阻值來決定。並且，第一晶圓 110' 與第二晶圓 120' 的位移量係根據第一導電圖樣 112' 及第二導電圖樣 122' 的電阻值來決定。亦即，位移量等於方向導電圖樣之金屬墊與中央導電圖樣間的阻值減去金屬線 ML 被第二導電圖樣 122' 短路的數目乘上金屬線 ML 的線間阻值。

圖 7 繪示本發明另一實施例之三維積體電路 100'' 之示意圖。請參照圖 4 及圖 7，本實施例之三維積體電路 100'' 類似圖 4 實施例之三維積體電路 100'，惟兩者之間主要的差異例如在於：本實施例之第一導電圖樣 112'' 係包括多個沿著一特定方向排列之方向導電圖樣 112Y，以及本實施例之第二導電圖樣 122'' 包括一島鏈狀導電圖樣，其電性連接方向導電圖樣 112Y。

詳細而言，圖 8A 繪示圖 7 實施例之第一導電圖樣 112''

的配置示意圖。請參照圖 7 及圖 8A，本實施例之各方向導電圖樣 112Y 包括兩個金屬墊 Y1、Y2、一摻雜區域 113' 及多條金屬線 ML。其中，摻雜區域 113' 例如是在製作三維積體電路 100 的摻雜區域時同時製作，用以使各方向導電圖樣之金屬墊 Y1、Y2 與其金屬線 ML 彼此導通。金屬線 ML 係平行排列於其對應的摻雜區域 113' 上。在本實施例中，方向導電圖樣 112Y 係沿著水平方向排列，用以量測第一晶圓 110'' 與第二晶圓 120'' 的在垂直方向上的位移量。應注意的是，上述之「垂直」、「水平」方向係參照圖 8A 說明時的參考，並不用以限定本發明之方向導電圖樣的配置方式。

圖 8B 繪示圖 7 實施例之第二導電圖樣 122'' 的配置示意圖。請參照圖 7 至圖 8B，本實施例之第二導電圖樣 122'' 包括多個矩形金屬墊 I1、I2、I3、I4，其搭配第一導電圖樣 112'' 的配置關係，而排列如圖 8B 所示的鏈狀圖案，因此稱之為島鏈狀導電圖樣，其並非用以限定本發明之第二導電圖樣 122''。其中，第一導電圖樣 112'' 及第二導電圖樣 122'' 的電阻值至少係根據金屬線 ML 被第二導電圖樣 122'' 短路的數目、方向導電圖樣 112Y 的數目及被短路的金屬線的線間阻值來決定。

圖 8C 繪示圖 7 實施例之第三導電圖樣 114'' 的配置示意圖。請參照圖 7 至圖 8C，本實施例之第三導電圖樣 114'' 包括多個矩形金屬墊，其係搭配第一導電圖樣 112'' 而配置如圖 8C 所示。在本實施例中，第三導電圖樣 114'' 僅包括

兩個矩形金屬墊，當第一導電圖樣 112'' 與第二導電圖樣 122'' 接觸時，透過該兩個矩形金屬墊即可達到量測之目的。換句話說，本實施例之第一導電圖樣 112'' 及第三導電圖樣 114'' 之間只需要兩個直通矽晶穿孔 116'' 連接即可量測到第一導電圖樣 112'' 與第二導電圖樣 122'' 的電阻值，可有效降低製作成本。

進一步而言，圖 9 繪示圖 7 實施例之第一導電圖樣 112'' 及第二導電圖樣 122'' 之錯位示意圖。請參照圖 7 至圖 9，在本實施例中，若第一導電圖樣 112'' 及第二導電圖樣 122'' 之間的堆疊在垂直方向有所誤差，則第二導電圖樣 122'' 不僅會與各方向導電圖樣 112Y 的金屬墊 Y1、Y2 重疊，也會與其部分金屬線 ML 重疊，而導致第一晶圓 110'' 及第二晶圓 120'' 之間因不同的堆疊關係，而存在不同的電阻值。

在圖 7 的架構中，其工作原理係利用摻雜的方式使第一晶圓 110'' 之表面 S1'' 上的每一金屬線 ML 具有一定的電阻值。此時，若第一晶圓 110'' 及第二晶圓 120'' 因接合而產生了一個垂直的位移，則在量測時產生的電流會以一串鏈 (daisy chain) 方式在第一導電圖樣 112'' 及第二導電圖樣 122'' 之間流動。此串鏈電流會將因位移而產生的電阻值增強。

舉例而言，在圖 7 中，第一晶圓 110'' 及第二晶圓 120'' 接合後產生了誤差，相對於第一導電圖樣 112''，第二導電圖樣 122'' 向下方位移，如圖 9 所示。若每個金屬線的線間

阻值為 ρ ，方向導電圖樣之數目為 m ，且金屬線 ML 被第二導電圖樣 122' 短路的數目為 n ，則由左下方的金屬墊 Y2 及右上方的金屬墊 Y1 間所量得的電阻值 ΔR ，其計算方式如下：

$$\Delta R = m \times n \times \rho$$

在本實施例中， $m=3$ ； $n=9$ 。換句話說，第一導電圖樣 112'' 及第二導電圖樣 122'' 的電阻值至少係根據金屬線 ML 被第二導電圖樣短路 122'' 的數目、方向導電圖樣 112Y 的數目及被短路的金屬線的線間阻值來決定。設計者可以實際需求調整方向導電圖樣之數目為 m 及金屬線 ML 被第二導電圖樣 122' 短路的數目為 n ，因此可有效增強因第一晶圓 110'' 及第二晶圓 120'' 之位移而產生的電阻值，以增加位移量測的靈敏度。另外，圖 1 之實施例或圖 4 之實施例也可搭配圖 7 之實施例，以使位移量的量測靈敏度提高。

應注意的是，在本實施例中，方向導電圖樣係沿著水平方向排列，用以量測第一晶圓 110'' 與第二晶圓 120'' 的在垂直方向上的位移量，但本發明並不限於此。在其他實施例中，方向導電圖樣也可以沿著垂直方向排列，用以量測第一晶圓 110'' 與第二晶圓 120'' 的在水平方向上的位移量。在另一實施例中，三維積體電路 100'' 亦可配置兩組在不同方向上排列的方向導電圖樣，以量測不同方向上的位移。

綜上所述，在本發明之範例實施例中，藉由量測三維積體電路中各晶圓接觸面上導電圖樣之電阻值，可得知因

各晶圓堆疊而產生之位移誤差量。此外，本發明之範例實施例的架構亦可同一三維積體電路中實施，以提高位移誤差量的量測靈敏度。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示本發明一實施例之三維積體電路 100 之示意圖。

圖 2A 繪示圖 1 實施例之第一導電圖樣 112 的配置示意圖。

圖 2B 繪示圖 1 實施例之第二導電圖樣 122 的配置示意圖。

圖 2C 繪示圖 1 實施例之第三導電圖樣 114 的配置示意圖。

圖 3 繪示圖 1 實施例之第一導電圖樣 112 及第二導電圖樣 122 之錯位示意圖。

圖 4 繪示本發明另一實施例之三維積體電路 100' 之示意圖。

圖 5A 繪示圖 4 實施例之第一導電圖樣 112' 的配置示意圖。

圖 5B 繪示圖 4 實施例之第二導電圖樣 122' 的配置示

意圖。

圖 5C 繪示圖 4 實施例之第三導電圖樣 114' 的配置示意圖。

圖 6 繪示圖 4 實施例之第一導電圖樣 112' 及第二導電圖樣 122' 之錯位示意圖。

圖 7 繪示本發明另一實施例之三維積體電路 100'' 之示意圖。

圖 8A 繪示圖 7 實施例之第一導電圖樣 112'' 的配置示意圖。

圖 8B 繪示圖 7 實施例之第二導電圖樣 122'' 的配置示意圖。

圖 8C 繪示圖 7 實施例之第三導電圖樣 114'' 的配置示意圖。

圖 9 繪示圖 7 實施例之第一導電圖樣 112'' 及第二導電圖樣 122'' 之錯位示意圖。

【主要元件符號說明】

100、100'、100''：三維積體電路

110、110'、110''：第一晶圓

112、112'、112''：第一導電圖樣

112U、112D、112L、112R、112U'、112D'、112L'、112R'：方向導電圖樣

113、113'：摻雜區域

114、114'、114''：第三導電圖樣

102年2月11日修正表頁

103-2-11

116、116'、116''：直通矽晶穿孔

120、120'、120''：第二晶圓

122、122'、122''：第二導電圖樣

S1、S3：第一晶圓之表面

S2：第二晶圓之表面

C1、C2、C3、C4：中央導電圖樣

ML：金屬線

W：金屬線的線寬

T1~T5、B1~B5、R1~R5、L1~L5、L、R、U、D、Y1~Y2、

I1~I2：金屬墊

103年2月11日修正本

103-2-11

七、申請專利範圍：

1. 一種三維積體電路，包括：

一第一晶圓，包括一第一導電圖樣；

一第二晶圓，包括一第二導電圖樣，電性連接該第一導電圖樣，

其中該第一晶圓與該第二晶圓的位移量係根據該第一導電圖樣及該第二導電圖樣的電阻值來決定，

其中該第一導電圖樣包括：

多個方向導電圖樣，該些方向導電圖樣當中至少其中之一電性連接該第二導電圖樣；以及

一第一中央導電圖樣，配置於該些方向導電圖樣之間，並電性連接該第二導電圖樣，

其中該第一晶圓與該第二晶圓在不同方向上的位移量係根據該第一中央導電圖樣、各該對應的方向導電圖樣及該第二導電圖樣的電阻值來決定。

2. 如申請專利範圍第1項所述之三維積體電路，其中該第二導電圖樣包括：

一第二中央導電圖樣，電性連接該第一導電圖樣，

其中該第一晶圓與該第二晶圓在該些不同方向上的位移量係根據該第一中央導電圖樣、各該對應的方向導電圖樣及該第二中央導電圖樣的電阻值來決定。

3. 如申請專利範圍第1項所述之三維積體電路，其中各該方向導電圖樣包括：

多個金屬墊；以及

多條金屬線，各該金屬線電性連接對應的該些金屬墊，

其中該第一導電圖樣及該第二導電圖樣的電阻值至少係根據該些金屬線被該第二導電圖樣短路的數目及被短路的該些金屬線的線寬來決定。

4. 如申請專利範圍第 1 項所述之三維積體電路，其中各該方向導電圖樣包括：

- 一個金屬墊；
- 一摻雜區域；以及

多條金屬線，該些金屬線係經由該摻雜區域電性連接至該金屬墊，

其中該第一導電圖樣及該第二導電圖樣的電阻值至少係根據該些金屬線被該第二導電圖樣短路的數目及被短路的該些金屬線的線間阻值來決定。

5. 如申請專利範圍第 1 項所述之三維積體電路，其中該第一晶圓更包括：

一第三導電圖樣，該第三導電圖樣與該第一導電圖樣係配置於該第一晶圓的相對兩側。

6. 如申請專利範圍第 5 項所述之三維積體電路，其中該第三導電圖樣包括多個金屬墊，該第一導電圖樣及該第二導電圖樣的電阻值係以該些金屬墊為量測接點量測而得。

7. 如申請專利範圍第 5 項所述之三維積體電路，其中該第一導電圖樣與該第三導電圖樣係以直通矽晶穿孔技術

電性連接。

8. 一種三維積體電路，包括：

一第一晶圓，包括一第一導電圖樣；

一第二晶圓，包括一第二導電圖樣，電性連接該第一導電圖樣，

其中該第一晶圓與該第二晶圓的位移量係根據該第一導電圖樣及該第二導電圖樣的電阻值來決定，

其中該第二導電圖樣包括：

一島鏈狀導電圖樣，電性連接多個方向導電圖樣，並且該些方向導電圖樣與該島鏈狀導電圖樣以串鏈方式排列，

其中該島鏈狀導電圖案包括多個第一金屬墊，於量測時所產生的電流係從該些第一金屬墊其中之一流入並且從該些第一金屬墊其中之另一流出。

9. 如申請專利範圍第 8 項所述之三維積體電路，其中該第一導電圖樣包括：

該些方向導電圖樣，電性連接該第二導電圖樣，

其中該第一晶圓與該第二晶圓在一特定方向上的位移量係根據該些方向導電圖樣及該第二導電圖樣的電阻值來決定。

10. 如申請專利範圍第 9 項所述之三維積體電路，其中各該方向導電圖樣包括：

多個第二金屬墊；

一摻雜區域；以及

多條金屬線，該些第二金屬線係經由該摻雜區域電性連接至該些金屬墊，

其中該第一導電圖樣及該第二導電圖樣的電阻值至少係根據該些金屬線被該第二導電圖樣短路的數目、該些方向導電圖樣的數目及被短路的該些金屬線的線間阻值來決定。

11. 如申請專利範圍第 8 項所述之三維積體電路，其中該第一晶圓更包括：

一第三導電圖樣，該第三導電圖樣與該第一導電圖樣係配置於該第一晶圓的相對兩側。

12. 如申請專利範圍第 11 項所述之三維積體電路，其中該第三導電圖樣包括多個第三金屬墊，該第一導電圖樣及該第二導電圖樣的電阻值係以該些第三金屬墊為量測接點量測而得。

13. 如申請專利範圍第 11 項所述之三維積體電路，其中該第一導電圖樣與該第三導電圖樣係以直通矽晶穿孔技術電性連接。

八、圖式：

102年乙月 11日修正本

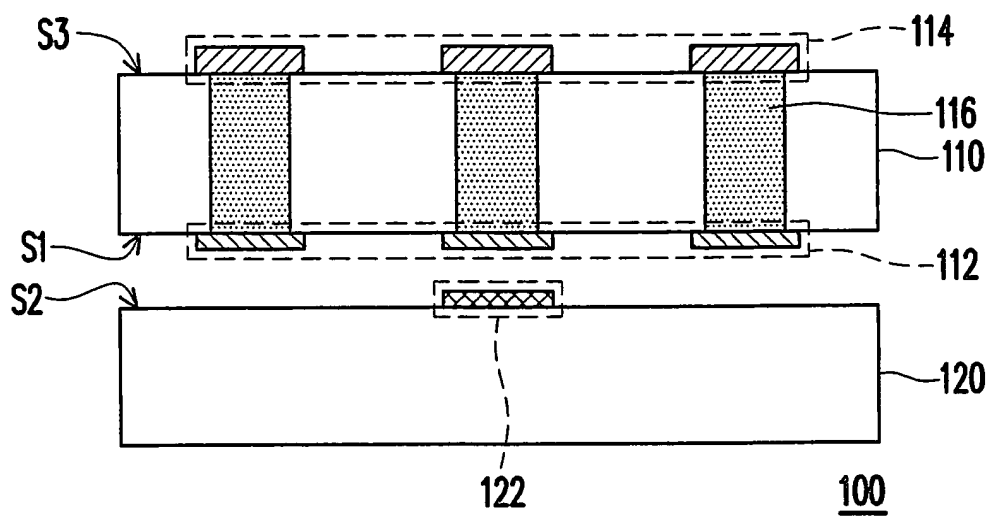


圖 1

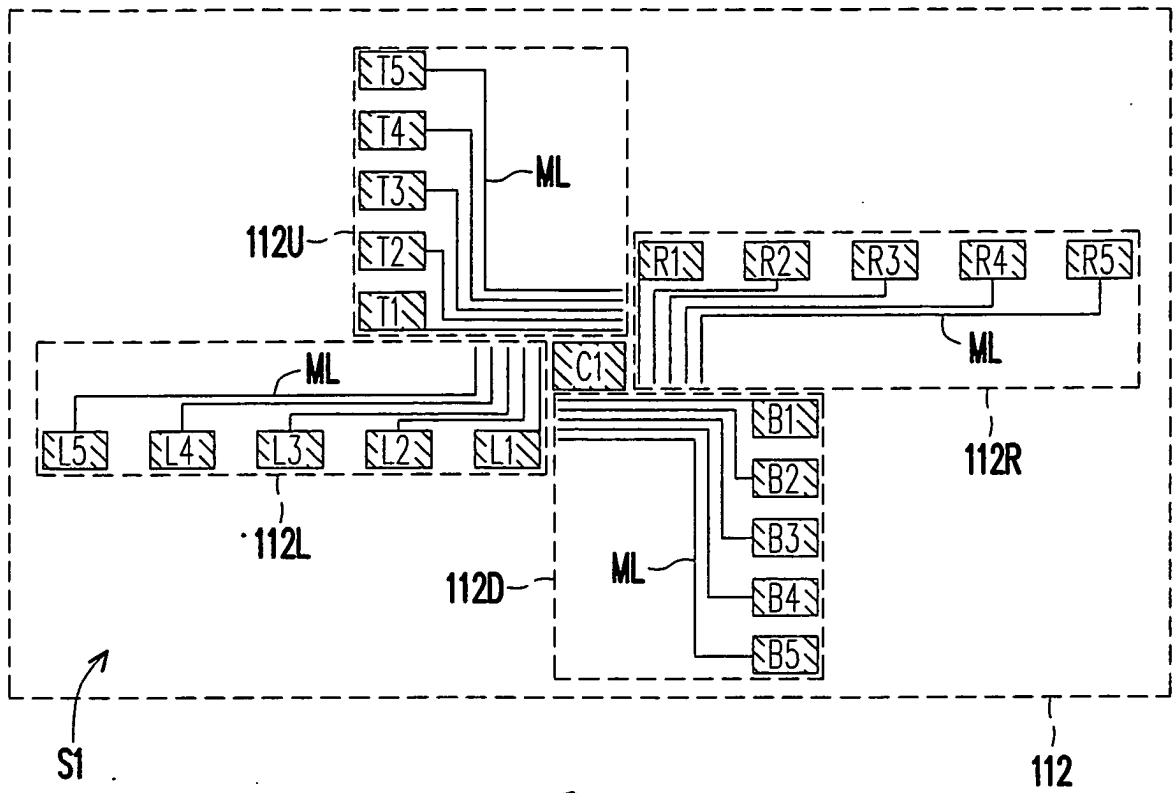


圖 2A

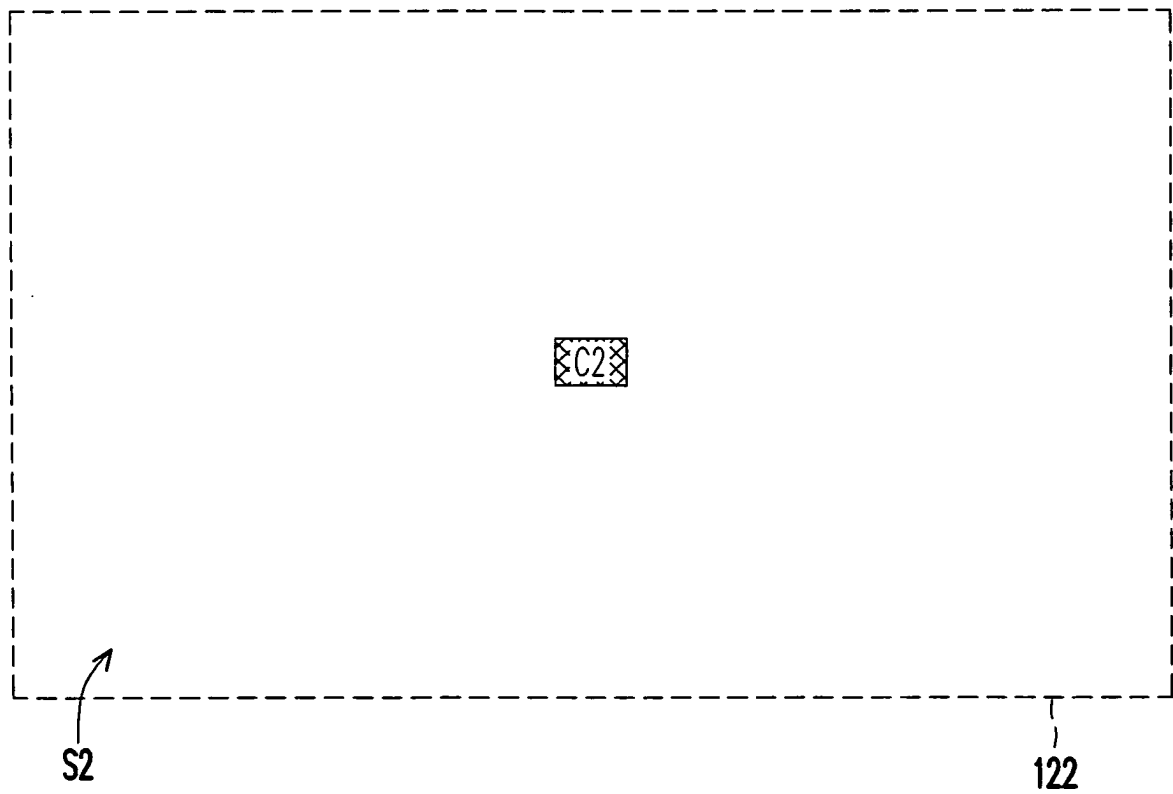


圖 2B

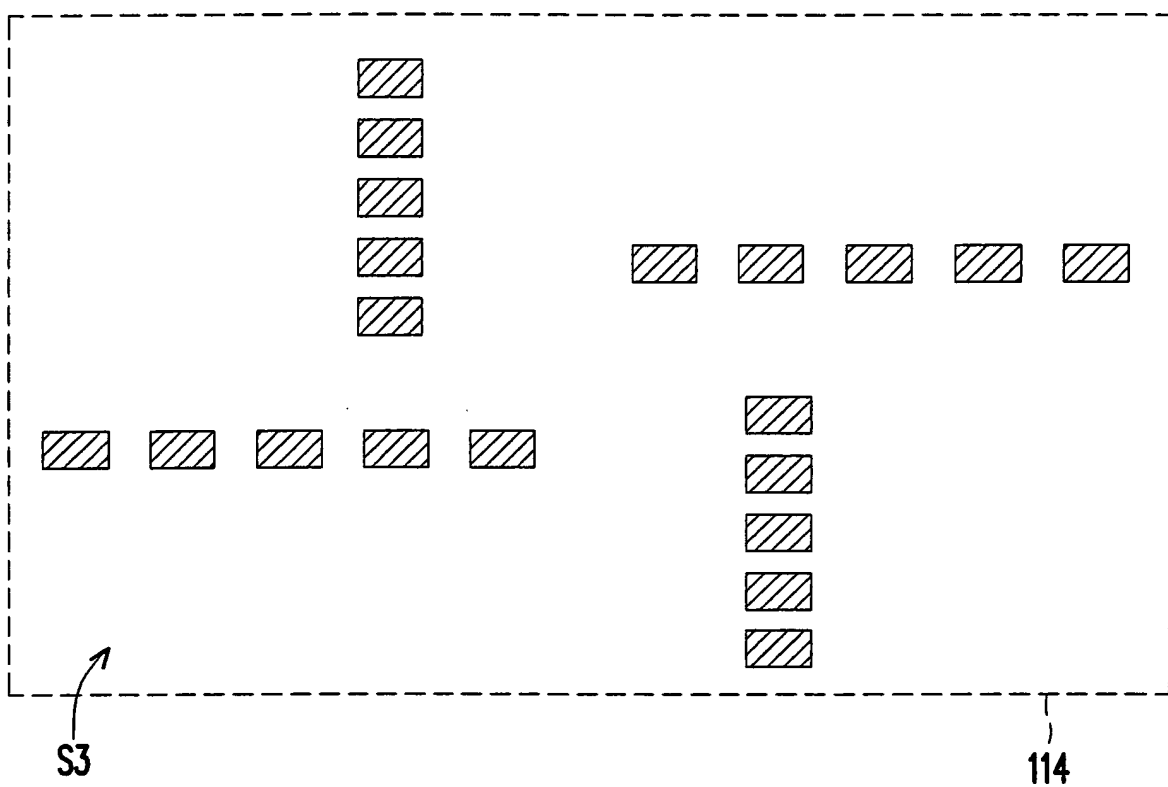


圖 2C

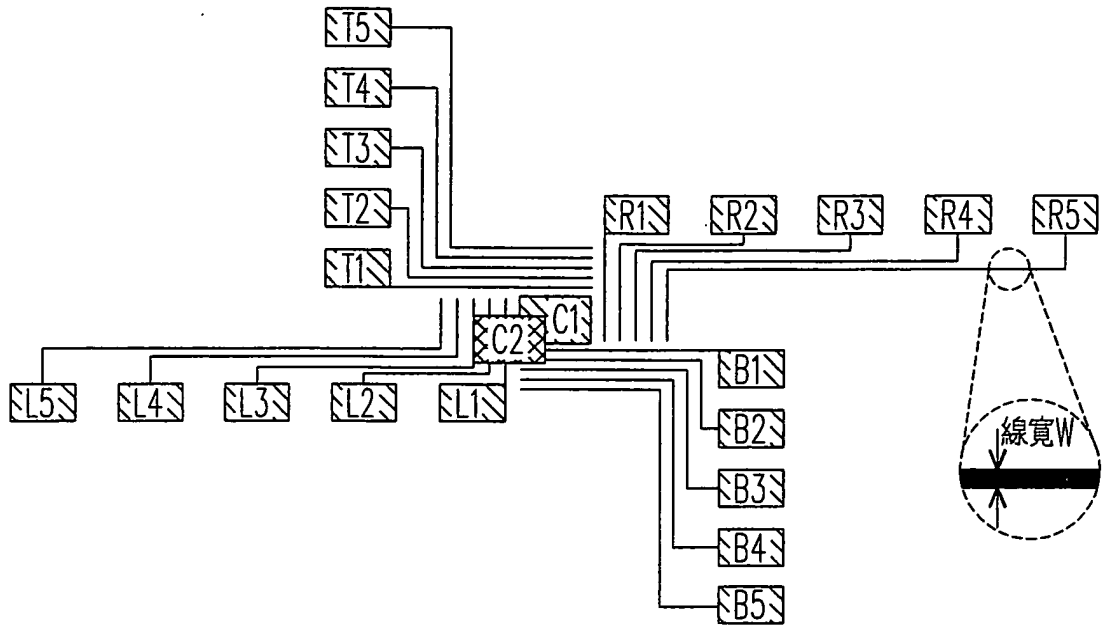


圖 3

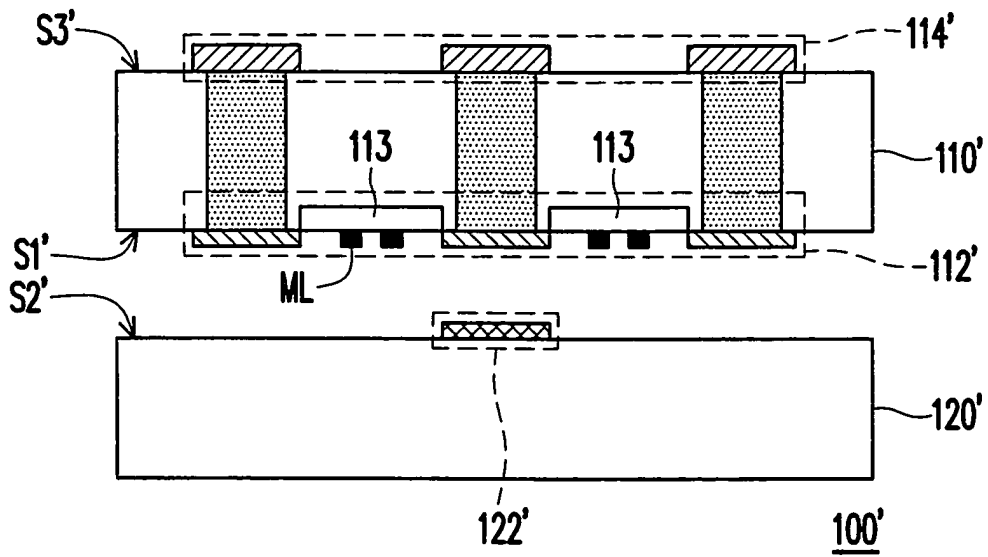


圖 4

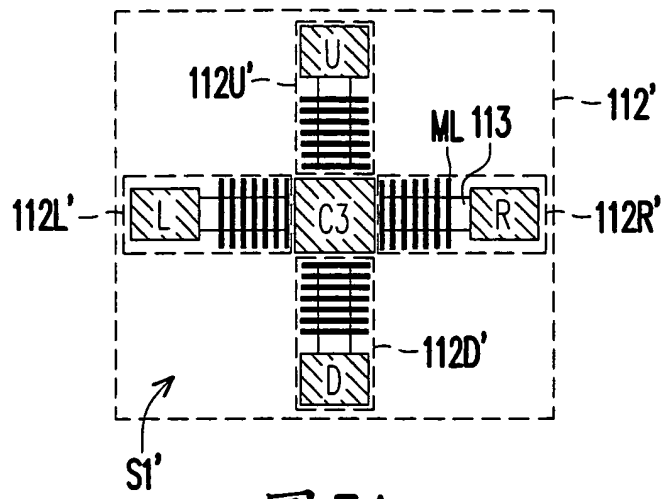


圖 5A

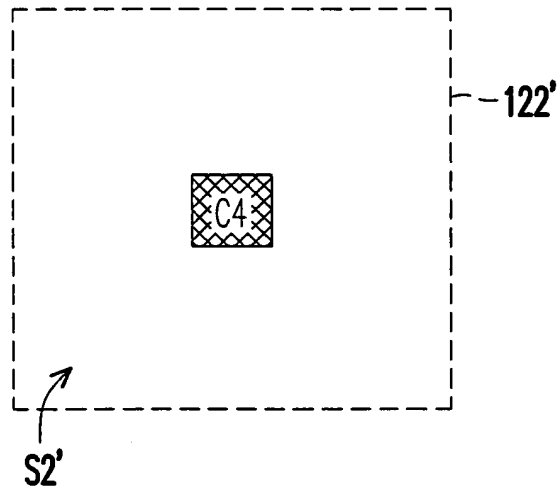


圖 5B

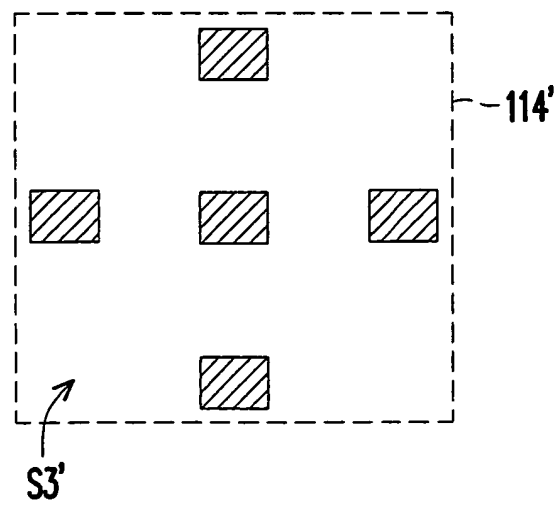


圖 5C

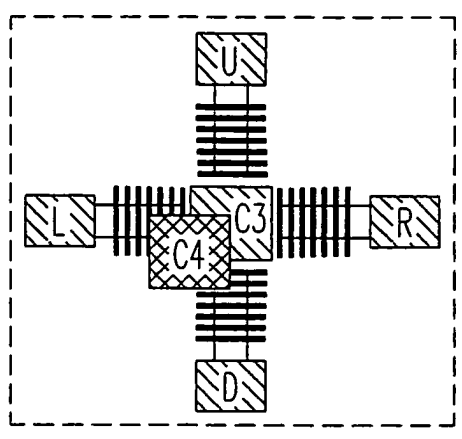


圖 6

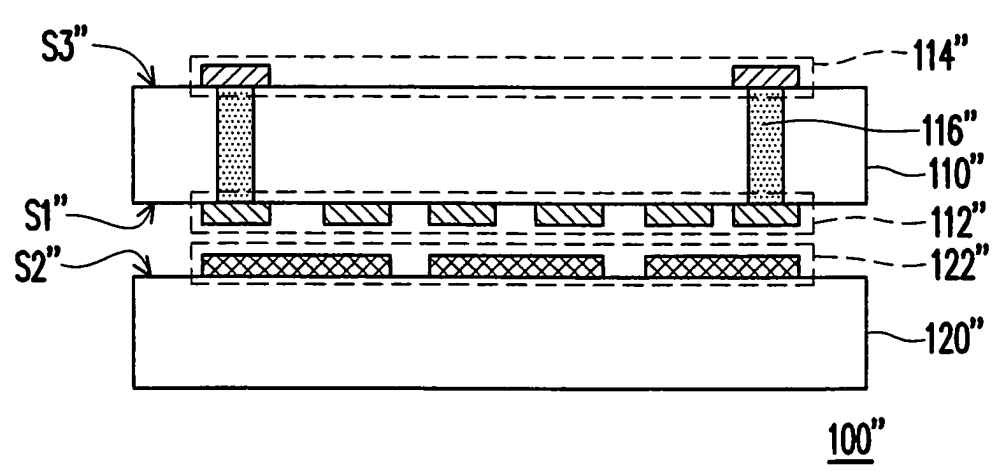


圖 7

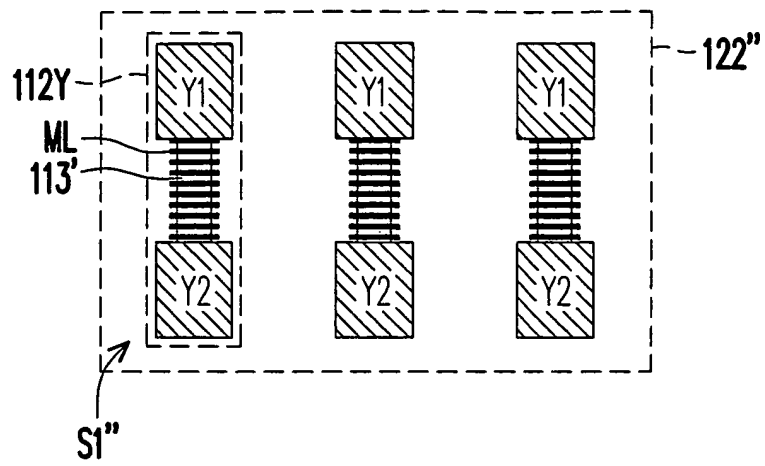


圖 8A

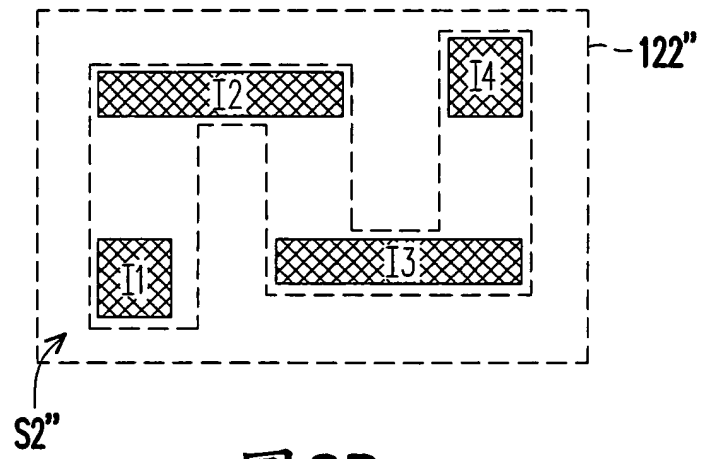


圖 8B

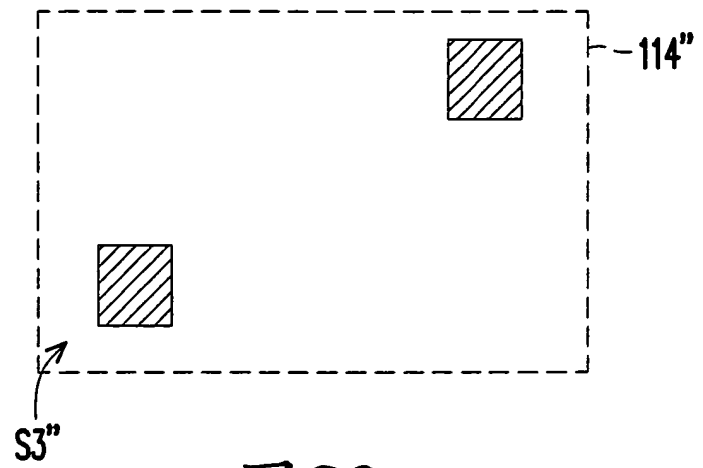


圖 8C

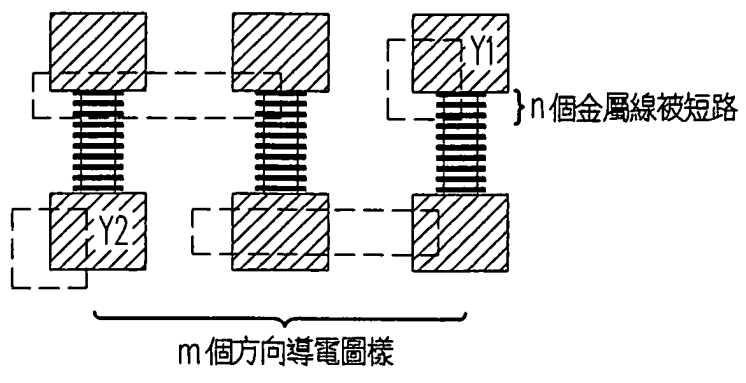


圖 9