



(21)申請案號：100128747

(22)申請日：中華民國 100 (2011) 年 08 月 11 日

(51)Int. Cl. : H03K5/13 (2006.01)

H03L7/081 (2006.01)

H03L7/099 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：李鎮宜 LEE, CHENYI (TW)；余建螢 YU, CHIENYING (TW)；游佳融 YU,

CHIAJUNG (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 42 頁

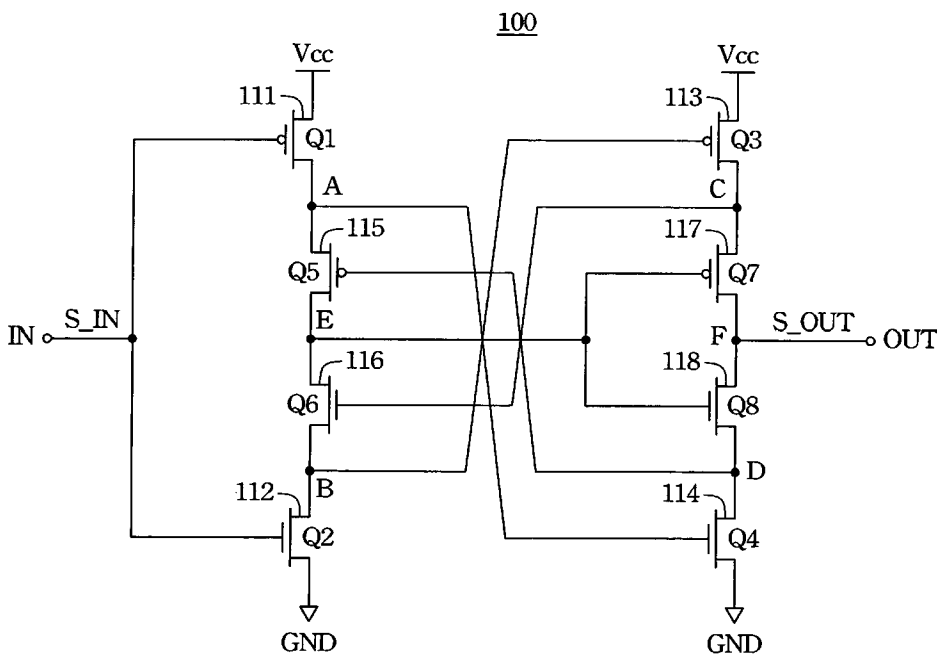
(54)名稱

延遲元件及數位控制振盪器

DELAY CELL AND DIGITALLY CONTROLLED OSCILLATOR

(57)摘要

一種延遲元件包含第一反相電晶體對、第二反相電晶體對以及複數個延遲單元。第一反相電晶體對用以接收輸入信號。第二反相電晶體對交錯耦接第一反相電晶體對，並由第一反相電晶體對交錯控制。延遲單元分別疊接於第一反相電晶體對之間以及第二反相電晶體對之間，用以提供連續之複數個信號傳遞延遲，其中輸入信號藉由第一反相電晶體對、第二反相電晶體對與延遲單元依序操作而延遲預設時間，以產生相對應預設時間之輸出信號。一種數位控制振盪器亦於此揭露。



100：延遲元件

111：第一電晶體

112：第二電晶體

113：第三電晶體

114：第四電晶體

115：第五電晶體

116：第六電晶體

117：第七電晶體

118：第八電晶體

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：10012747

※申請日：100. 8. 11

※IPC 分類：

H03K 5/13 (2006.01)  
H03L 7/081 (2006.01)  
H03L 7/099 (2006.01)

一、發明名稱：(中文/英文)

延遲元件及數位控制振盪器

DELAY CELL AND DIGITALLY CONTROLLED  
OSCILLATOR

## ○ 二、中文發明摘要：

一種延遲元件包含第一反相電晶體對、第二反相電晶體對以及複數個延遲單元。第一反相電晶體對用以接收輸入信號。第二反相電晶體對交錯耦接第一反相電晶體對，並由第一反相電晶體對交錯控制。延遲單元分別疊接於第一反相電晶體對之間以及第二反相電晶體對之間，用以提供連續之複數個信號傳遞延遲，其中輸入信號藉由第一反相電晶體對、第二反相電晶體對與延遲單元依序操作而延遲預設時間，以產生相對應預設時間之輸出信號。一種數位控制振盪器亦於此揭露。

## 三、英文發明摘要：

A delay cell includes a first inverted transistor pair, a second inverted transistor pair and a plurality of delay units. The first inverted transistor pair is used to receive an input signal. The second inverted transistor pair is electrically cross-coupled to the first inverted transistor pair and

cross-controlled by the first inverted transistor pair. The delay units are cascaded between the first inverted transistor pair and between the second inverted transistor pair, for providing a plurality of signal propagation delays, sequentially, in which, the input signal is delayed for a pre-determined time by the first inverted transistor pair, the second inverted transistor pair and the delay units which are operated sequentially, for creating an output signal corresponding to the pre-determined time. A digitally controlled oscillator is disclosed herein.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1A ) 圖。

(二)本代表圖之元件符號簡單說明：

100：延遲元件

111：第一電晶體

112：第二電晶體

113：第三電晶體

114：第四電晶體

115：第五電晶體

116：第六電晶體

117：第七電晶體

118：第八電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種電子裝置，且特別是有關於一種延遲元件及數位控制振盪器。

### 【先前技術】

常見的數位鎖相迴路包含相位頻率偵測器 (phase frequency detector, PFD)、控制元件 (controller)、數位控制振盪器 (digitally controlled oscillator) 以及除頻器 (divider)，其中數位控制振盪器利用其延遲元件之傳遞路徑與反相元件構成回授路徑，而產生振盪頻率。

傳統延遲元件可利用如反相器 (inverter)、及閘 (AND gate) 或遲滯元件 (hysteresis element) 的信號延遲特性，並透過多級內部元件的串接，以產生所需的延遲時間與振盪頻率。當有較寬的頻率調整範圍之需求時，必須增加延遲元件中內部元件之串接級數，以得到各種不同延遲時間的信號輸出。

然而，延遲元件在多級內部元件串接 (例如：反相器的串接) 之下，卻可能佔用了數位鎖相迴路中相當大的功率消耗，而不利於實際上的應用。因此，延遲元件仍具有上述功率消耗以及延遲時間之間的問題尚待克服。

### 【發明內容】

本揭示內容為揭露一種延遲元件及數位控制振盪器，使得在低功率消耗的狀態下，可增加信號傳遞延遲之時間。

本揭示內容之一態樣在於提供一種延遲元件，包含第一反相電晶體對、第二反相電晶體對以及複數個延遲單元。第一反相電晶體對用以接收輸入信號。第二反相電晶體對交錯耦接第一反相電晶體對，並由第一反相電晶體對交錯控制。上述延遲單元分別疊接於第一反相電晶體對之間以及第二反相電晶體對之間，用以提供連續之複數個信號傳遞延遲，其中輸入信號藉由第一反相電晶體對、第二反相電晶體對與延遲單元依序操作而延遲預設時間，以產生相對應預設時間之輸出信號。

依據本揭示內容之一實施例，上述第一反向電晶體對包含第一電晶體以及第二電晶體。第一電晶體具有閘極、汲極以及源極。第一電晶體之閘極電性耦接輸入端，第一電晶體之源極電性耦接相對高位準電壓。第二電晶體具有閘極、汲極以及源極。第二電晶體之閘極電性耦接輸入端，第二電晶體之源極電性耦接相對低位準電壓。上述第一電晶體係為 P 型電晶體，第二電晶體係為 N 型電晶體。

依據本揭示內容之一實施例，上述第二反向電晶體對包含第三電晶體以及第四電晶體。第三電晶體具有閘極、汲極以及源極。第三電晶體之閘極電性耦接第二電晶體之汲極，第三電晶體之源極電性耦接相對高位準電壓。第四電晶體具有閘極、汲極以及源極。第四電晶體之閘極電性耦接第一電晶體之汲極，第四電晶體之源極電性耦接相對低位準電壓。上述第三電晶體係為 P 型電晶體，第四電晶體係為 N 型電晶體。

依據本揭示內容之一實施例，上述延遲單元包含第一

疊接電晶體對以及第二疊接電晶體對。第一疊接電晶體對疊接於第一反向電晶體對之第一電晶體以及第二電晶體之間，且第一疊接電晶體對交錯耦接第二反向電晶體對，並由第二反向電晶體對交錯控制。第二疊接電晶體對疊接於第二反向電晶體對之第三電晶體以及第四電晶體之間，且第二疊接電晶體對電性耦接第一疊接電晶體對以及輸出端，並由第一疊接電晶體對控制。

依據本揭示內容之一實施例，上述第一疊接電晶體對包含第五電晶體以及第六電晶體。第五電晶體具有閘極、汲極以及源極。第五電晶體之閘極電性耦接第四電晶體之汲極，第五電晶體之源極電性耦接第一電晶體之汲極以及第四電晶體之閘極。第六電晶體具有閘極、汲極以及源極。第六電晶體之閘極電性耦接第三電晶體之汲極，第六電晶體之汲極電性耦接第五電晶體之汲極，第六電晶體之源極電性耦接第二電晶體之汲極以及第三電晶體之閘極。上述第五電晶體係為 P 型電晶體，第六電晶體係為 N 型電晶體。

依據本揭示內容之一實施例，上述第二疊接電晶體對包含第七電晶體以及第八電晶體。第七電晶體具有閘極、汲極以及源極。第七電晶體之閘極電性耦接第五電晶體以及第六電晶體之汲極，第七電晶體之汲極電性耦接輸出端，第七電晶體之源極電性耦接第三電晶體之汲極以及第六電晶體之閘極。第八電晶體具有閘極、汲極以及源極。第八電晶體之閘極電性耦接第七電晶體之閘極、第五電晶體之汲極以及第六電晶體之汲極，第八電晶體之汲極電性耦接第七電晶體之汲極以及輸出端，第八電晶體源極電性

耦接第四電晶體之汲極以及第五電晶體之閘極。上述第七電晶體係為 P 型電晶體，第八電晶體係為 N 型電晶體。

依據本揭示內容之一實施例，上述延遲元件更包含旁路單元，其並聯耦接疊接電晶體對。透過切換旁路單元至導通狀態，以排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。

依據本揭示內容之一實施例，上述旁路單元包含複數個旁路電晶體，且旁路電晶體係以並聯方式或疊接方式相互耦接。

依據本揭示內容之一實施例，上述延遲單元包含複數個疊接電晶體對。上述疊接電晶體對分別疊接於第一反向電晶體對之間以及第二反向電晶體對之間。疊接電晶體對依序串聯相接，且疊接電晶體對中之第一者交錯耦接第二反向電晶體對，並由第二反向電晶體對交錯控制。疊接電晶體對中之最後一者電性耦接輸出端。除了疊接電晶體對中最後一者之外，其餘疊接電晶體對係以交錯耦接方式串聯相接，並依序交錯控制。

依據本揭示內容之一實施例，上述疊接電晶體對中之每一者包含 P 型電晶體以及 N 型電晶體，且第一反向電晶體對、第二反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體係以交錯方式傳遞信號。

依據本揭示內容之一實施例，上述延遲元件更包含旁路單元，其並聯耦接疊接電晶體對。透過切換旁路單元至導通狀態，以排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。



依據本揭示內容之一實施例，上述旁路單元包含複數個旁路電晶體，且旁路電晶體係以並聯方式或疊接方式相互耦接。

本揭示內容之另一態樣在於提供一種延遲元件，包含複數個反向電晶體對以及複數個疊接電晶體對。反向電晶體對以交錯耦接方式串聯相接，並依序交錯控制，且反向電晶體對中之第一者用以接收輸入信號。疊接電晶體對疊接於反向電晶體對之間，且疊接電晶體對係依序串聯相接。疊接電晶體對中之第一者交錯耦接反向電晶體對中之最後一者，並由反向電晶體對中之最後一者交錯控制。上述反向電晶體對以及疊接電晶體對用以提供連續之複數個信號傳遞延遲，且輸入信號藉由反向電晶體對以及疊接電晶體對依序操作而延遲預設時間，以產生相對應預設時間之輸出信號。

依據本揭示內容之一實施例，上述反向電晶體對以及疊接電晶體對中之每一者包含 P 型電晶體以及 N 型電晶體，且反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體係以交錯方式傳遞信號。

依據本揭示內容之一實施例，上述延遲元件更包含旁路單元，其並聯耦接疊接電晶體對。透過切換旁路單元至導通狀態，以排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。

依據本揭示內容之一實施例，上述旁路單元包含複數個旁路電晶體，且旁路電晶體係以並聯方式或疊接方式相互耦接。

本揭示內容之又一態樣在於提供一種數位控制振盪器，包含複數個延遲元件，其中延遲元件中之每一者包含複數個反向電晶體對以及複數個疊接電晶體對。反向電晶體對以交錯耦接方式串聯相接，並依序交錯控制，且反向電晶體對中之第一者用以接收輸入信號。疊接電晶體對分別疊接於反向電晶體對中相對應之一者之間，且疊接電晶體對依序串聯相接。疊接電晶體對中之第一者交錯耦接反向電晶體對中之最後一者，並由反向電晶體對中之最後一者交錯控制。上述反向電晶體對以及疊接電晶體對用以提供連續之複數個信號傳遞延遲，且輸入信號藉由反向電晶體對以及疊接電晶體對依序操作而延遲預設時間，以產生相對應預設時間之輸出信號。

依據本揭示內容之一實施例，上述反向電晶體對以及疊接電晶體對中之每一者包含 P 型電晶體以及 N 型電晶體，且反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體係以交錯方式傳遞信號。

依據本揭示內容之一實施例，上述數位控制振盪器更包含旁路單元，其並聯耦接疊接電晶體對。透過切換旁路單元至導通狀態，以排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。

依據本揭示內容之一實施例，上述旁路單元包含複數個旁路電晶體，且旁路電晶體係以並聯方式或疊接方式相互耦接。

因此，應用本揭示內容可藉由具有交錯延遲路徑的 P/N 電晶體對，並在 P/N 電晶體對相互疊接的狀態下，使得在

相同的功率消耗之下，可達到較長的信號傳遞延遲。

### 【實施方式】

以下將以圖式及詳細敘述清楚說明本揭示內容之精神，任何所屬技術領域中具有通常知識者在瞭解本揭示內容之較佳實施例後，當可由本揭示內容所教示之技術，加以改變及修飾，其並不脫離本揭示內容之精神與範圍。

第 1A 圖係繪示依照本揭示內容之一實施方式的一種延遲元件 100 之電路方塊示意圖。延遲元件 100 可包含第一反相電晶體對（包含第一電晶體 111 以及第二電晶體 112）、第二反相電晶體對（包含第三電晶體 113 以及第四電晶體 114）以及複數個延遲單元（包含第五電晶體 115～第八電晶體 118）。第一反相電晶體對用以接收輸入信號 S\_IN。第二反相電晶體對交錯耦接第一反相電晶體對，並由第一反相電晶體對交錯控制。延遲單元分別疊接於第一反相電晶體對之間以及第二反相電晶體對之間，用以提供連續之複數個信號傳遞延遲，其中輸入信號 S\_IN 藉由第一反相電晶體對、第二反相電晶體對與延遲單元依序操作而延遲預設時間，以產生相對應預設時間之輸出信號 S\_OUT。

在本揭示內容一實施例中，第一電晶體 111 具有閘極、汲極以及源極。第一電晶體 111 之閘極電性耦接輸入端 (IN)，第一電晶體 111 之源極電性耦接相對高位準電壓 VCC（例如：電源供應端）。第二電晶體 112 具有閘極、汲極以及源極。第二電晶體 112 之閘極電性耦接輸入端 (IN)，第二電晶體 112 之源極電性耦接相對低位準電壓

GND (例如：接地端)。上述第一電晶體 111 可為 P 型電晶體，第二電晶體 112 可為 N 型電晶體。

在一實施例中，第三電晶體 113 具有閘極、汲極以及源極。第三電晶體 113 之閘極電性耦接第二電晶體 112 之汲極，第三電晶體 113 之源極電性耦接相對高位準電壓 VCC。第四電晶體 114 具有閘極、汲極以及源極。第四電晶體 114 之閘極電性耦接第一電晶體 111 之汲極，第四電晶體 114 之源極電性耦接相對低位準電壓 GND。上述第三電晶體 113 可為 P 型電晶體，第四電晶體可為 N 型電晶體。

因此，第一反相電晶體對與第二反相電晶體對各自耦接於電壓 VCC 和 GND 之間，且分別使用電壓 VCC 和 GND 所形成之一組電源路徑，各自依據相對應電源路徑所提供之導通電流進行操作。

在本揭示內容一實施例中，延遲單元可包含第一疊接電晶體對 (包含第五電晶體 115 以及第六電晶體 116) 以及第二疊接電晶體對 (包含第七電晶體 117 以及第八電晶體 118)。第一疊接電晶體對疊接於第一反向電晶體對之第一電晶體 111 以及第二電晶體 112 之間，且第一疊接電晶體對交錯耦接第二反向電晶體對，並由第二反向電晶體對交錯控制。第二疊接電晶體對疊接於第二反向電晶體對之第三電晶體 113 以及第四電晶體 114 之間，且第二疊接電晶體對電性耦接第一疊接電晶體對以及輸出端 (OUT)，並由第一疊接電晶體對控制。

在一實施例中，第五電晶體 115 具有閘極、汲極以及源極。第五電晶體 115 之閘極電性耦接第四電晶體 114 之

汲極，第五電晶體 115 之源極電性耦接第一電晶體 111 之汲極以及第四電晶體 114 之閘極。第六電晶體 116 具有閘極、汲極以及源極。第六電晶體 116 之閘極電性耦接第三電晶體 113 之汲極，第六電晶體 116 之汲極電性耦接第五電晶體 115 之汲極，第六電晶體 116 之源極電性耦接第二電晶體 112 之汲極以及第三電晶體 113 之閘極。上述第五電晶體 115 可為 P 型電晶體，第六電晶體 116 可為 N 型電晶體。

在一實施例中，第七電晶體 117 具有閘極、汲極以及源極。第七電晶體 117 之閘極電性耦接第五電晶體 115 以及第六電晶體 116 之汲極，第七電晶體 117 之汲極電性耦接輸出端，第七電晶體 117 之源極電性耦接第三電晶體 113 之汲極以及第六電晶體 116 之閘極。第八電晶體 118 具有閘極、汲極以及源極。第八電晶體 118 之閘極電性耦接第七電晶體 117 之閘極、第五電晶體 115 之汲極以及第六電晶體 116 之汲極，第八電晶體 118 之汲極電性耦接第七電晶體 117 之汲極以及輸出端，第八電晶體 118 之源極電性耦接第四電晶體 114 之汲極以及第五電晶體 115 之閘極。上述第七電晶體 117 可為 P 型電晶體，第八電晶體 118 可為 N 型電晶體。

因此，第一電晶體 111~第八電晶體 118 可與第一反相電晶體對以及第二反相電晶體對分別共用電壓 VCC 和 GND 所形成之兩組電源路徑，且各自依據相對應電源路徑所提供之導通電流進行操作。

舉例來說，若輸入端接收一個低電壓位準的輸入信號

S\_IN 時，此低電壓位準的輸入信號 S\_IN 使第一電晶體 111 導通。此時，節點 A 上拉至高電壓位準，並使第四電晶體 114 導通。然後，節點 D 下拉至低電壓位準，並使第五電晶體 115 導通。接著，節點 E 上拉至高電壓位準，並使第八電晶體 118 導通。隨後，節點 F 下拉至低電壓位準，並輸出低電壓位準之輸出信號 S\_OUT。因此，第一電晶體 111、第四電晶體 114、第五電晶體 115 以及第八電晶體 118 提供了四個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了四個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

同樣地，若輸入端接收一個高電壓位準的輸入信號 S\_IN 時，此高電壓位準的輸入信號 S\_IN 使第二電晶體 112 導通。此時，節點 B 下拉至低電壓位準，並使第三電晶體 113 導通。然後，節點 C 上拉至高電壓位準，並使第六電晶體 116 導通。接著，節點 E 下拉至低電壓位準，並使第七電晶體 117 導通。隨後，節點 F 上拉至高電壓位準，並輸出高電壓位準之輸出信號 S\_OUT。因此，第二電晶體 112、第三電晶體 113、第六電晶體 116 以及第七電晶體 117 提供了四個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了四個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

因此，藉由延遲單元之疊接級數的增加或減少，使得信號傳遞延遲的時間為可控制的，而且延遲單元分別與第一反相電晶體對以及第二反相電晶體對共用 VCC 與 GND 所形成之兩組電源路徑，使得功率消耗不會因延遲單元之

疊接級數的增加而上升。

第 1B 圖以及第 1C 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件 100 的電路方塊示意圖。延遲元件 100 更可包含旁路單元（包含第一旁路電晶體 131～第四旁路電晶體 134），且旁路單元並聯耦接疊接電晶體對（包含第五電晶體 115～第八電晶體 118）。當旁路單元切換至導通狀態時，旁路單元可排除疊接電晶體對中 P 型電晶體（第五電晶體 115 以及第七電晶體 117）以及 N 型電晶體（第六電晶體 116 以及第八電晶體 118）之儲存電荷。在一實施例中，第一旁路電晶體 131～第四旁路電晶體 134 係以並聯方式或疊接方式相互耦接。

如第 1B 圖所示，第一旁路電晶體 131～第四旁路電晶體 134 係以並聯方式相互耦接，分別用以排除節點 A、節點 B、節點 C 以及節點 D 的儲存電荷，使得第五電晶體 115～第八電晶體 118 可隨其閘極之電壓位準的改變而轉態。在本實施例中，第一旁路電晶體 131 受節點 C 之電壓位準控制，第二旁路電晶體 132 受節點 D 之電壓位準控制，第三旁路電晶體 133 受節點 A 之電壓位準控制，第四旁路電晶體 134 受節點 B 之電壓位準控制。

如第 1C 圖所示，第一旁路電晶體 131～第四旁路電晶體 134 係以疊接方式相互耦接，分別用以排除節點 A、節點 B、節點 C 以及節點 D 的儲存電荷，使得第五電晶體 115～第八電晶體 118 可隨其閘極之電壓位準的改變而轉態。在本實施例中，第一旁路電晶體 131 受輸出端之電壓位準控制，第二旁路電晶體 132 受輸出端之電壓位準控制，第

三旁路電晶體 133 受節點 E 之電壓位準控制，第四旁路電晶體 134 受節點 E 之電壓位準控制。

第 2A 圖係繪示依照本揭示內容之一實施方式的一種延遲元件 200 之電路方塊示意圖。在本揭示內容一實施例中，延遲單元可包含複數個疊接電晶體對，例如，第一疊接電晶體對（包含第五電晶體 215 以及第六電晶體 216）、第二疊接電晶體對（包含第七電晶體 217 以及第八電晶體 218）、第三疊接電晶體對（包含第九電晶體 219 以及第十電晶體 220）、第四疊接電晶體對（包含第十一電晶體 221 以及第十二電晶體 222）。上述疊接電晶體對分別疊接於第一反向電晶體對（包含第一電晶體 211 以及第二電晶體 212）之間以及第二反向電晶體對（包含第三電晶體 213 以及第四電晶體 214）之間。疊接電晶體對可依序串聯相接，且疊接電晶體對中之第一者（第一疊接電晶體對）交錯耦接第二反向電晶體對，並由第二反向電晶體對交錯控制。疊接電晶體對中之最後一者（第四疊接電晶體對）電性耦接輸出端。除了疊接電晶體對中最後一者（第四疊接電晶體對）之外，其餘疊接電晶體對係以交錯耦接方式串聯相接，並依序交錯控制。

舉例來說，第一疊接電晶體對疊接於第一反相電晶體對之間，第三疊接電晶體對疊接於第一疊接電晶體對之間。同樣地，第二疊接電晶體對疊接於第二反相電晶體對之間，第四疊接電晶體對疊接於第二疊接電晶體對之間。除此之外，第二反相電晶體對交錯耦接第一疊接電晶體對，第一疊接電晶體對交錯耦接第二疊接電晶體對，第二疊



接電晶體對交錯耦接第三疊接電晶體對，第三疊接電晶體對電性耦接第四疊接電晶體對，第四疊接電晶體對電性耦接輸出端。

因此，第一疊接電晶體對～第四疊接電晶體對可與第一反相電晶體對以及第二反相電晶體對分別共用電壓 VCC 和 GND 所形成之兩組電源路徑，且各自依據相對應電源路徑所提供之導通電流進行操作。

在本實施例中，疊接電晶體對中之每一者包含 P 型電晶體（例如：第五電晶體 215、第七電晶體 217、第九電晶體 219 以及第十一電晶體 221）以及 N 型電晶體（例如：第六電晶體 216、第八電晶體 218、第十電晶體 220 以及第十二電晶體 222），且第一反向電晶體對、第二反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體係以交錯方式傳遞信號。亦即，第一反向電晶體對、第二反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體不會同時導通，並交錯控制下一級相異型式之電晶體（例如：N 型電晶體之輸出控制下一級 P 型電晶體，或者 P 型電晶體之輸出控制下一級 N 型電晶體）之方式傳遞信號。

在操作上，若輸入端接收一個低電壓位準的輸入信號 S\_IN 時，此低電壓位準的輸入信號 S\_IN 使第一電晶體 211 導通。此時，節點 A 上拉至高電壓位準，並使第四電晶體 214 導通。然後，節點 D 下拉至低電壓位準，並使第五電晶體 215 導通。接著，節點 E 上拉至高電壓位準，並使第八電晶體 218 導通。隨後，節點 H 下拉至低電壓位準，並使第九電晶體 219 導通。然後，節點 I 上拉至高電壓位準，

並使第十二電晶體 222 導通。接著，節點 J 下拉至低電壓位準，並輸出低電壓位準之輸出信號 S\_OUT。因此，第一電晶體 211、第四電晶體 214、第五電晶體 215、第八電晶體 218、第九電晶體 219 以及第十二電晶體 222 提供了六個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了六個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

同理，若輸入端接收一個高電壓位準的輸入信號 S\_IN 時，其信號傳遞之操作方式亦與上述範例相同或相似，於此不再贅述。由此可知，第二電晶體 212、第三電晶體 213、第六電晶體 216、第七電晶體 217、第十電晶體 220 以及第十一電晶體 221 亦提供了六個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了六個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

值得注意的是，在本實施例中係利用多個疊接電晶體以垂直疊接方式增加電晶體的串接級數，使信號傳遞延遲的時間增加，且多個疊接電晶體可與第一反相電晶體對以及第二反相電晶體對共用電壓 VCC 和 GND 所形成之兩組電源路徑，而不額外消耗功率，達到低功耗與長延遲之功效。

第 2B 圖以及第 2C 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件 200 的電路方塊示意圖。相似於第 1B 圖以及第 1C 圖所示之延遲元件 100，延遲元件 200 更可包含旁路單元（包含第一旁路電晶體 231～第八旁路電晶體 238），且旁路單元並聯耦接疊接電晶體

對（包含第五電晶體 215～第十二電晶體 222）。當旁路單元切換至導通狀態時，旁路單元可排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。在一實施例中，第一旁路電晶體 231～第八旁路電晶體 238 係以並聯方式或疊接方式相互耦接。

如第 2B 圖所示，第一旁路電晶體 231～第八旁路電晶體 238 係以並聯方式相互耦接，其排除儲存電荷之操作方式與第 1B 圖所示之實施範例相同或相似，於此不再贅述。

如第 2C 圖所示，第一旁路電晶體 231～第八旁路電晶體 238 係以疊接方式相互耦接，其排除儲存電荷之操作方式與第 1C 圖所示之實施範例相同或相似，於此不再贅述。

第 3 圖係繪示依照本揭示內容之一實施方式的一種延遲元件 300 之電路方塊示意圖。延遲元件 300 包含複數個反向電晶體對，例如，第一反相電晶體對（包含第一電晶體 311 以及第二電晶體 312）、第二反相電晶體對（包含第三電晶體 313 以及第四電晶體 314）、第三反相電晶體對（包含第五電晶體 315 以及第六電晶體 316）與第四反相電晶體對（包含第七電晶體 317 以及第八電晶體 318）以及複數個疊接電晶體對，例如，第一疊接電晶體對（包含第九電晶體 319 以及第十電晶體 320）、第二疊接電晶體對（包含第十一電晶體 321 以及第十二電晶體 322）、第三疊接電晶體對（包含第十三電晶體 323 以及第十四電晶體 324）與第四疊接電晶體對（包含第十五電晶體 325 以及第十六電晶體 326）。

上述反向電晶體對以交錯耦接方式串聯相接，並依序

交錯控制，且反向電晶體對中之第一者（第一反相電晶體對）用以接收輸入信號 S\_IN。疊接電晶體對可疊接於反向電晶體對之間，且疊接電晶體對依序串聯相接。疊接電晶體對中之第一者（第一疊接電晶體對）交錯耦接反向電晶體對中之最後一者（第四反相電晶體對），並由反向電晶體對中之最後一者（第四反相電晶體對）交錯控制。上述反向電晶體對以及疊接電晶體對用以提供連續之複數個信號傳遞延遲，且輸入信號 S\_IN 藉由反向電晶體對以及疊接電晶體對依序操作而延遲預設時間，以產生相對應預設時間之輸出信號 S\_OUT。

反向電晶體對以及疊接電晶體對中之每一者包含 P 型電晶體（例如：第一電晶體 311、第三電晶體 313、第五電晶體 315、第七電晶體 317、第九電晶體 319、第十一電晶體 321、第十三電晶體 323 以及第十五電晶體 325）以及 N 型電晶體（例如：第二電晶體 312、第四電晶體 314、第六電晶體 316、第八電晶體 318、第十電晶體 320、第十二電晶體 322、第十四電晶體 324 以及第十六電晶體 326），且反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體係以交錯方式傳遞信號。亦即，反向電晶體對以及疊接電晶體對中之 P 型電晶體以及 N 型電晶體不會同時導通，並交錯控制下一級相異型式的電晶體（例如：N 型電晶體之輸出控制下一級 P 型電晶體，或者 P 型電晶體之輸出控制下一級 N 型電晶體）之方式傳遞信號。

在操作上，若輸入端接收一個低電壓位準的輸入信號 S\_IN 時，此低電壓位準的輸入信號 S\_IN 使第一電晶體 311

導通。此時，節點 A 上拉至高電壓位準，並使第四電晶體 314 導通。然後，節點 D 下拉至低電壓位準，並使第五電晶體 315 導通。接著，節點 E 上拉至高電壓位準，並使第八電晶體 318 導通。隨後，節點 H 下拉至低電壓位準，並使第九電晶體 319 導通。然後，節點 I 上拉至高電壓位準，並使第十二電晶體 322 導通。接著，節點 J 下拉至低電壓位準，並使第十三電晶體 323 導通。隨後，節點 K 上拉至高電壓位準，並使第十六電晶體 326 導通。然後，節點 L 下拉至低電壓位準，並輸出低電壓位準之輸出信號 S\_OUT。

因此，第一電晶體 311、第四電晶體 314、第五電晶體 315、第八電晶體 318、第九電晶體 319、第十二電晶體 322、第十三電晶體 323 以及第十六電晶體 326 提供了八個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了八個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

同理，若輸入端接收一個高電壓位準的輸入信號 S\_IN 時，其信號傳遞之操作方式亦與上述範例相同或相似，於此不再贅述。由此可知，第二電晶體 312、第三電晶體 313、第六電晶體 316、第七電晶體 317、第十電晶體 320、第十一電晶體 321、第十四電晶體 324、第十五電晶體 325 亦提供了八個信號傳遞延遲的時間，使輸入信號 S\_IN 延遲了八個信號傳遞延遲的時間後，經由輸出端輸出相對應之輸出信號 S\_OUT。

值得注意的是，在本實施例中係利用多個反相電晶體與多個疊接電晶體以水平延伸方式增加電晶體的串接級數，使信號傳遞延遲的時間增加。相較於傳統由反相器所

組成的延遲元件，在相同功率消耗之下，本實施例所產生的信號傳遞延遲的時間可為傳統延遲元件所產生的延遲時間之兩倍。

再者，更可利用多個反相電晶體與多個疊接電晶體以水平延伸與垂直疊接方式增加電晶體的串接級數，如第 4 圖所示。第 4 圖係繪示依照本揭示內容之一實施方式的一種延遲元件 400 之電路方塊示意圖。在本實施例中，延遲元件 400 係結合了如第 2A 圖～第 2C 圖所示之垂直疊接方式以及如第 3 圖所示之水平延伸方式增加電晶體的串接級數，使信號傳遞延遲的時間大幅度增加，並在相同功率消耗之下，大幅增加了信號傳遞延遲的時間，其操作方式係與上述實施方式相同或相似，於此不再贅述。

在本揭示內容一實施例中，延遲元件 300 與延遲元件 400 更可包含旁路單元（未繪示）並聯耦接疊接電晶體對。當旁路單元切換至導通狀態時，旁路單元可排除疊接電晶體對中 P 型電晶體以及 N 型電晶體之儲存電荷。在一實施例中，旁路單元可包含複數個旁路電晶體（未繪示），且旁路電晶體係以並聯方式或疊接方式相互耦接，其排除儲存電荷之操作方式與第 1B 圖、第 1C 圖、第 2B 圖以及第 2C 圖所示之實施範例相同或相似，於此不再贅述。

第 5 圖係繪示依照本揭示內容之一實施方式的一種數位控制振盪器 500 之電路方塊示意圖。數位控制振盪器 500 可包含粗調區塊（coarse tuning stage）510、細調區塊（fine tuning stage）530 與反及閘 540。粗調區塊 510 包含複數個延遲元件（例如：第一延遲元件 511～第 N 延遲元件 51n）

以及路徑選擇多工器 520，且粗調區塊 510 中的延遲元件具有較長的延遲時間與傳遞路徑。同樣地，細調區塊 530 亦可包含複數個延遲元件，且細調區塊 530 中的延遲元件具有較短的延遲時間與傳遞路徑。在本實施例中，可藉由粗調區塊 510 或細調區塊 530 中延遲元件之信號傳遞延遲特性以及反及閘 540 的信號回授，以產生振盪頻率。振盪頻率的高低係依據信號傳遞路徑的長短所決定，且路徑選擇多工器 520 可依據控制碼 (CODE) 選擇粗調區塊 510 或細調區塊 530，以得到不同的信號傳遞路徑，進而產生不同的振盪頻率與解析度。

上述粗調區塊 510 之延遲元件中的每一者可包含複數個反向電晶體對以及複數個疊接電晶體對，其連接方式與操作方法係與第 1A 圖～第 4 圖所示之實施範例相同或相似，於此不再贅述。

相較於習知作法，在本揭示內容之上述實施例中，可藉由具有交錯延遲路徑之 P/N 電晶體對，並透過相互疊接，使得在相同的功率消耗之下，可達到較長的信號傳遞延遲。此外，P/N 電晶體對亦可在水平延伸、垂直疊接或上述組合方式之下，產生更長且可控制的信號傳遞延遲。

綜上所述，應用本揭示內容之優點在於以低功率消耗之 CMOS 延遲元件產生較長的延遲時間，且在低功率與較小面積之下達到需要的信號傳遞延遲，並可廣泛應用於數位式鎖相迴路以及利用延遲迴路設計之振盪器與延遲線 (delay line) 中。

雖然本發明已以實施方式揭露如上，然其並非用以限

定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1A 圖係繪示依照本揭示內容之一實施方式的一種延遲元件之電路方塊示意圖。

第 1B 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件的電路方塊示意圖。

第 1C 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件的電路方塊示意圖。

第 2A 圖係繪示依照本揭示內容之一實施方式的一種延遲元件之電路方塊示意圖。

第 2B 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件的電路方塊示意圖。

第 2C 圖係繪示依照本揭示內容之一實施方式的一種具有旁路單元之延遲元件的電路方塊示意圖。

第 3 圖係繪示依照本揭示內容之一實施方式的一種延遲元件之電路方塊示意圖。

第 4 圖係繪示依照本揭示內容之一實施方式的一種延遲元件之電路方塊示意圖。

第 5 圖係繪示依照本揭示內容之一實施方式的一種數



位控制振盪器之電路方塊示意圖。

【主要元件符號說明】

- 100、200、300、511~51n：延遲元件
- 111、211、311、411：第一電晶體
- 112、212、312、412：第二電晶體
- 113、213、313、413：第三電晶體
- 114、214、314、414：第四電晶體
- 115、215、315、415：第五電晶體
- 116、216、316、416：第六電晶體
- 117、217、317、417：第七電晶體
- 118、218、318、418：第八電晶體
- 219、319、419：第九電晶體
- 220、320、420：第十電晶體
- 221、321、421：第十一電晶體
- 222、322、422：第十二電晶體
- 323、423：第十三電晶體
- 324、424：第十四電晶體
- 325、425：第十五電晶體
- 326、426：第十六電晶體
- 427：第十七電晶體
- 428：第十八電晶體
- 429：第十九電晶體
- 430：第二十電晶體

- 431：第二十一電晶體
- 432：第二十二電晶體
- 433：第二十三電晶體
- 434：第二十四電晶體
- 131、231：第一旁路電晶體
- 132、232：第二旁路電晶體
- 133、233：第三旁路電晶體
- 134、234：第四旁路電晶體
- 235：第五旁路電晶體
- 236：第六旁路電晶體
- 237：第七旁路電晶體
- 238：第八旁路電晶體
- 500：數位控制振盪器
- 510：粗調區塊
- 520：路徑選擇多工器
- 530：細調區塊
- 540：反及閘

七、申請專利範圍：

1. 一種延遲元件，包含：

一第一反相電晶體對，用以接收一輸入信號；

一第二反相電晶體對，交錯耦接該第一反相電晶體對，並由該第一反相電晶體對交錯控制；以及

複數個延遲單元，分別疊接於該第一反相電晶體對之間以及該第二反相電晶體對之間，用以提供連續之複數個信號傳遞延遲；

其中該輸入信號藉由該第一反相電晶體對、該第二反相電晶體對與該些延遲單元依序操作而延遲一預設時間，以產生相對應該預設時間之一輸出信號。

2. 如請求項 1 所述之延遲元件，其中該第一反向電晶體對包含：

一第一電晶體，具有一閘極、一汲極以及一源極，該第一電晶體之該閘極電性耦接一輸入端，該第一電晶體之該源極電性耦接一相對高位準電壓；以及

一第二電晶體，具有一閘極、一汲極以及一源極，該第二電晶體之該閘極電性耦接該輸入端，該第二電晶體之該源極電性耦接一相對低位準電壓；

其中該第一電晶體係為一 P 型電晶體，該第二電晶體係為一 N 型電晶體。

3. 如請求項 2 所述之延遲元件，其中該第二反向電晶體對包含：

一第三電晶體，具有一閘極、一汲極以及一源極，該第三電晶體之該閘極電性耦接該第二電晶體之該汲極，該第三電晶體之該源極電性耦接該相對高位準電壓；以及

一第四電晶體，具有一閘極、一汲極以及一源極，該第四電晶體之該閘極電性耦接該第一電晶體之該汲極，該第四電晶體之該源極電性耦接該相對低位準電壓；

其中該第三電晶體係為一 P 型電晶體，該第四電晶體係為一 N 型電晶體。

4. 如請求項 3 所述之延遲元件，其中該些延遲單元包含：

一第一疊接電晶體對，疊接於該第一反向電晶體對之該第一電晶體以及該第二電晶體之間，且該第一疊接電晶體對交錯耦接該第二反向電晶體對，並由該第二反向電晶體對交錯控制；以及

一第二疊接電晶體對，疊接於該第二反向電晶體對之該第三電晶體以及該第四電晶體之間，且該第二疊接電晶體對電性耦接該第一疊接電晶體對以及一輸出端，並由該第一疊接電晶體對控制。

5. 如請求項 4 所述之延遲元件，其中該第一疊接電晶體對包含：

一第五電晶體，具有一閘極、一汲極以及一源極，該

第五電晶體之該閘極電性耦接該第四電晶體之該汲極，該第五電晶體之該源極電性耦接該第一電晶體之該汲極以及該第四電晶體之該閘極；以及

一第六電晶體，具有一閘極、一汲極以及一源極，該第六電晶體之該閘極電性耦接該第三電晶體之該汲極，該第六電晶體之該汲極電性耦接該第五電晶體之該汲極，該第六電晶體之該源極電性耦接該第二電晶體之該汲極以及該第三電晶體之該閘極；

其中該第五電晶體係為一 P 型電晶體，該第六電晶體係為一 N 型電晶體。

6. 如請求項 5 所述之延遲元件，其中該第二疊接電晶體對包含：

一第七電晶體，具有一閘極、一汲極以及一源極，該第七電晶體之該閘極電性耦接該第五電晶體以及該第六電晶體之該汲極，該第七電晶體之該汲極電性耦接該輸出端，該第七電晶體之該源極電性耦接該第三電晶體之該汲極以及該第六電晶體之該閘極；以及

一第八電晶體，具有一閘極、一汲極以及一源極，該第八電晶體之該閘極電性耦接該第七電晶體之該閘極、該第五電晶體之該汲極以及該第六電晶體之該汲極，該第八電晶體之該汲極電性耦接該第七電晶體之該汲極以及該輸出端，該第八電晶體之該源極電性耦接該第四電晶體之該汲極以及該第五電晶體之該閘極；

其中該第七電晶體係為一 P 型電晶體，該第八電晶體

係為一 N 型電晶體。

7. 如請求項 6 所述之延遲元件，更包含：

一旁路單元，並聯耦接該些疊接電晶體對，透過切換該旁路單元至導通狀態，以排除該些疊接電晶體對中該 P 型電晶體以及該 N 型電晶體之儲存電荷。

8. 如請求項 7 所述之延遲元件，其中該旁路單元包含複數個旁路電晶體，該些旁路電晶體係以並聯方式或疊接方式相互耦接。

9. 如請求項 3 所述之延遲元件，其中該些延遲單元包含：

複數個疊接電晶體對，分別疊接於該第一反向電晶體對之間以及該第二反向電晶體對之間，該些疊接電晶體對依序串聯相接，該些疊接電晶體對中之第一者交錯耦接該第二反向電晶體對，並由該第二反向電晶體對交錯控制，該些疊接電晶體對中之最後一者電性耦接一輸出端；

其中除了該些疊接電晶體對中最後一者之外，其餘該些疊接電晶體對係以交錯耦接方式串聯相接，並依序交錯控制。

10. 如請求項 9 所述之延遲元件，其中該些疊接電晶體對中之每一者包含一 P 型電晶體以及一 N 型電晶體，且該第一反向電晶體對、該第二反向電晶體對以及該些疊接

電晶體對中之該 P 型電晶體以及該 N 型電晶體係以交錯方式傳遞信號。

11. 如請求項 10 所述之延遲元件，更包含：

一旁路單元，並聯耦接該些疊接電晶體對，透過切換該旁路單元至導通狀態，以排除該些疊接電晶體對中該 P 型電晶體以及該 N 型電晶體之儲存電荷。

12. 如請求項 11 所述之延遲元件，其中該旁路單元包含複數個旁路電晶體，該些旁路電晶體係以並聯方式或疊接方式相互耦接。

13. 一種延遲元件，包含：

複數個反向電晶體對，以交錯耦接方式串聯相接，並依序交錯控制，且該些反向電晶體對中之第一者用以接收一輸入信號；以及

複數個疊接電晶體對，疊接於該些反向電晶體對之間，且該些疊接電晶體對係依序串聯相接，該些疊接電晶體對中之第一者交錯耦接該些反向電晶體對中之最後一者，並由該些反向電晶體對中之最後一者交錯控制；

其中該些反向電晶體對以及該些疊接電晶體對用以提供連續之複數個信號傳遞延遲，且該輸入信號藉由該些反向電晶體對以及該些疊接電晶體對依序操作而延遲一預設時間，以產生相對應該預設時間之一輸出信號。

14. 如請求項 13 所述之延遲元件，其中該些反向電晶體對以及該些疊接電晶體對中之每一者包含一 P 型電晶體以及一 N 型電晶體，且該些反向電晶體對以及該些疊接電晶體對中之該 P 型電晶體以及該 N 型電晶體係以交錯方式傳遞信號。

15. 如請求項 14 所述之延遲元件，更包含：

一旁路單元，並聯耦接該些疊接電晶體對，透過切換該旁路單元至導通狀態，以排除該些疊接電晶體對中該 P 型電晶體以及該 N 型電晶體之儲存電荷。

16. 如請求項 15 所述之延遲元件，其中該旁路單元包含複數個旁路電晶體，該些旁路電晶體係以並聯方式或疊接方式相互耦接。

17. 一種數位控制振盪器，包含複數個延遲元件，其中該些延遲元件中之每一者包含：

複數個反向電晶體對，以交錯耦接方式串聯相接，並依序交錯控制，且該些反向電晶體對中之第一者用以接收一輸入信號；以及

複數個疊接電晶體對，分別疊接於該些反向電晶體對中相對應之一者之間，且該些疊接電晶體對依序串聯相接，該些疊接電晶體對中之第一者交錯耦接該些反向電晶體對中之最後一者，並由該些反向電晶體對中之最後一者交錯控制；



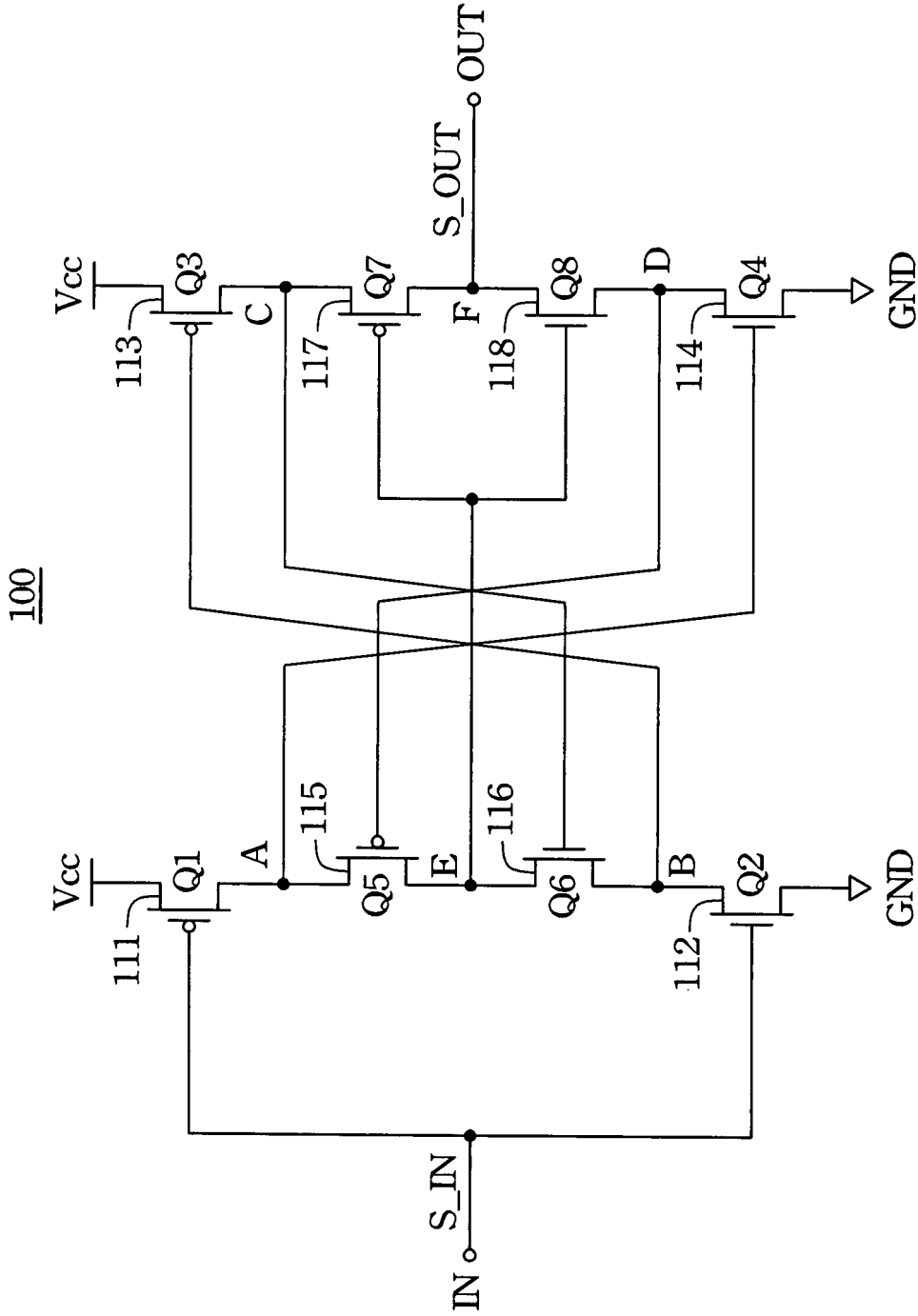
其中該些反向電晶體對以及該些疊接電晶體對用以提供連續之複數個信號傳遞延遲，且該輸入信號藉由該些反向電晶體對以及該些疊接電晶體對依序操作而延遲一預設時間，以產生相對應該預設時間之一輸出信號。

18. 如請求項 17 所述之數位控制振盪器，其中該些反向電晶體對以及該些疊接電晶體對中之每一者包含一 P 型電晶體以及一 N 型電晶體，且該些反向電晶體對以及該些疊接電晶體對中之該 P 型電晶體以及該 N 型電晶體係以交錯方式傳遞信號。

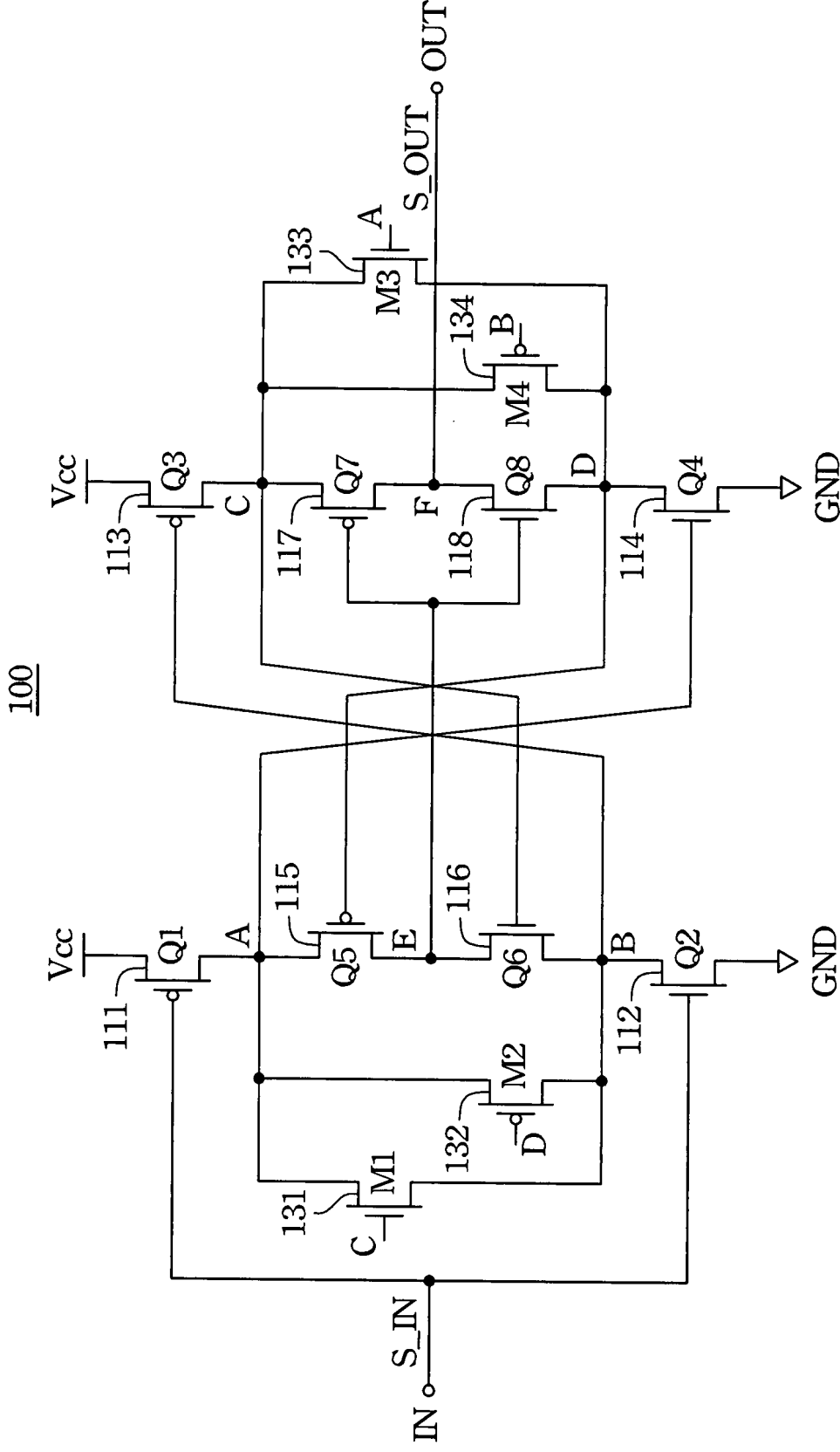
19. 如請求項 18 所述之數位控制振盪器，更包含：

一旁路單元，並聯耦接該些疊接電晶體對，透過切換該旁路單元至導通狀態，以排除該些疊接電晶體對中該 P 型電晶體以及該 N 型電晶體之儲存電荷。

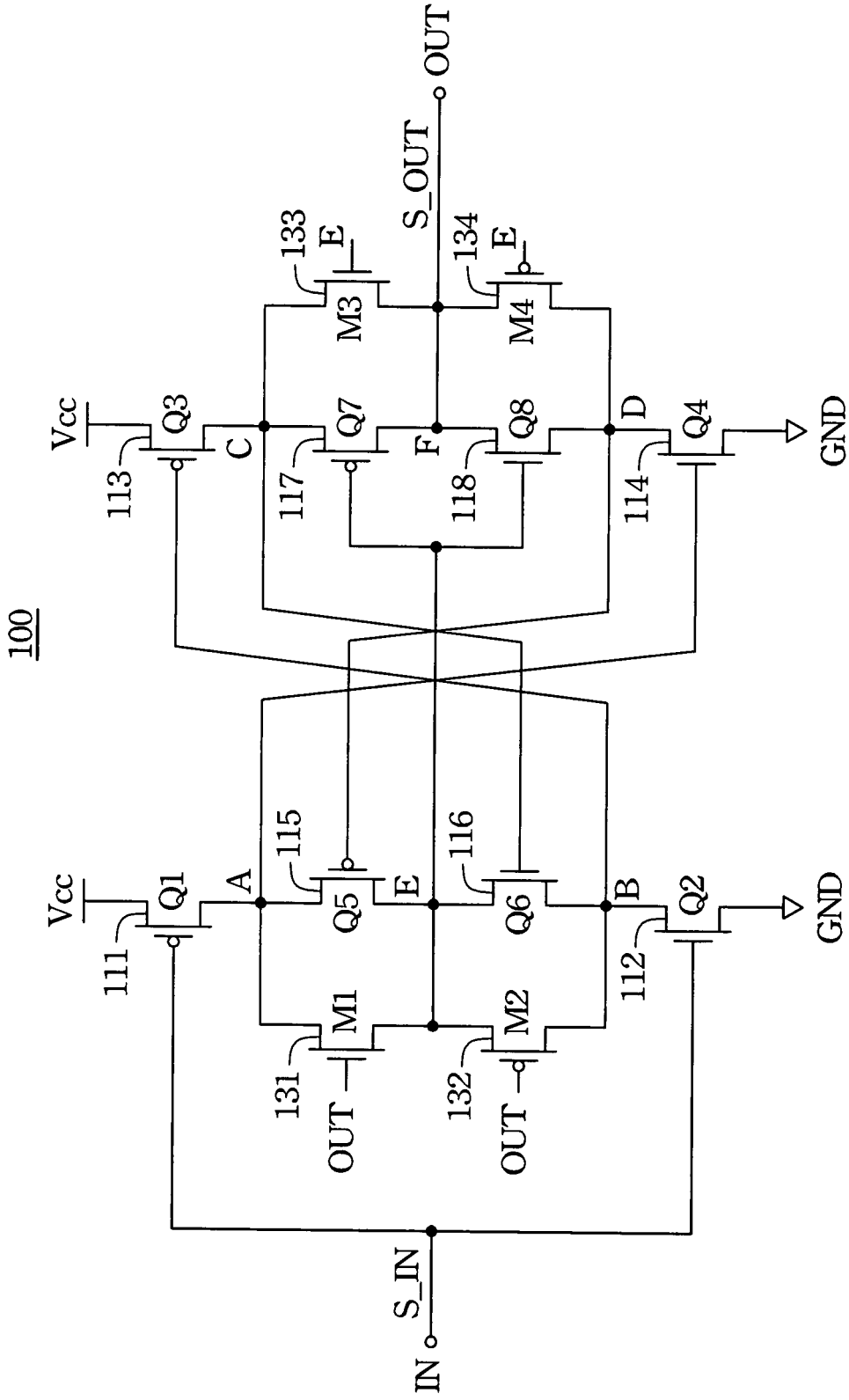
20. 如請求項 19 所述之數位控制振盪器，其中該旁路單元包含複數個旁路電晶體，該些旁路電晶體係以並聯方式或疊接方式相互耦接。



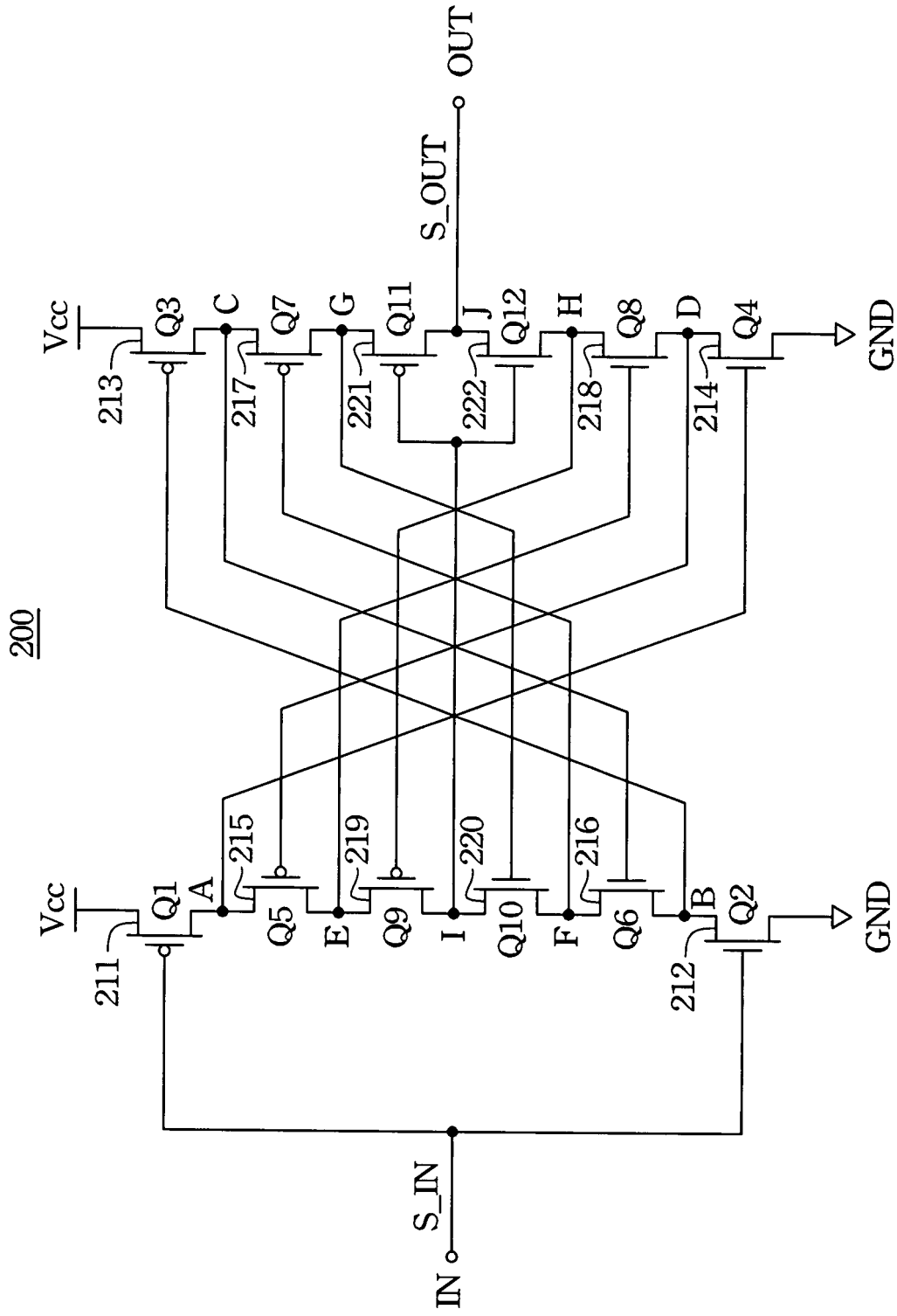
第 1A 圖



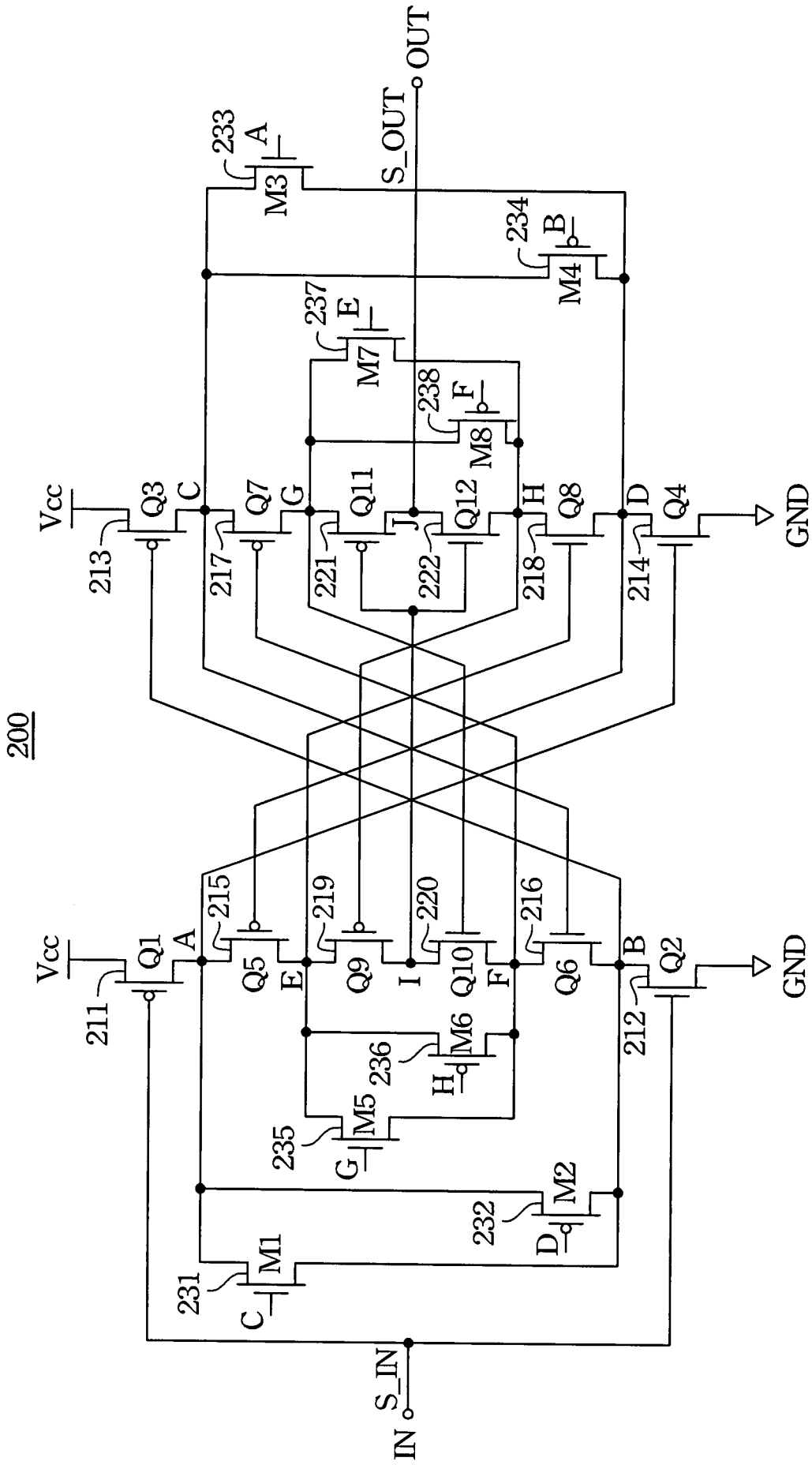
第 1B 圖



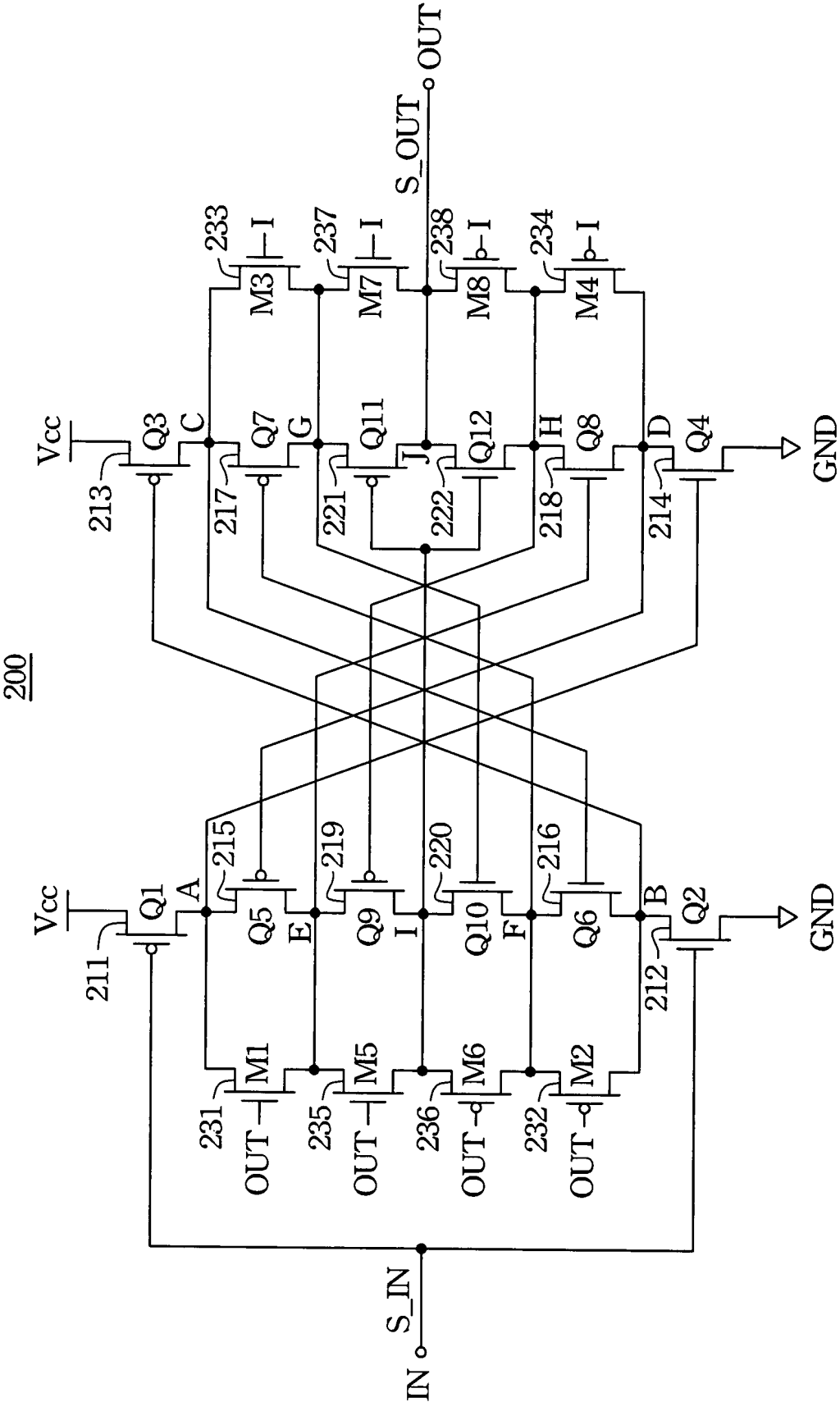
第 1C 圖



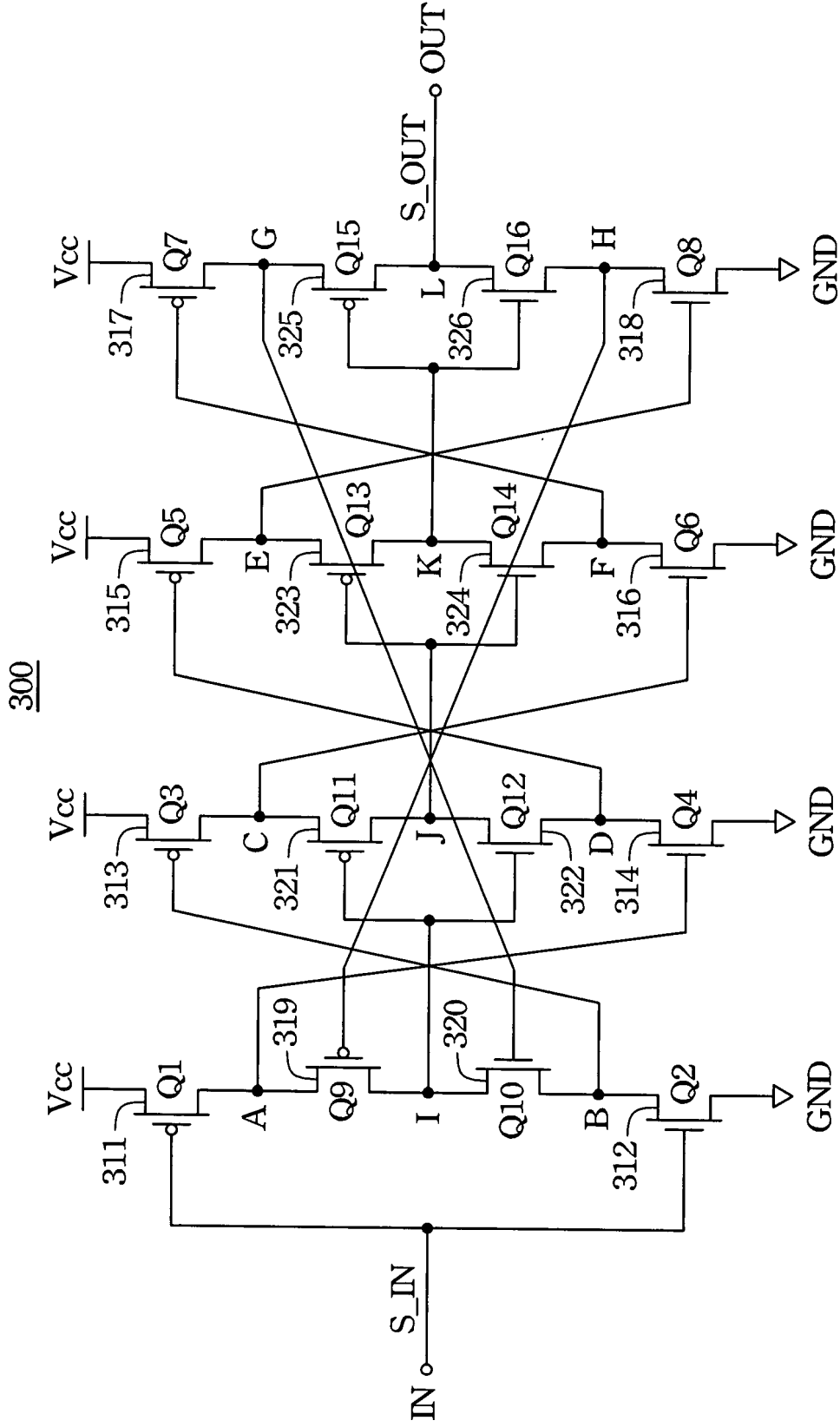
第 2A 圖



第 2B 圖

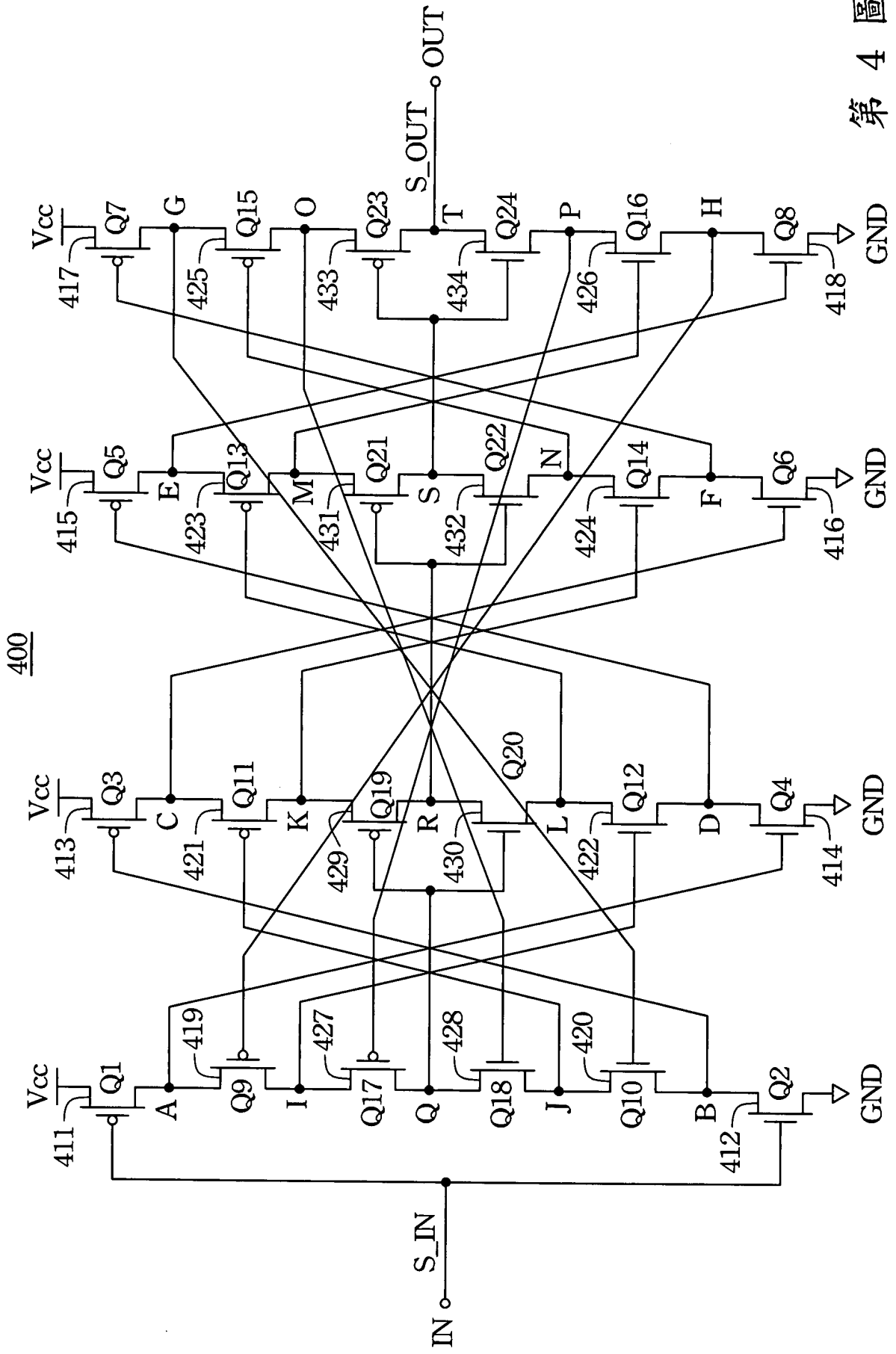


第 2C 圖

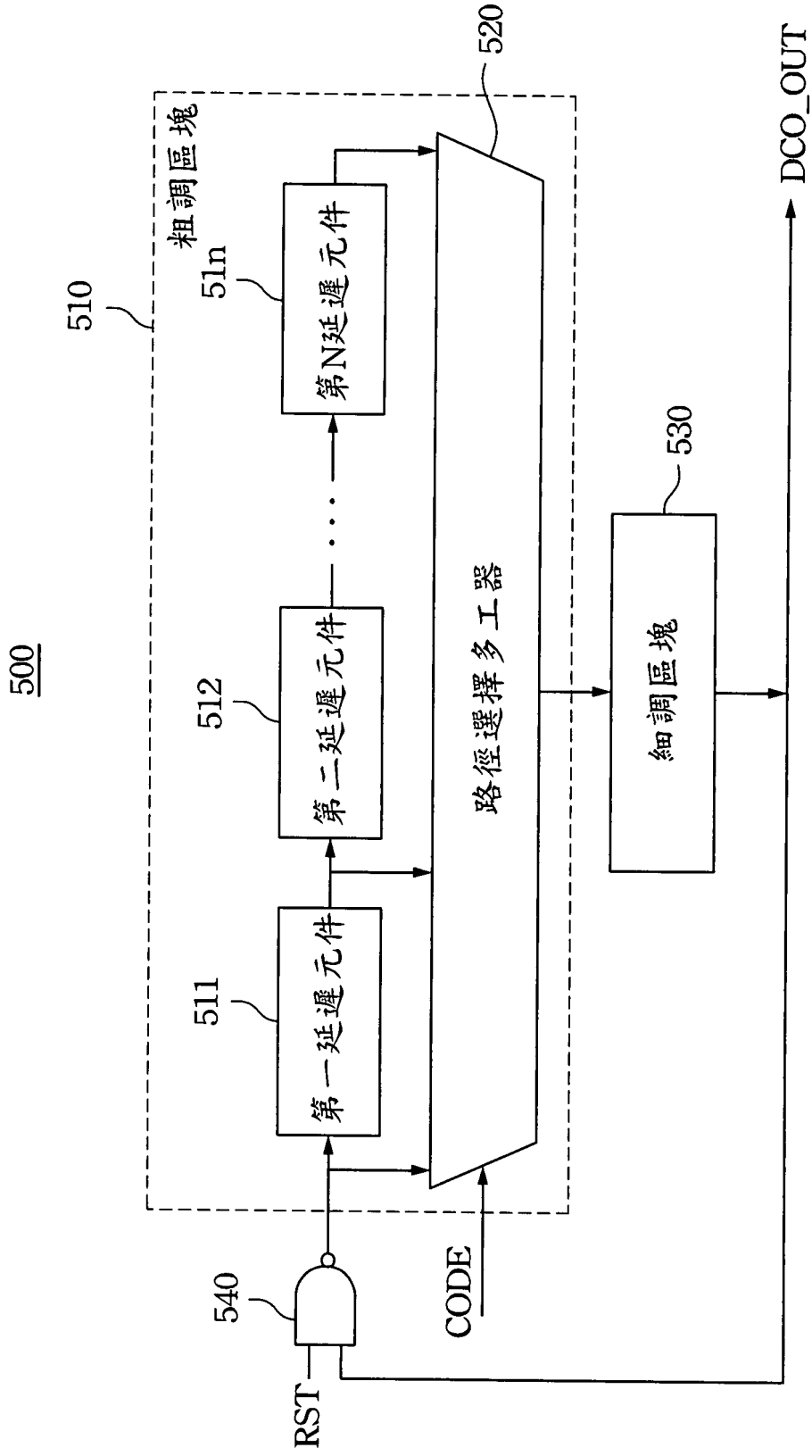


第 3 圖





第 4 圖



第 5 圖