



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201308451 A1

(43)公開日：中華民國 102 (2013) 年 02 月 16 日

(21)申請案號：100128377

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl. : *H01L21/60 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；杜經寧 TU, KING-NING (US)；蕭翔耀 HSIAO, HSIANG YAO (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

申請實體審查：有 申請專利範圍項數：10 項 圖式數：8 共 27 頁

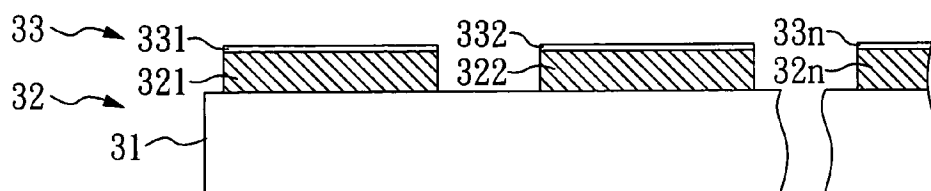
(54)名稱

用於減緩介金屬化合物成長之方法

METHOD FOR INHIBITING GROWTH OF INTERMETALLIC COMPOUNDS

(57)摘要

本發明係有關於一種用於減緩介金屬化合物成長之方法，步驟包含：(i)製備一基板元件，包括在一基板上電鍍至少一金屬墊層，接著在該金屬墊層上電鍍至少一很薄的一薄錒料，進行適當的熱處理製程；(ii)在該基板元件上再鍍上適當厚度的錒料；其中，該薄錒料經過適當的熱處理後，會與金屬墊之金屬反應形成一薄的介金屬化合物，因此可以在之後的迴錒製程抑制介金屬化合物的生成速率之效果，藉以減緩微小接點錒料與金屬墊上的金屬反應變成介金屬化合物。一旦介金屬化合物成長速率能被減緩，錒晶鬚(Sn whisker)的成長也可以被抑制。



31：第一基板

32：第一銅金屬墊層

33：無鉛錒料

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：102120377

※申請日：2013.08.09

※IPC分類：H01L21/60(2006.01)

## 一、發明名稱：(中文/英文)

用於減緩介金屬化合物成長之方法

METHOD FOR INHIBITING GROWTH OF  
INTERMETALLIC COMPOUNDS

## 二、中文發明摘要：

本發明係有關於一種用於減緩介金屬化合物成長之方法，步驟包含：(i)製備一基板元件，包括在一基板上電鍍至少一金屬墊層，接著在該金屬墊層上電鍍至少一很薄的一薄錐料，進行適當的熱處理製程；(ii)在該基板元件上再鍍上適當厚度的錐料；其中，該薄錐料經過適當的熱處理後，會與金屬墊之金屬反應形成一薄的介金屬化合物，因此可以在之後的迴錐製程抑制介金屬化合物的生成速率之效果，藉以減緩微小接點錐料與金屬墊上的金屬反應變成介金屬化合物。一旦介金屬化合物成長速率能被減緩，錐晶鬚(Sn whisker)的成長也可以被抑制。

### 三、英文發明摘要：

The present invention relates to a method for inhibiting growth of intermetallic compounds, comprising the steps of: (i) preparing a substrate element including a substrate on which at least one layer of metal pad is deposited, wherein at least one layer of solder having a thin thickness is deposited onto the layer of metal pad, and then carry out reflowing process; and (ii) further depositing a layer of solder with an appropriate thickness on the substrate element, characterized in that a thin intermetallic compound is formed by the reaction of the solder having a thin thickness and the metal in the metallic pad after appropriate heat treatment of the thin solder. In the present invention, the formation of thin intermetallic compound is able to slow down the growth of the intermetallic compound and to prevent the transformation of the intermetallic compounds. Once the growth of the intermetallic compounds can be inhibited, the growth of Sn whiskers can also be inhibited.

四、指定代表圖：

(一)本案指定代表圖為：圖（ 4A ）。

(二)本代表圖之元件符號簡單說明：

31	第一基板
32	第一銅金屬墊層
33	無鉛錫料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種用於減緩介金屬化合物成長之方法，特別是一種用於減緩錐錫與金屬墊層形成介金屬化合物之方法。此外，本發明又有關於一種覆晶接合的結構。

### 【先前技術】

半導體技術及封裝的發展趨勢是密度越來越高，且接點(interconnects)越來越小，目前覆晶錐錫接點的尺寸(直徑)約為100微米( $\mu\text{m}$ )。習知的覆晶錐錫接點，參照圖1、圖2A、圖2B，係在一矽(Si)板(11)鍍上一厚度5微米的銅(Cu)金屬墊層(12)；之後在該銅金屬層(12)鍍上一厚度3微米的鎳(Ni)金屬層(13)；及在該鎳金屬層鍍上厚度約70至100微米的錐錫(14)，形成一含有微錐錫接點之半導體晶片元件(1)；接著進行覆晶程序，將該元件(1)與矽板(21)上鍍有銅金屬墊層(22)、鎳金屬層(23)之元件(2)接合。通常對於很小的接點而言，例如3D IC中的微錐錫接點(microbumps)(參照圖1B)，接點的總厚度(bump height)約為20微米，而錐錫厚度僅有約數微米至10微米，上下端的銅或鎳金屬墊層(under-bump-metallization, UBM)總厚度各約8微米。當接點製程完成或是經過10次迴錐測試後，或是在使用一段時間後，錐錫接點將會全部轉換成諸如Cu-Sn、Ni-Sn或是Cu-Ni-Sn之類的介金屬化合物接點，已發現這類介金屬化合物性質較脆，因此會嚴重影響錐錫接點的機械性質，例

如元件若用於可攜式產品，當掉落或撞擊到後，接點有可能會斷裂。近年，改善上述問題的解決方式係在微錱錫接點(microbumps)再鍍上一層鎳作為擴散阻障層，但是這種方式的成本較高，且由於鎳的應力較大，對接點的機械性質也有負面的影響。

錱錫是封裝領域最常用的錱料，早期封裝業者係以共晶錫鉛錱錫與銅或鎳金屬在熔融狀態下(例如溫度約220°C)進行接合。然而，共晶錫鉛錱錫會與銅發生反應，而生成如 $\text{Cu}_3\text{Sn}$ 及/或 $\text{Cu}_6\text{Sn}_5$ 之類的介金屬化合物。由於含鉛材料係有害環境，因此隨著環保意識的重視，此類共晶鉛錱錫材料已被禁止用作覆晶接點之錱料，進而以無鉛錱錫取代。

目前較常使用的無鉛錱錫，例如錫銀、錫銀銅等等，它們的熔點通常比習知的共晶錫鉛錱錫的熔點高約50°C，也就是說，使用無鉛錱錫係需要在約250°C至260°C之更高溫度下進行接合。但是，大部分的無鉛錱錫與銅鎳的反應更快，會形成更厚的例如Cu-Sn化合物。雖然錱錫本身的機械性質較佳，能夠吸收整個結構體的應力，但是反應所產生的Cu-Sn化合物的機械性質比較差(例如較脆)，因此，若是形成較厚的Cu-Sn化合物，當整個結構體受到應力時，容易從Cu-Sn化合物脆斷而破壞整個結構體。

銅及錫的反應很快，甚至在室溫下就會反應，習知技術並無法減緩或控制如 $\text{Cu}_6\text{Sn}_5$ 之類的介金屬之形成。一般，在尺寸較大的錱錫接點，如覆晶錱錫接點，生成介金屬化合物會形成接點，並不會影響接點的機械性質，但是

對於很小的接點而言，例如3D IC製程中的微錒錫接點(microbumps)，錒錫體積僅約為覆晶錒錫接點的一百分之一而已，當接點製程完成或是經過多次(例如10次)迴錒測試後，或是在使用一段時間後，錒錫接點將會全部轉換成Cu-Sn介金屬化合物接點，由於此介金屬化合物性質較脆，因此會嚴重影響到接點的機械性質。

目前的解決方式，通常係在微錒錫接點再鍍上一層鎳作為擴散阻障層，但是這種方式的成本較高，且由於鎳的應力較大，對接點的機械性質有負面的影響。

另一種習知技術，是利用濺鍍(sputtering)的方法共濺鍍銅與鎳，但這種方法並無法鍍上厚的膜，成本更高，此外，因為無鉛錒錫與銅及鎳的反應速率比含鉛錒錫快很多，這種方法亦無法適用於無鉛錒錫。

先前技術中，如美國專利USP 6,716,738 B2 (公告日期：2004年4月6日)揭示「藉電鍍製造覆晶相互接的多層UBM之方法(Method of fabricating multilayered UBM for flip chip interconnections by electroplating)」，此專利係藉由調整電鍍得到的金屬層，變成Cu-Ni金屬層來控制鍍得之金屬層的應力與金屬層的成分，其利用鎳作為反應阻障層，以減緩銅、鎳與錒錫反應形成的化合物厚度。這種利用阻障層之缺點在於同時鍍銅與鎳金屬層，製程複雜且成分不易控制，及金屬層的應力也不容易控制，因此穩定性不佳，會影響良率，此外，銅也會跟錒錫反應。

美國專利USP 6,602,777(公告日期：2003年8月5日)揭示「控制銲錫接點之介金屬化合物形成之方法(Method for controlling the formation of intermetallic compound in solder joints)」，此專利係藉由調整銲錫中的銅濃度來控制銲錫與鎳金屬層形成的介金屬(intermetallic compound)種類，例如 $(\text{Cu}_{1-x}\text{Ni}_x)_6\text{Sn}_5$ ，或是 $(\text{Ni}_{1-y}\text{Cu}_y)_3\text{Sn}_4$ 。然而，這種方法並無法控制銅與銲錫生成的介金屬化合物之厚度。

中華民國專利I338344(公告日期：2011年3月1日)揭示「具有銲料凸塊以抑制介金屬化合物成長之半導體晶片及其製造方法」，此專利係利用滲入銲料凸塊的穿透層材料，改變銲料凸塊成為多成份之銲料凸塊，以抑制化合物的成長。這篇專利係改變銲錫成分以抑制介金屬化合物(IMC)的成長，但是對抑制Cu-Sn化合物的反應卻是很有有限。

公開文獻，「藉由和帶銅的Sn(Cu)銲錫反應減緩在Ni(P)基板上之 $\text{Ni}_3\text{P}$ 晶層成長」(“Retarding growth of  $\text{Ni}_3\text{P}$  crystalline layer in Ni(P) substrate by reacting with Cu-bearing Sn(Cu) solders), S.J. Wang, C.Y. Liu, Scripta Materialia 49 (2003) 813–818)，此文獻係藉由調整Sn-Cu銲錫中的銅濃度來控制該銲錫與鎳的反應，以抑制 $\text{Ni}_3\text{P}$ 相的生成，但是其並無法抑制Cu-Sn或Ni-Sn化合物的成長。

為避免上述習知技術之問題及缺點，本發明之發明人因此提出利用控制形成銲錫與銅之介金屬化合物之厚度，也就是說，銲錫與銅在接合之前能夠快速地先反應產生介金屬化合物(如Sn-Cu化合物)，而於進行接合後使該藉金屬化合物的厚度成長減緩。



**【發明內容】**

本發明之一目的在於提供一種用於減緩介金屬化合物成長之方法，包含步驟：

(i)製備一基板元件，包括：

(i-1)在一基板上電鍍至少一金屬墊層，

(i-2)在該金屬墊層上電鍍至少一薄銲料，接著進行熱處理製程，以製得一基板元件；此熱處理可以是液態下的迴銲製程或是固態時效製程。

(ii) 在該基板元件上再鍍上一適當厚度的銲錫。

本發明特別適合用於減緩封裝中銲錫與銅金屬墊層之介金屬化合物的形成，如上述本發明之方法，在進行晶片接合前，在基板上的金屬墊層先鍍上一層很薄的薄銲料，經過熱處理製程，該薄銲料會與金屬墊層的金屬先行反應，因而改變了所生成的介金屬化合物的形態與種類。接著進行後續的覆晶對接製程，由於在接合前該很薄的薄銲料已與金屬墊層的金屬生成一很薄的介金屬化合物，在接合後會產生抑制該接點(或凸塊)之介金屬化合物的生成速率之效果。

根據本發明之方法，參照圖3，在一基板上電鍍一金屬墊層(步驟，S201)，接著在該金屬墊層上電鍍一薄銲料(步驟，S301)，然後進行高溫熱處理製程，得到一基板元件，其中，該薄銲料經過高溫熱處理後，與金屬墊層的金屬會反應形成一薄介金屬化合物(步驟，S401)。之後在再鍍上適

當厚度的鐳錫(步驟，S501)將步驟S101、201、301、401、501所製得的一基板元件可以作後續接合製程(步驟，S600)。

本發明之方法中，該薄鐳料與金屬墊層之金屬反應形成的介金屬化合物均具有隔離的功能，可減少金屬墊層之金屬原子透過介金屬化合物與鐳料反應的通道，讓金屬墊層的金屬與鐳料凸塊隔離，依此即能有效地抑制接點區域的介金屬化合物之成長。當半導體元件(例如半導體晶片)進行覆晶接合製程時，由於基板上的金屬墊層與鐳料之間會先形成一介金屬化合物，在接合後可減少金屬墊層中的金屬原子滲入鐳料接點，因此，當接合後再進行迴鐳或多次迴鐳程序之後，會有減少鐳料接點之介金屬化合物形成的效果，另一方面，金屬墊層的金屬原子消耗也會減少。

本發明之另一目的在於提供一種覆晶接合或是鐳錫介面的結構，包含：

(A)一基板元件，含有：

(A-1)一基板，

(A-2)至少一金屬墊層，該金屬墊層係電鍍形成於該基板上，

(A-3)至少一薄鐳料，該薄鐳料係電鍍於該金屬墊層上；

(A-4)於該基板元件再鍍上一適當厚度的鐳錫層；

其中，(A)一基板元件可以與其它基板元件呈現覆晶接合，經過迴鐳程序，得到一覆晶接合的結構，其特徵在於所述

該薄錒料在接合之前與金屬墊層之金屬形成一連續層狀或是接近連續層之薄介金屬化合物。

本發明之結構中，所形成之一薄介金屬化合物係具有隔離金屬墊層的金屬與錒料接點(或凸塊)之功能，因此能有效地抑制接點區域的介金屬化合物之成長。

本發明中，電鍍金屬墊層或錒料之方法不特別限制，可為此技術領域中習用電鍍技術，例如：電鍍銅可使用硫酸銅溶液；電鍍錫銀錒錫可使用 $\text{Sn}_2\text{P}_2\text{O}_7$ 及 $\text{AgI}$ 之溶液。

本發明中，使用的基板不特別限制，根據本發明之一具體實施，該基板可為半導體晶片、矽晶片、高分子或玻璃。

本發明中，使用的金屬墊層的金屬材料不特別限制，根據本發明之一具體實施，該金屬材料可為銅、鎳、金或其合金，較佳為銅。本發明之金屬墊層的厚度範圍為約數微米至100微米。

本發明中，使用的錒料不特別限制，根據本發明之一具體實施，該錒料可為無鉛錒料，較佳為無鉛錒錫。

根據本發明之一具體實施，所述薄錒料厚度不超過4微米，較佳為2微米。本發明中，接合後，錒料接點的總厚度不超過100微米，較佳為20微米。

本發明之用於減緩介金屬化合物成長之方法，尤其適合應用於3D IC產業領域(例如3D IC封裝技術)、中央處理器(CPU)、手機、影像處理晶片、動態隨機存取記憶體(DRAM)等產品。

以下將對本發明更詳細的描述，所提出的具體實施例及圖式係用於進一步說明本發明，而不意欲用於限制本發明的技術範圍。

### 【實施方式】

首先，製備一電鍍有一薄錒料之試片“2- $\mu\text{m}$ -SnAg/銅墊層的試片”。

製備電鍍有很薄的一薄錒料之試片“2- $\mu\text{m}$ -SnAg 試片”，與電鍍有薄的第二薄錒料之試片“19- $\mu\text{m}$ -SnAg 試片”。

參照圖 4A，製備一電鍍有一薄錒料之試片“2- $\mu\text{m}$ -SnAg 試片”。

首先，準備一矽晶片作為一第一基板(31)，其上電鍍有一厚度5微米的第一銅金屬墊層(Cu UBM)(321、322、32n，以下本文稱為“32”)；接著，在該第一銅金屬墊層(32)上電鍍一層厚度2微米的SnAg無鉛錒料(331、332、33n，以下本文稱為“33”)，在260°C溫度下進行迴錒(reflowing)，歷時10分鐘左右，該無鉛錒料經過260°C迴錒及冷卻之後，會與銅金屬反應而形成一很薄的第一薄Cu-Sn介金屬化合物(Cu-Sn IMC)(未標示)，依此得到“2- $\mu\text{m}$ -SnAg試片”。

參照圖 4B，製備一電鍍有較厚錒料之試片“19- $\mu\text{m}$ -SnAg 試片”。

準備另一矽晶片作為一第二基板(41)，在該第二基板(41)電鍍上另一厚度20微米之第二銅金屬墊層(Cu

UBM)(421、422、423，以下本文稱為“42”)；接著，在該第二銅金屬墊層(42)上電鍍一厚度19微米的SnAg無鉛錫料(431、432、43n，以下本文稱“43”)，在260°C溫度下進行迴錫(reflowing)，歷時1-10分鐘左右，該無鉛錫料經過260°C迴錫及冷卻之後，會形成較厚之Cu-Sn介金屬化合物(Cu-Sn IMC)(未標示)，依此得到“19- $\mu\text{m}$ -SnAg試片”。

上述製程中，鍍上很薄的錫料之第一錫料(33)在進行後續接合程序之前，會先與銅金屬墊層之銅金屬反應形成薄Cu-Sn介金屬化合物，該Cu-Sn介金屬化合物可減少銅原子透過Cu-Sn介金屬化合物與無鉛錫料反應的通道，讓第一銅金屬墊層(32、42)與錫料接點(或凸塊)隔離。

本實施例中，利用掃描式電子顯微鏡(SEM)檢測該結構之橫截面圖，讓該結構於260°C溫度下再進行迴錫程序，歷時5分鐘及10分鐘，以進行錫料接點之測試。

參照圖5A、5B，試片為“2- $\mu\text{m}$ -SnAg試片”，圖5A是剛製備後及圖5B是迴錫10分鐘後的掃描式電子顯微鏡之橫截面圖。可清楚觀察到，當迴錫10分鐘後，上方的無鉛錫錫幾乎全部反應成Cu-Sn介金屬化合物。而且其結構呈現層狀結構。此層狀結構Cu-Sn介金屬化合物即是用來接下來接合製程中減緩銅擴散到錫料的阻障層。

參照圖6A、6B、6C，試片是在“2- $\mu\text{m}$ -SnAg試片”迴錫10分鐘後，再鍍上厚約20微米的錫料，再迴錫1、5、及10分鐘後的掃描式電子顯微鏡之橫截面圖。可以看出即使迴錫10分鐘後，Cu-Sn介金屬化合物仍幾乎維持層狀結構。因

此，Cu-Sn介金屬化合物之間的通道變少，因此銅原子要擴散進入錒錫內反應變得較困難。

另一方面，測試結果顯示，若沒有使用此方法，Cu-Sn介金屬化合物會成長較快。參照圖7A、7B、7C，此試片是在“19- $\mu\text{m}$ -SnAg試片”迴錒1、5、及10分鐘後的掃描式電子顯微鏡之橫截面圖。可以看出Cu-Sn介金屬化合物會明顯隨著迴錒時間增加而增厚的情況產生。而且型貌呈現半圓形形狀，因此銅原子容易從Cu-Sn介金屬化合物中間之通道擴散進入錒錫內反應。所以Cu-Sn介金屬化合物會明顯隨著時間增加而增厚。

參照圖8，此圖顯示量測到之Cu-Sn介金屬化合物厚度隨著迴錒時間增加的關係。可觀察到經過預先經過迴錒10分鐘的“2- $\mu\text{m}$ -SnAg試片”端之Cu-Sn介金屬化合物較不會隨著時間增加而有明顯地增厚的情況產生，當迴錒10分鐘後，觀察到厚度的增加只約0.2微米；但是19- $\mu\text{m}$ -SnAg試片”迴錒迴錒10分鐘後，Cu-Sn介金屬化合物增加約1.6微米。因此可證實，根據本發明之方法，在接合前先在金屬墊鍍上一薄錒料，確可達到抑制Cu-Sn介金屬化合物厚度成長的效果，同時銅金屬墊層與錒料凸塊隔離，也讓銅金屬層的消耗厚度明顯地減少。

此外，針對本發明之用於減緩介金屬化合物成長之方法，探討其可達到抑制Cu-Sn介金屬化合物增厚之效果的機制，主要歸因於下列因素：

(1)當接合前，沒有在金屬墊層先鍍上一很薄的錒料時，生成的Cu-Sn介金屬化合物(例如 $\text{Cu}_6\text{Sn}_5$ 化合物)是類似半球型的形狀。如圖7A所示之迴錒1分鐘後“19- $\mu\text{m}$ -SnAg試片”端的Cu-Sn化合物的形狀，該“19- $\mu\text{m}$ -SnAg試片”係已利用蝕刻液，蝕刻掉剩餘的錒料，可觀察到生成的Cu-Sn介金屬化合物形狀，在半球型 $\text{Cu}_6\text{Sn}_5$ 之間有許多的通道(channels)，可以讓底下的銅持續擴散到錒錫內部反應。

再者，當接合前，在金屬墊層先鍍上一很薄的錒料時，如上述本發明之方法，觀察到“2- $\mu\text{m}$ -SnAg試片”，經過10分鐘的迴錒過程後，生成的 $\text{Cu}_6\text{Sn}_5$ 或是 $\text{Cu}_3\text{Sn}$ 化合物是類似層狀結構，而且幾乎沒有通道，此乃是因為錒錫只有2微米厚，經過10分鐘的迴錒過程後，錒錫幾乎全部消耗完， $\text{Cu}_6\text{Sn}_5$ 間的通道也就關閉起來。因此，當“2- $\mu\text{m}$ -SnAg試片”再鍍上錒料時，在“2- $\mu\text{m}$ -SnAg試片”的Cu-Sn反應就很明顯地被抑制。

(2)因為鍍上的錒錫很薄，例如只有2微米厚，經過10分鐘的迴錒過程後，錒錫幾乎全部消耗完， $\text{Cu}_6\text{Sn}_5$ 化合物也可能全部或部分轉變成層狀結構的 $\text{Cu}_3\text{Sn}$ 化合物，下方的銅要擴散到錒錫內反應較不容易，因此Cu-Sn反應就很明顯地被抑制。依此，可抑制Cu-Sn化合物厚度增厚。

藉由上述具體實施例可證實，根據本發明之方法確能有效地減緩介金屬化合物厚度的成長。一旦介金屬化合物成長速率能被減緩，錒晶鬚(Sn whisker)的成長也可以被抑制。因此本發明也可以應用於抑制錒晶鬚的成長。

本發明可在不偏離本發明之範疇的情況下，以多種形式實現，上述實施例僅係為了方便說明而舉例而已，應理解的是(除非另有指明)本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

### 【圖式簡單說明】

圖1係描述習知的覆晶鉍錫接點之示意圖。

圖2A係描述習知的覆晶鉍錫接點剖面之掃描式電子顯微鏡影像圖(cross-sectional scanning electron microscope (SEM) image)。

圖2B係描述習知的20微米覆晶微鉍錫接點剖面之掃描式電子顯微鏡影像圖。

圖3係描述描述根據本發明之方法流程圖。

圖4A係描述根據本發明之方法，基板元件鍍有很薄鉍料之具體實施示意圖。

圖4B係描述根據本發明之方法，基板元件鍍有較薄鉍料之具體實施示意圖。

圖5A係根據本發明之方法，在5微米厚的銅鉍墊鍍上2微米鉍料後之電子顯微鏡橫截面圖。

圖5B係根據本發明之方法，在5微米厚的銅鉍墊鍍上2微米鉍料後且經過260°C迴鉍10分鐘後之電子顯微鏡橫截面圖。



圖 6A 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 1 分鐘後之電子顯微鏡橫截面圖。

圖 6B 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 5 分鐘後之電子顯微鏡橫截面圖。

圖 6C 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 10 分鐘後之電子顯微鏡橫截面圖。

圖 7A ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 1 分鐘後之電子顯微鏡橫截面圖。

圖 7B ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 5 分鐘後之電子顯微鏡橫截面圖。

圖 7C ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後之電子顯微鏡橫截面圖。

圖 8 量測之介面 Cu-Sn 化合物的厚度，在 260°C，隨著迴鍍時間增加之變化圖。

**【主要元件符號說明】**

- 31 第一基板
- 32 第一銅金屬墊層
- 33 無鉛鍍料
- 41 第二基板
- 42 第二銅金屬墊層

201308451

43 無鉛錫料  
IMC 介金屬化合物

## 七、申請專利範圍：

1. 一種用於減緩介金屬化合物成長之方法，包含步驟：
  - (i) 製備一基板元件，包括：
    - (i-1)在一基板上電鍍至少一金屬墊層，
    - (i-2)在該金屬墊層上電鍍至少一薄鐳料，接著進行熱處理製程，以製得一基板元件；再鍍上適當厚度之鐳錫。
  - (ii) 將此元件與其它元件作後續接合製程，其中，該薄鐳料在經過高溫熱處理後，在覆晶對接之前，與金屬墊層之金屬反應形成一薄介金屬化合物。
2. 如申請專利範圍第1項之方法，其中該基板為半導體晶片、矽晶片。
3. 如申請專利範圍第1項之方法，其中該金屬墊層之金屬為銅。
4. 如申請專利範圍第1項之方法，其中該鐳料為無鉛鐳錫。
5. 如申請專利範圍第1項之方法，其中該薄鐳料之厚度不超過4微米。
6. 一種覆晶接合的結構，包含(A)一基板元件，該基板元件含有：
  - (A-1)一基板，
  - (A-2)至少一金屬墊層，該金屬墊層係電鍍形成於該基板上，
  - (A-3)至少一薄鐳料，該薄鐳料係電鍍於該金屬墊層上；及經過熱處理後，再鍍上適當厚度之鐳料；

其中，(A)一基板元件，經過熱處理程序，其特徵在於所述第一薄鍍料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該鍍料為無鉛鍍錫。
10. 如申請專利範圍第6項之結構，其中該第一薄鍍料之厚度不超過4微米。

八、圖式(見下頁)：

其中，(A)一基板元件，經過熱處理程序，其特徵在於所述第一薄銲料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該銲料為無鉛銲錫。
10. 如申請專利範圍第6項之結構，其中該第一薄銲料之厚度不超過4微米。

八、圖式(見下頁)：

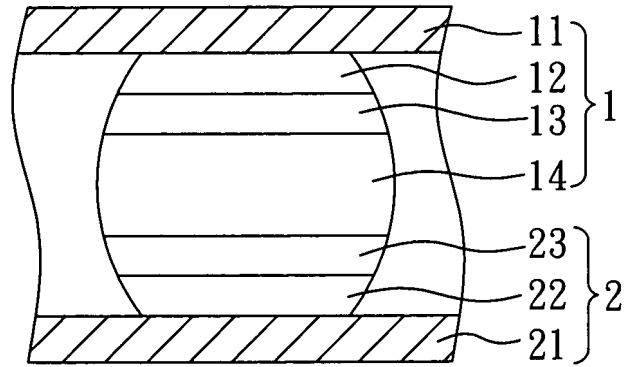


圖 1

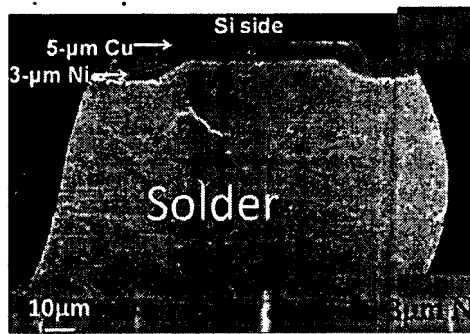


圖 2A

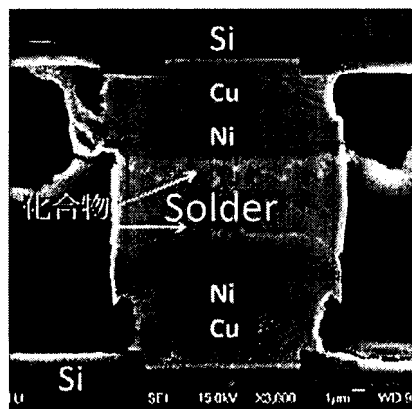


圖 2B

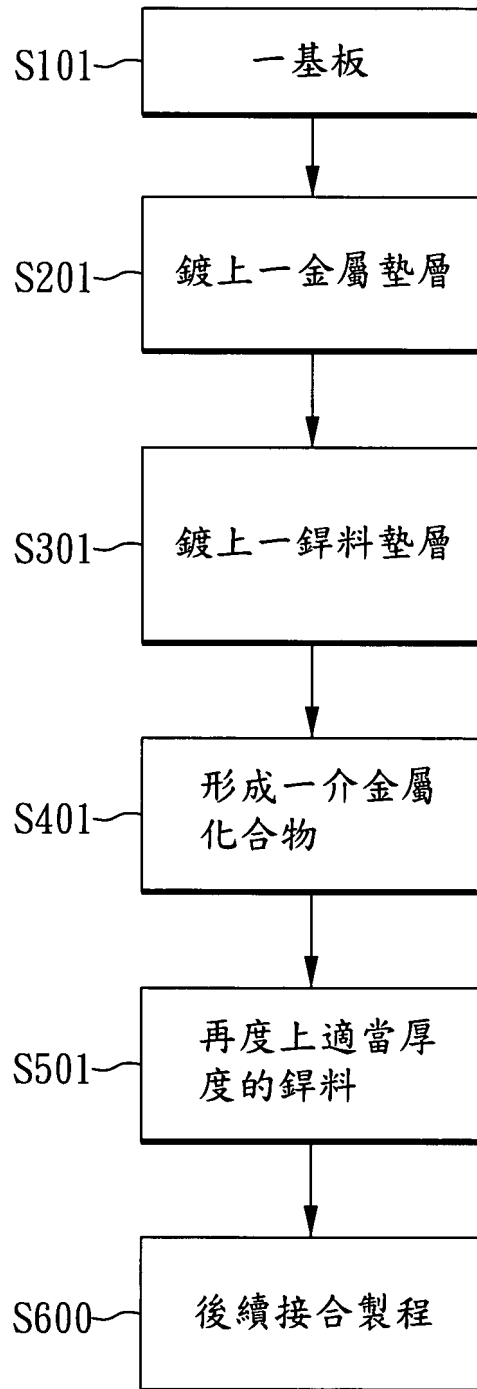


圖3

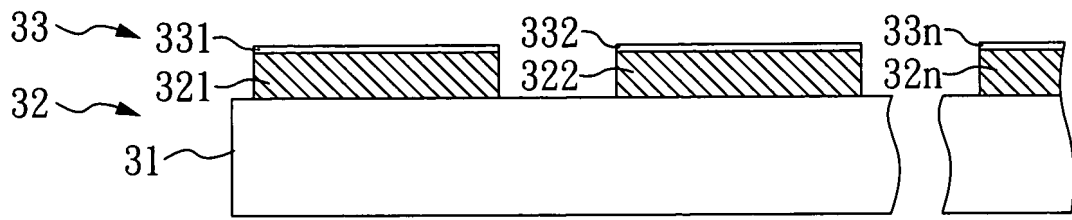


圖 4A

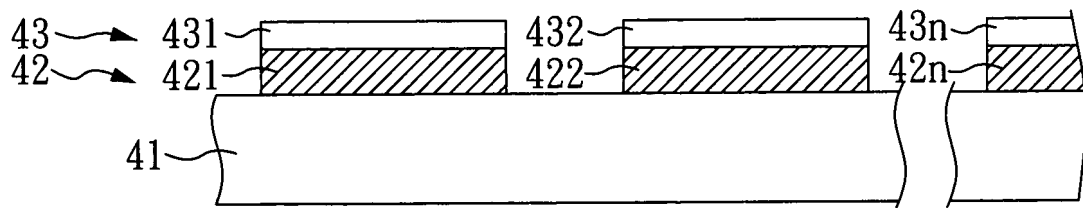


圖 4B



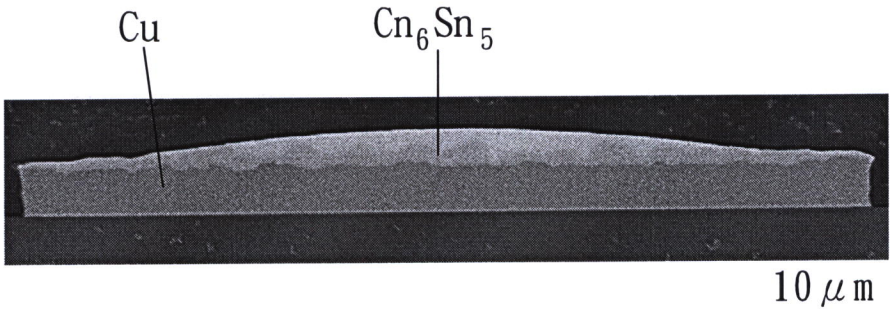


圖5A

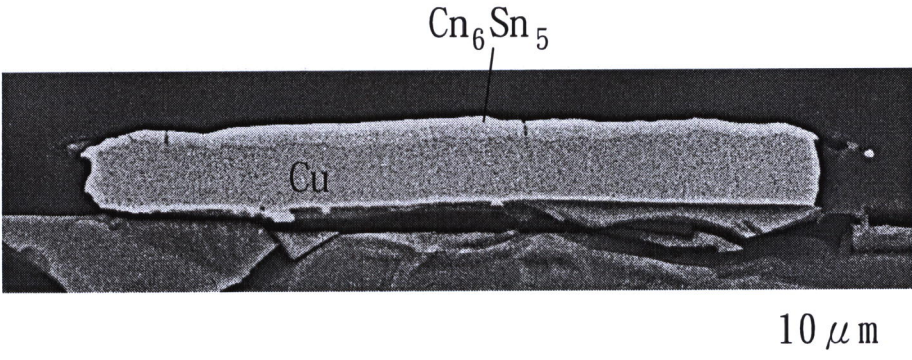


圖5B

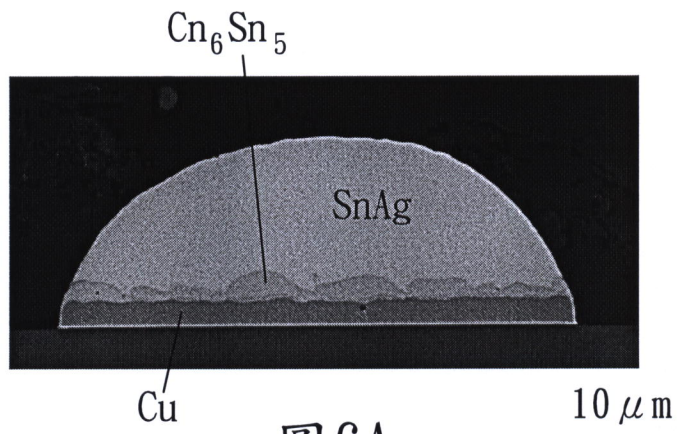


圖 6A

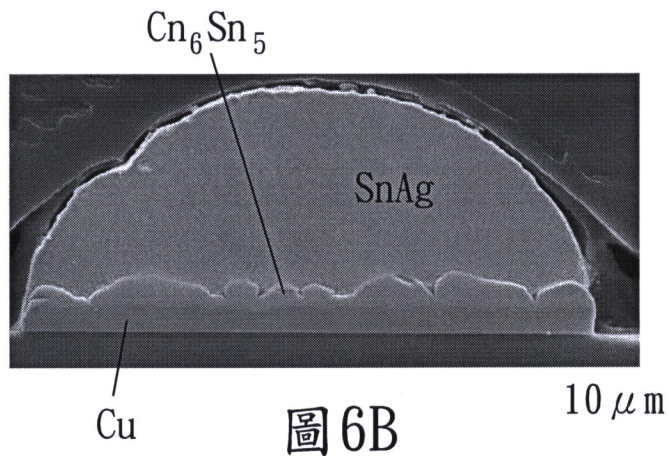


圖 6B

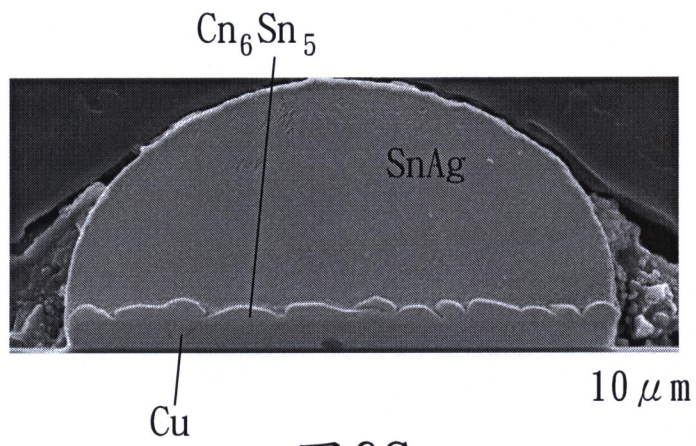


圖 6C

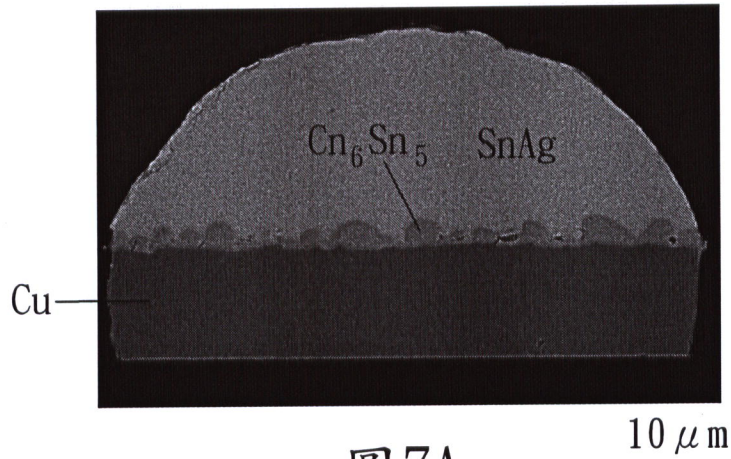


圖 7A

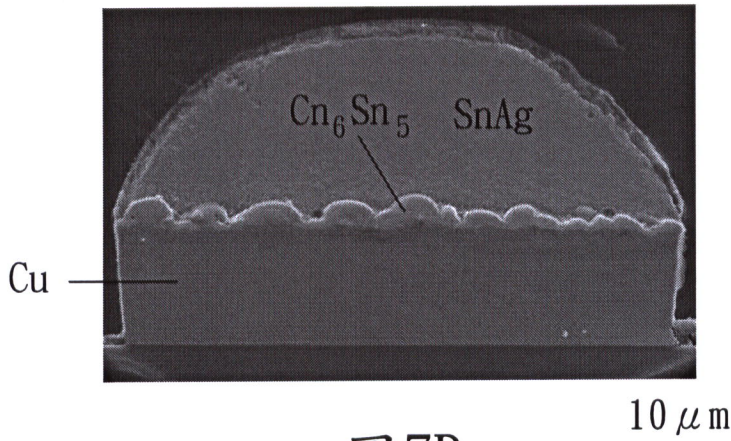


圖 7B

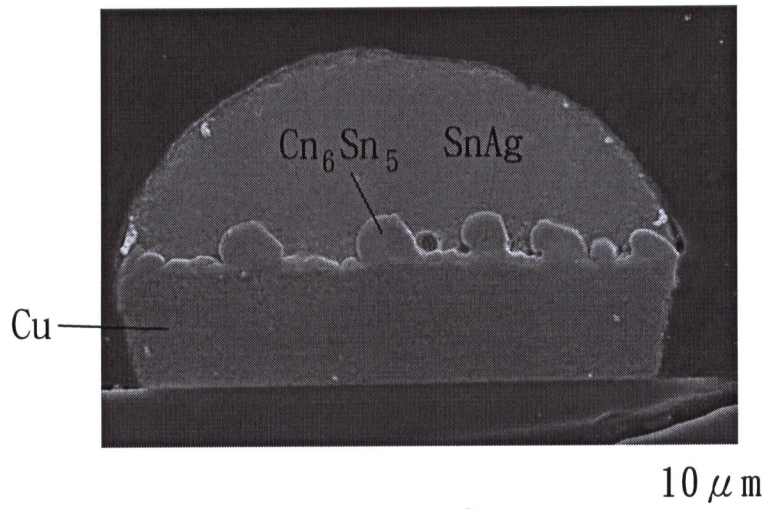


圖 7C

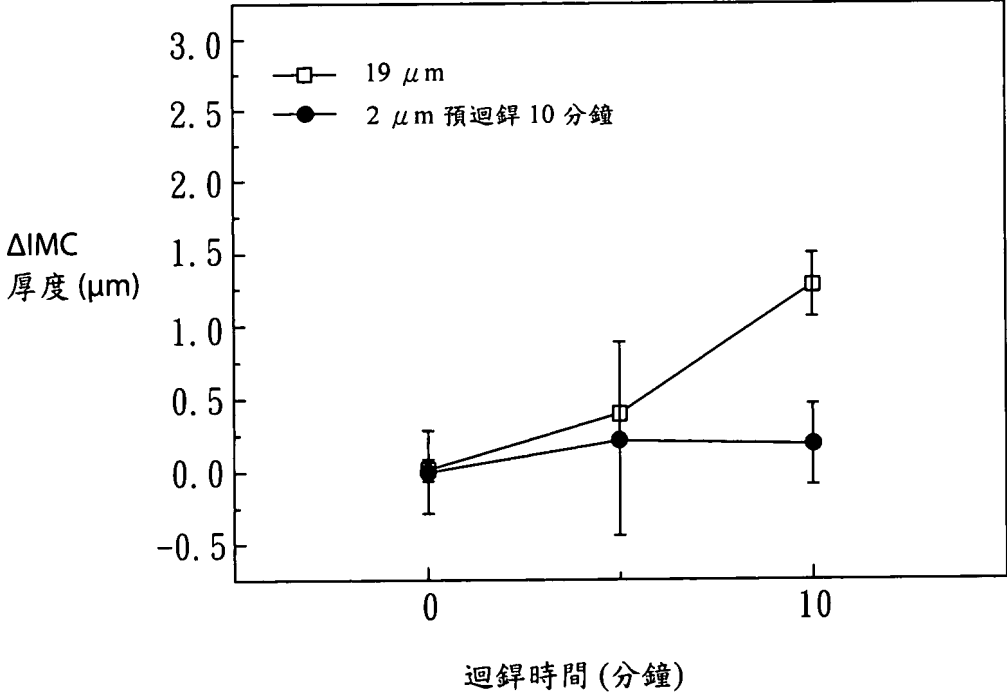


圖8

# 發明專利說明書

100年9月6日

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100128377

※ 申請日：100.8.9

※IPC 分類：

H01L 21/60

## 一、發明名稱：(中文/英文)

用於減緩介金屬化合物成長之方法

METHOD FOR INHIBITING GROWTH OF  
INTERMETALLIC COMPOUNDS

## 二、中文發明摘要：

本發明係有關於一種用於減緩介金屬化合物成長之方法，步驟包含：(i)製備一基板元件，包括在一基板上電鍍至少一金屬墊層，接著在該金屬墊層上電鍍至少一很薄的一薄錐料，進行適當的熱處理製程；(ii)在該基板元件上再鍍上適當厚度的錐料；其中，該薄錐料經過適當的熱處理後，會與金屬墊之金屬反應形成一薄的介金屬化合物，因此可以在之後的迴錐製程抑制介金屬化合物的生成速率之效果，藉以減緩微小接點錐料與金屬墊上的金屬反應變成介金屬化合物。一旦介金屬化合物成長速率能被減緩，錐晶鬚(Sn whisker)的成長也可以被抑制。

# 發明專利說明書

100年9月6日

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100128377

※ 申請日：100.8.9

※IPC 分類：

H01L 21/60

## 一、發明名稱：(中文/英文)

用於減緩介金屬化合物成長之方法

METHOD FOR INHIBITING GROWTH OF  
INTERMETALLIC COMPOUNDS

## 二、中文發明摘要：

本發明係有關於一種用於減緩介金屬化合物成長之方法，步驟包含：(i)製備一基板元件，包括在一基板上電鍍至少一金屬墊層，接著在該金屬墊層上電鍍至少一很薄的一薄鍍料，進行適當的熱處理製程；(ii)在該基板元件上再鍍上適當厚度的鍍料；其中，該薄鍍料經過適當的熱處理後，會與金屬墊之金屬反應形成一薄的介金屬化合物，因此可以在之後的迴鍍製程抑制介金屬化合物的生成速率之效果，藉以減緩微小接點鍍料與金屬墊上的金屬反應變成介金屬化合物。一旦介金屬化合物成長速率能被減緩，錫晶鬚(Sn whisker)的成長也可以被抑制。

### 三、英文發明摘要：

The present invention relates to a method for inhibiting growth of intermetallic compounds, comprising the steps of: (i) preparing a substrate element including a substrate on which at least one layer of metal pad is deposited, wherein at least one layer of solder having a thin thickness is deposited onto the layer of metal pad, and then carry out reflowing process; and (ii) further depositing a layer of solder with an appropriate thickness on the substrate element, characterized in that a thin intermetallic compound is formed by the reaction of the solder having a thin thickness and the metal in the metallic pad after appropriate heat treatment of the thin solder. In the present invention, the formation of thin intermetallic compound is able to slow down the growth of the intermetallic compound and to prevent the transformation of the intermetallic compounds. Once the growth of the intermetallic compounds can be inhibited, the growth of Sn whiskers can also be inhibited.

四、指定代表圖：

(一)本案指定代表圖為：圖（ 4A ）。

(二)本代表圖之元件符號簡單說明：

31	第一基板
32	第一銅金屬墊層
33	無鉛錒料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無



## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種用於減緩介金屬化合物成長之方法，特別是一種用於減緩鐳錫與金屬墊層形成介金屬化合物之方法。此外，本發明又有關於一種覆晶接合的結構。

### 【先前技術】

半導體技術及封裝的發展趨勢是密度越來越高，且接點(interconnects)越來越小，目前覆晶鐳錫接點的尺寸(直徑)約為100微米( $\mu\text{m}$ )。習知的覆晶鐳錫接點，參照圖1、圖2A、圖2B，係在一矽(Si)板(11)鍍上一厚度5微米的銅(Cu)金屬墊層(12)；之後在該銅金屬層(12)鍍上一厚度3微米的鎳(Ni)金屬層(13)；及在該鎳金屬層鍍上厚度約70至100微米的鐳錫(14)，形成一含有微鐳錫接點之半導體晶片元件(1)；接著進行覆晶程序，將該元件(1)與矽板(21)上鍍有銅金屬墊層(22)、鎳金屬層(23)之元件(2)接合。通常對於很小的接點而言，例如3D IC中的微鐳錫接點(microbumps)(參照圖2B)，接點的總厚度(bump height)約為20微米，而鐳錫厚度僅有約數微米至10微米，上下端的銅或鎳金屬墊層(under-bump-metallization, UBM)總厚度各約8微米。當接點製程完成或是經過10次迴鐳測試後，或是在使用一段時間後，鐳錫接點將會全部轉換成諸如Cu-Sn、Ni-Sn或是Cu-Ni-Sn之類的介金屬化合物接點，已發現這類介金屬化合物性質較脆，因此會嚴重影響鐳錫接點的機械性質，例

如元件若用於可攜式產品，當掉落或撞擊到後，接點有可能會斷裂。近年，改善上述問題的解決方式係在微錒錫接點(microbumps)再鍍上一層鎳作為擴散阻障層，但是這種方式的成本較高，且由於鎳的應力較大，對接點的機械性質也有負面的影響。

錒錫是封裝領域最常用的錒料，早期封裝業者係以共晶錒鉛錒錫與銅或鎳金屬在熔融狀態下(例如溫度約 $220^{\circ}\text{C}$ )進行接合。然而，共晶錒鉛錒錫會與銅發生反應，而生成如 $\text{Cu}_3\text{Sn}$ 及/或 $\text{Cu}_6\text{Sn}_5$ 之類的介金屬化合物。由於含鉛材料係有害環境，因此隨著環保意識的重視，此類共晶鉛錒錫材料已被禁止用作覆晶接點之錒料，進而以無鉛錒錫取代。

目前較常使用的無鉛錒錫，例如錒銀、錒銀銅等等，它們的熔點通常比習知的共晶錒鉛錒錫的熔點高約 $50^{\circ}\text{C}$ ，也就是說，使用無鉛錒錫係需要在約 $250^{\circ}\text{C}$ 至 $260^{\circ}\text{C}$ 之更高溫度下進行接合。但是，大部分的無鉛錒錫與銅鎳的反應更快，會形成更厚的例如Cu-Sn化合物。雖然錒錫本身的機械性質較佳，能夠吸收整個結構體的應力，但是反應所產生的Cu-Sn化合物的機械性質比較差(例如較脆)，因此，若是形成較厚的Cu-Sn化合物，當整個結構體受到應力時，容易從Cu-Sn化合物脆斷而破壞整個結構體。

銅及錒的反應很快，甚至在室溫下就會反應，習知技術並無法減緩或控制如 $\text{Cu}_6\text{Sn}_5$ 之類的介金屬之形成。一般，在尺寸較大的錒錫接點，如覆晶錒錫接點，生成介金屬化合物會形成接點，並不會影響接點的機械性質，但是

對於很小的接點而言，例如3D IC製程中的微錒錫接點(microbumps)，錒錫體積僅約為覆晶錒錫接點的一百分之一而已，當接點製程完成或是經過多次(例如10次)迴錒測試後，或是在使用一段時間後，錒錫接點將會全部轉換成Cu-Sn介金屬化合物接點，由於此介金屬化合物性質較脆，因此會嚴重影響到接點的機械性質。

目前的解決方式，通常係在微錒錫接點再鍍上一層鎳作為擴散阻障層，但是這種方式的成本較高，且由於鎳的應力較大，對接點的機械性質有負面的影響。

另一種習知技術，是利用濺鍍(sputtering)的方法共濺鍍銅與鎳，但這種方法並無法鍍上厚的膜，成本更高，此外，因為無鉛錒錫與銅及鎳的反應速率比含鉛錒錫快很多，這種方法亦無法適用於無鉛錒錫。

先前技術中，如美國專利USP 6,716,738 B2 (公告日期：2004年4月6日)揭示「藉電鍍製造覆晶相互接的多層UBM之方法(Method of fabricating multilayered UBM for flip chip interconnections by electroplating)」，此專利係藉由調整電鍍得到的金屬層，變成Cu-Ni金屬層來控制鍍得之金屬層的應力與金屬層的成分，其利用鎳作為反應阻障層，以減緩銅、鎳與錒錫反應形成的化合物厚度。這種利用阻障層之缺點在於同時鍍銅與鎳金屬層，製程複雜且成分不易控制，及金屬層的應力也不容易控制，因此穩定性不佳，會影響良率，此外，銅也會跟錒錫反應。

美國專利USP 6,602,777(公告日期：2003年8月5日)揭示「控制錒錫接點之介金屬化合物形成之方法(Method for controlling the formation of intermetallic compound in solder joints)」，此專利係藉由調整錒錫中的銅濃度來控制錒錫與鎳金屬層形成的介金屬(intermetallic compound)種類，例如 $(\text{Cu}_{1-x}\text{Ni}_x)_6\text{Sn}_5$ ，或是 $(\text{Ni}_{1-y}\text{Cu}_y)_3\text{Sn}_4$ 。然而，這種方法並無法控制銅與錒錫生成的介金屬化合物之厚度。

中華民國專利I338344(公告日期：2011年3月1日)揭示「具有錒料凸塊以抑制介金屬化合物成長之半導體晶片及其製造方法」，此專利係利用滲入錒料凸塊的穿透層材料，改變錒料凸塊成為多成份之錒料凸塊，以抑制化合物的成長。這篇專利係改變錒錫成分以抑制介金屬化合物(IMC)的成長，但是對抑制Cu-Sn化合物的反應卻是很有有限。

公開文獻，「藉由和帶銅的Sn(Cu)錒錫反應減緩在Ni(P)基板上之 $\text{Ni}_3\text{P}$ 晶層成長」(“Retarding growth of  $\text{Ni}_3\text{P}$  crystalline layer in Ni(P) substrate by reacting with Cu-bearing Sn(Cu) solders), S.J. Wang, C.Y. Liu, Scripta Materialia 49 (2003) 813-818)，此文獻係藉由調整Sn-Cu錒錫中的銅濃度來控制該錒錫與鎳的反應，以抑制 $\text{Ni}_3\text{P}$ 相的生成，但是其並無法抑制Cu-Sn或Ni-Sn化合物的成長。

為避免上述習知技術之問題及缺點，本發明之發明人因此提出利用控制形成錒錫與銅之介金屬化合物之厚度，也就是說，錒錫與銅在接合之前能夠快速地先反應產生介金屬化合物(如Sn-Cu化合物)，而於進行接合後使該介金屬化合物的厚度成長減緩。

**【發明內容】**

本發明之一目的在於提供一種用於減緩介金屬化合物成長之方法，包含步驟：

(i)製備一基板元件，包括：

(i-1)在一基板上電鍍至少一金屬墊層，

(i-2)在該金屬墊層上電鍍至少一薄鍍料，接著進行熱處理製程，以製得一基板元件；此熱處理可以是液態下的迴鍍製程或是固態時效製程在該基板元件上再鍍上一適當厚度的鍍料；以及

(ii)將此元件與其它元件作後續接合製程。

本發明特別適合用於減緩封裝中鍍料與銅金屬墊層之介金屬化合物的形成，如上述本發明之方法，在進行晶片接合前，在基板上的金屬墊層先鍍上一層很薄的薄鍍料，經過熱處理製程，該薄鍍料會與金屬墊層的金屬先行反應，因而改變了所生成的介金屬化合物的形態與種類。接著進行後續的覆晶對接製程，由於在接合前該很薄的薄鍍料已與金屬墊層的金屬生成一很薄的介金屬化合物，在接合後會產生抑制該接點(或凸塊)之介金屬化合物的生成速率之效果。

根據本發明之方法，參照圖3，在一基板上電鍍一金屬墊層(步驟，S201)，接著在該金屬墊層上電鍍一薄鍍料(步驟，S301)，然後進行高溫熱處理製程，得到一基板元件，其中，該薄鍍料經過高溫熱處理後，與金屬墊層的金屬會

反應形成一薄介金屬化合物(步驟，S401)。之後再鍍上適當厚度的錐錫(步驟，S501)，將步驟S101、201、301、401、501所製得的一基板元件可以作後續接合製程(步驟，S600)。

本發明之方法中，該薄錐料與金屬墊層之金屬反應形成的介金屬化合物均具有隔離的功能，可減少金屬墊層之金屬原子透過介金屬化合物與錐料反應的通道，讓金屬墊層的金屬與錐料凸塊隔離，依此即能有效地抑制接點區域的介金屬化合物之成長。當半導體元件(例如半導體晶片)進行覆晶接合製程時，由於基板上的金屬墊層與錐料之間會先形成一介金屬化合物，在接合後可減少金屬墊層中的金屬原子滲入錐料接點，因此，當接合後再進行迴錐或多次迴錐程序之後，會有減少錐料接點之介金屬化合物形成的效果，另一方面，金屬墊層的金屬原子消耗也會減少。

本發明之另一目的在於提供一種覆晶接合或是錐錫介面的結構，包含：

(A)一基板元件，含有：

(A-1)一基板，

(A-2)至少一金屬墊層，該金屬墊層係電鍍形成於該基板上，

(A-3)至少一薄錐料，該薄錐料係電鍍於該金屬墊層上；

(A-4)於該基板元件再鍍上一適當厚度的錐錫層；

其中，(A)一基板元件可以與其它基板元件呈現覆晶接合，經過迴錐程序，得到一覆晶接合的結構，其特徵在於所述

該薄鍍料在接合之前與金屬墊層之金屬形成一連續層狀或是接近連續層之薄介金屬化合物。

本發明之結構中，所形成之一薄介金屬化合物係具有隔離金屬墊層的金屬與鍍料接點(或凸塊)之功能，因此能有效地抑制接點區域的介金屬化合物之成長。

本發明中，電鍍金屬墊層或鍍料之方法不特別限制，可為此技術領域中習用電鍍技術，例如：電鍍銅可使用硫酸銅溶液；電鍍錫銀鍍錫可使用 $\text{Sn}_2\text{P}_2\text{O}_7$ 及 $\text{AgI}$ 之溶液。

本發明中，使用的基板不特別限制，根據本發明之一具體實施，該基板可為半導體晶片、矽晶片、高分子或玻璃。

本發明中，使用的金屬墊層的金屬材料不特別限制，根據本發明之一具體實施，該金屬材料可為銅、鎳、金或其合金，較佳為銅。本發明之金屬墊層的厚度範圍為約數微米至100微米。

本發明中，使用的鍍料不特別限制，根據本發明之一具體實施，該鍍料可為無鉛鍍料，較佳為無鉛鍍錫。

根據本發明之一具體實施，所述薄鍍料厚度不超過4微米，較佳為2微米。本發明中，接合後，鍍料接點的總厚度不超過100微米，較佳為20微米。

本發明之用於減緩介金屬化合物成長之方法，尤其適合應用於3D IC產業領域(例如3D IC封裝技術)、中央處理器(CPU)、手機、影像處理晶片、動態隨機存取記憶體(DRAM)等產品。

以下將對本發明更詳細的描述，所提出的具體實施例及圖式係用於進一步說明本發明，而不意欲用於限制本發明的技術範圍。

### 【實施方式】

首先，製備一電鍍有薄錒料之試片“2- $\mu\text{m}$ -SnAg/銅墊層的試片”。

製備電鍍有薄的第一薄錒料之試片“2- $\mu\text{m}$ -SnAg 試片”，與電鍍有第二錒料之試片“19- $\mu\text{m}$ -SnAg 試片”。

參照圖 4A，製備一電鍍有薄的第一薄錒料之試片“2- $\mu\text{m}$ -SnAg 試片”。

首先，準備一矽晶片作為一第一基板(31)，其上電鍍有一厚度5微米的第一銅金屬墊層(Cu UBM)(321、322、32n，以下本文稱為“32”)；接著，在該第一銅金屬墊層(32)上電鍍一層厚度2微米的SnAg無鉛錒料(331、332、33n，以下本文稱為“33”)，在260°C溫度下進行迴錒(reflowing)，歷時10分鐘左右，該無鉛錒料經過260°C迴錒及冷卻之後，會與銅金屬反應而形成一很薄的第一薄Cu-Sn介金屬化合物(Cu-Sn IMC)(未標示)，依此得到“2- $\mu\text{m}$ -SnAg試片”。

參照圖 4B，製備一電鍍有第二錒料之試片“19- $\mu\text{m}$ -SnAg 試片”。

準備另一矽晶片作為一第二基板(41)，在該第二基板(41)電鍍上另一厚度20微米之第二銅金屬墊層(Cu UBM)(421、422、423，以下本文稱為“42”)；接著，在該



第二銅金屬墊層(42)上電鍍一厚度19微米的SnAg無鉛錒料(431、432、43n，以下本文稱“43”)，在260°C溫度下進行迴錒(reflowing)，歷時1-10分鐘左右，該無鉛錒料經過260°C迴錒及冷卻之後，會形成較厚之Cu-Sn介金屬化合物(Cu-Sn IMC)(未標示)，依此得到“19- $\mu\text{m}$ -SnAg試片”。

上述製程中，鍍上很薄的錒料之第一錒料(33)在進行後續接合程序之前，會先與銅金屬墊層之銅金屬反應形成薄Cu-Sn介金屬化合物，該Cu-Sn介金屬化合物可減少銅原子透過Cu-Sn介金屬化合物與無鉛錒料反應的通道，讓第一銅金屬墊層(32)與錒料接點(或凸塊)隔離。

本實施例中，利用掃描式電子顯微鏡(SEM)檢測該結構之橫截面圖，讓該結構於260°C溫度下再進行迴錒程序，歷時5分鐘及10分鐘，以進行錒料接點之測試。

參照圖5A、5B，試片為“2- $\mu\text{m}$ -SnAg試片”，圖5A是剛製備後及圖5B是迴錒10分鐘後的掃描式電子顯微鏡之橫截面圖。可清楚觀察到，當迴錒10分鐘後，上方的無鉛錒錫幾乎全部反應成Cu-Sn介金屬化合物。而且其結構呈現層狀結構。此層狀結構Cu-Sn介金屬化合物即是用來接下來接合製程中減緩銅擴散到錒料的阻障層。

參照圖6A、6B、6C，試片是在“2- $\mu\text{m}$ -SnAg試片”迴錒10分鐘後，再鍍上厚約20微米的錒料，再迴錒1、5、及10分鐘後的掃描式電子顯微鏡之橫截面圖。可以看出即使迴錒10分鐘後，Cu-Sn介金屬化合物仍幾乎維持層狀結構。因

此，Cu-Sn介金屬化合物之間的通道變少，因此銅原子要擴散進入鉍錫內反應變得較困難。

另一方面，測試結果顯示，若沒有使用此方法，Cu-Sn介金屬化合物會成長較快。參照圖7A、7B、7C，此試片是在“19- $\mu\text{m}$ -SnAg試片”迴鉍1、5、及10分鐘後的掃描式電子顯微鏡之橫截面圖。可以看出Cu-Sn介金屬化合物會明顯隨著迴鉍時間增加而增厚的情況產生。而且型貌呈現半圓形形狀，因此銅原子容易從Cu-Sn介金屬化合物中間之通道擴散進入鉍錫內反應。所以Cu-Sn介金屬化合物會明顯隨著時間增加而增厚。

參照圖8，此圖顯示量測到之Cu-Sn介金屬化合物厚度隨著迴鉍時間增加的關係。可觀察到經過預先經過迴鉍10分鐘的“2- $\mu\text{m}$ -SnAg試片”端之Cu-Sn介金屬化合物較不會隨著時間增加而有明顯地增厚的情況產生，當迴鉍10分鐘後，觀察到厚度的增加只約0.2微米；但是19- $\mu\text{m}$ -SnAg試片”迴鉍10分鐘後，Cu-Sn介金屬化合物增加約1.6微米。因此可證實，根據本發明之方法，在接合前先在金屬墊鍍上一薄鉍料，確可達到抑制Cu-Sn介金屬化合物厚度成長的效果，同時銅金屬墊層與鉍料凸塊隔離，也讓銅金屬層的消耗厚度明顯地減少。

此外，針對本發明之用於減緩介金屬化合物成長之方法，探討其可達到抑制Cu-Sn介金屬化合物增厚之效果的機制，主要歸因於下列因素：

(1)當接合前，沒有在金屬墊層先鍍上一很薄的鍍料時，生成的Cu-Sn介金屬化合物(例如 $\text{Cu}_6\text{Sn}_5$ 化合物)是類似半球型的形狀。如圖7A所示之迴鍍1分鐘後“19- $\mu\text{m}$ -SnAg試片”端的Cu-Sn化合物的形狀，該“19- $\mu\text{m}$ -SnAg試片”係已利用蝕刻液，蝕刻掉剩餘的鍍料，可觀察到生成的Cu-Sn介金屬化合物形狀，在半球型 $\text{Cu}_6\text{Sn}_5$ 之間有許多的通道(channels)，可以讓底下的銅持續擴散到鍍錫內部反應。

再者，當接合前，在金屬墊層先鍍上一很薄的鍍料時，如上述本發明之方法，觀察到“2- $\mu\text{m}$ -SnAg試片”，經過10分鐘的迴鍍過程後，生成的 $\text{Cu}_6\text{Sn}_5$ 或是 $\text{Cu}_3\text{Sn}$ 化合物是類似層狀結構，而且幾乎沒有通道，此乃是因為鍍錫只有2微米厚，經過10分鐘的迴鍍過程後，鍍錫幾乎全部消耗完， $\text{Cu}_6\text{Sn}_5$ 間的通道也就關閉起來。因此，當“2- $\mu\text{m}$ -SnAg試片”再鍍上鍍料時，在“2- $\mu\text{m}$ -SnAg試片”的Cu-Sn反應就很明顯地被抑制。

(2)因為鍍上的鍍錫很薄，例如只有2微米厚，經過10分鐘的迴鍍過程後，鍍錫幾乎全部消耗完， $\text{Cu}_6\text{Sn}_5$ 化合物也可能全部或部分轉變成層狀結構的 $\text{Cu}_3\text{Sn}$ 化合物，下方的銅要擴散到鍍錫內反應較不容易，因此Cu-Sn反應就很明顯地被抑制。依此，可抑制Cu-Sn化合物厚度增厚。

藉由上述具體實施例可證實，根據本發明之方法確能有效地減緩介金屬化合物厚度的成長。一旦介金屬化合物成長速率能被減緩，錫晶鬚(Sn whisker)的成長也可以被抑制。因此本發明也可以應用於抑制錫晶鬚的成長。

本發明可在不偏離本發明之範疇的情況下，以多種形式實現，上述實施例僅係為了方便說明而舉例而已，應理解的是(除非另有指明)本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

**【圖式簡單說明】**

圖1係描述習知的覆晶鉍錫接點之示意圖。

圖2A係描述習知的覆晶鉍錫接點剖面之掃描式電子顯微鏡影像圖(cross-sectional scanning electron microscope (SEM) image)。

圖2B係描述習知的20微米覆晶微鉍錫接點剖面之掃描式電子顯微鏡影像圖。

圖3係描述根據本發明之方法流程圖。

圖4A係描述根據本發明之方法，基板元件鍍有一薄鉍料之具體實施示意圖。

圖4B係描述根據本發明之方法，基板元件鍍有一鉍料之具體實施示意圖。

圖5A係根據本發明之方法，在5微米厚的銅鉍墊鍍上2微米鉍料後之電子顯微鏡橫截面圖。

圖5B係根據本發明之方法，在5微米厚的銅鉍墊鍍上2微米鉍料後且經過260°C迴鉍10分鐘後之電子顯微鏡橫截面圖。

圖 6A 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 1 分鐘後之電子顯微鏡橫截面圖。

圖 6B 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 5 分鐘後之電子顯微鏡橫截面圖。

圖 6C 描述根據本發明之方法，2- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後，再鍍上 20 微米鍍料，再於 260°C 迴鍍 10 分鐘後之電子顯微鏡橫截面圖。

圖 7A ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 1 分鐘後之電子顯微鏡橫截面圖。

圖 7B ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 5 分鐘後之電子顯微鏡橫截面圖。

圖 7C ”19- $\mu\text{m}$ -SnAg 試片”在 260°C 迴鍍 10 分鐘後之電子顯微鏡橫截面圖。

圖 8 量測之介面 Cu-Sn 化合物的厚度，在 260°C，隨著迴鍍時間增加之變化圖。

**【主要元件符號說明】**

- 31 第一基板
- 32 第一銅金屬墊層
- 33 無鉛鍍料
- 41 第二基板
- 42 第二銅金屬墊層

201308451

43

無鉛錫料

IMC

介金屬化合物

## 七、申請專利範圍：

1. 一種用於減緩介金屬化合物成長之方法，包含步驟：
  - (i) 製備一基板元件，包括：
    - (i-1)在一基板上電鍍至少一金屬墊層，
    - (i-2)在該金屬墊層上電鍍至少一薄鍍料，接著進行熱處理製程，以製得一基板元件；再鍍上適當厚度之鍍料；以及
  - (ii) 將此元件與其它元件作後續接合製程，  
其中，該薄鍍料在經過高溫熱處理後，在覆晶對接之前，與金屬墊層之金屬反應形成一薄介金屬化合物。
2. 如申請專利範圍第1項之方法，其中該基板為半導體晶片、矽晶片。
3. 如申請專利範圍第1項之方法，其中該金屬墊層之金屬為銅。
4. 如申請專利範圍第1項之方法，其中該鍍料為無鉛鍍料。
5. 如申請專利範圍第1項之方法，其中該薄鍍料之厚度不超過4微米。
6. 一種覆晶接合的結構，包含(A)一基板元件，該基板元件含有：
  - (A-1)一基板，
  - (A-2)至少一金屬墊層，該金屬墊層係電鍍形成於該基板上，
  - (A-3)至少一薄鍍料，該薄鍍料係電鍍於該金屬墊層上；及經過熱處理後，再鍍上適當厚度之鍍料；

其中，(A)一基板元件，經過熱處理程序，其特徵在於所述薄鍍料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該鍍料為無鉛鍍錫。
10. 如申請專利範圍第6項之結構，其中該薄鍍料之厚度不超過4微米。

八、圖式(見下頁)：



其中，(A)一基板元件，經過熱處理程序，其特徵在於所述薄鍍料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該鍍料為無鉛鍍錫。
10. 如申請專利範圍第6項之結構，其中該薄鍍料之厚度不超過4微米。

八、圖式(見下頁)：

其中，(A)一基板元件，經過熱處理程序，其特徵在於所述薄鍍料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該鍍料為無鉛鍍錫。
10. 如申請專利範圍第6項之結構，其中該薄鍍料之厚度不超過4微米。

八、圖式(見下頁)：

其中，(A)一基板元件，經過熱處理程序，其特徵在於所述薄鍍料在接合之前與金屬墊層之金屬形成一連續層薄介金屬化合物。

7. 如申請專利範圍第6項之結構，其中該基板為半導體晶片或矽晶片。
8. 如申請專利範圍第6項之結構，其中該金屬墊層之金屬為銅。
9. 如申請專利範圍第6項之結構，其中該鍍料為無鉛鍍錫。
10. 如申請專利範圍第6項之結構，其中該薄鍍料之厚度不超過4微米。

八、圖式(見下頁)：

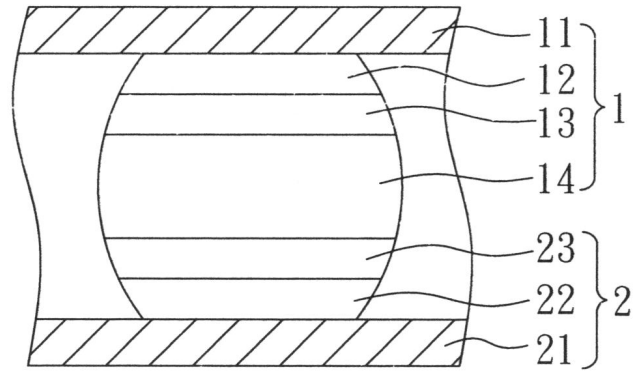


圖1

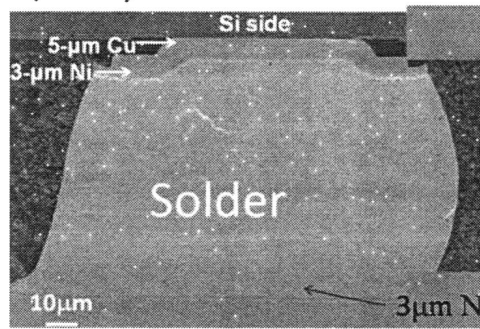


圖2A

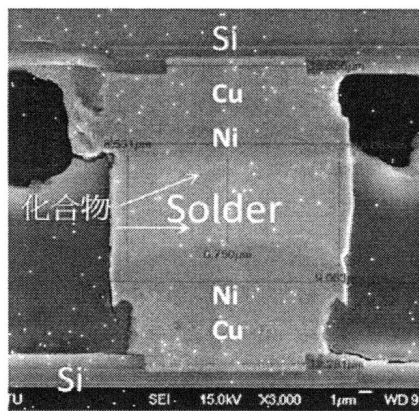


圖2B

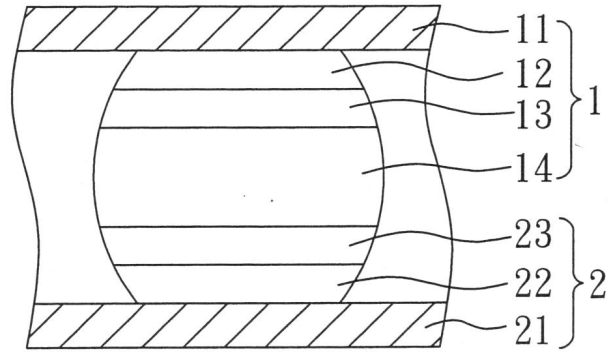


圖 1

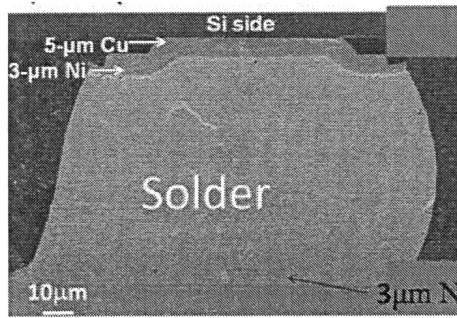


圖 2A

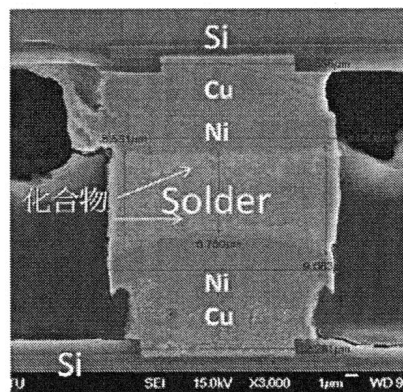


圖 2B

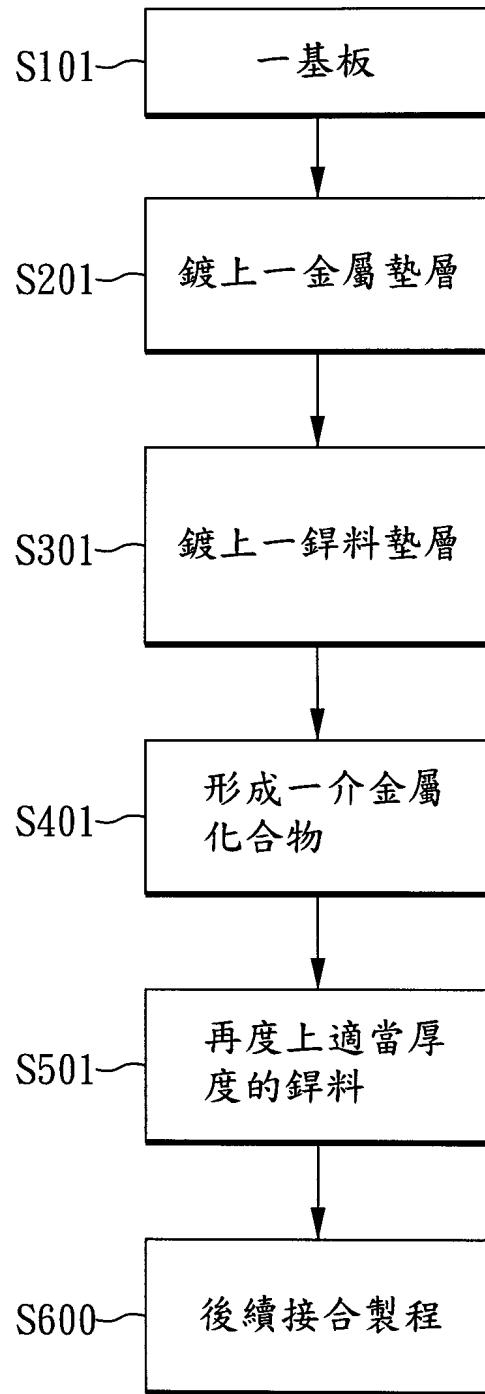


圖3

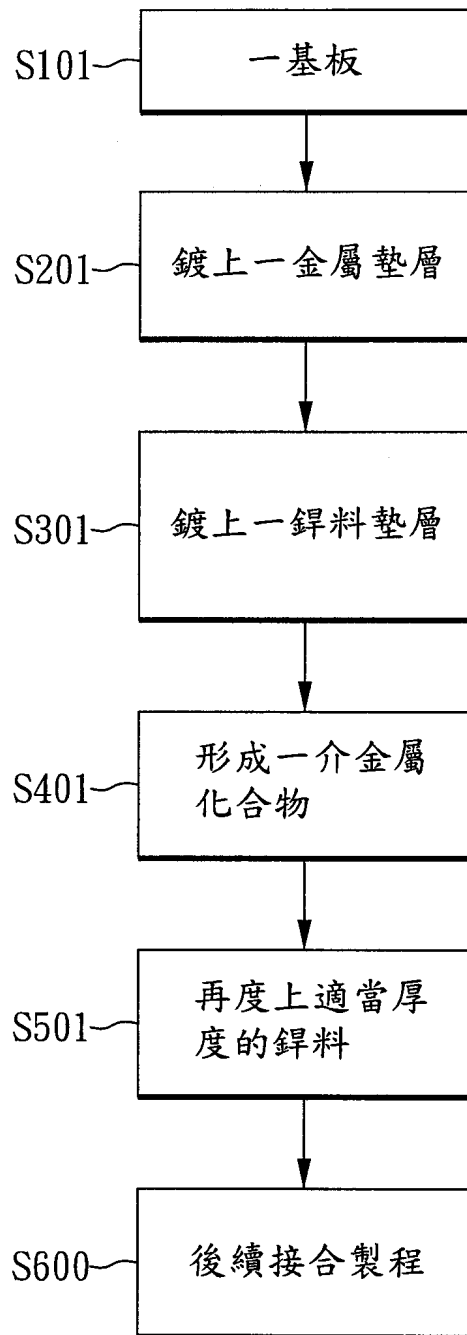


圖3

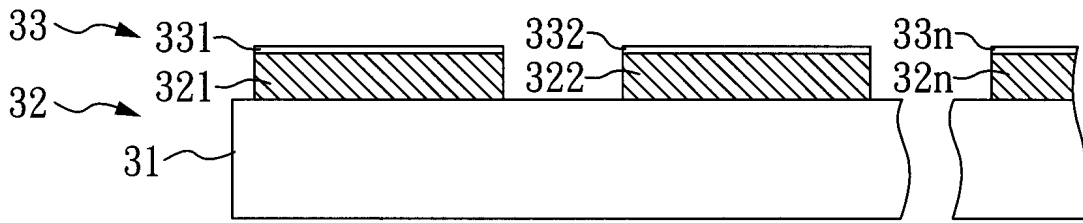


圖4A

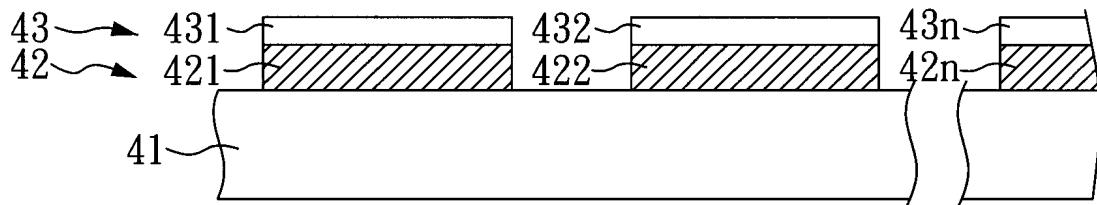


圖4B



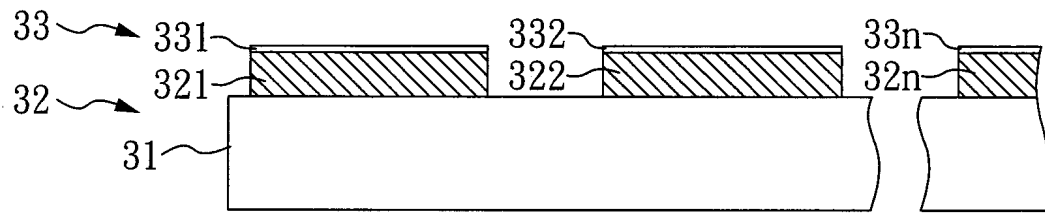


圖 4A

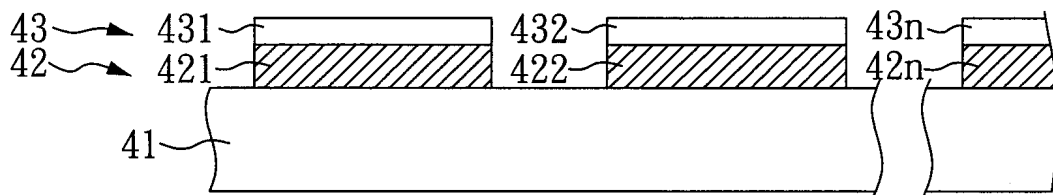


圖 4B

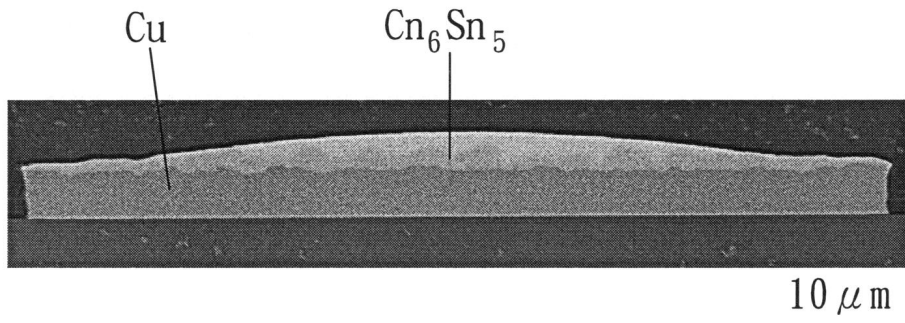


圖5A

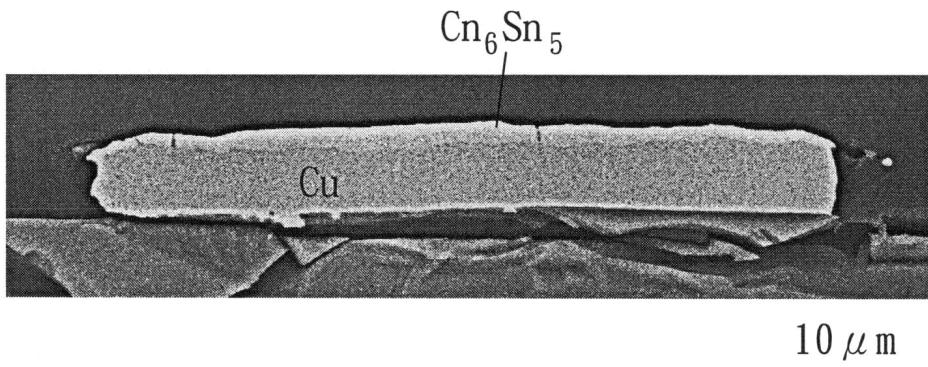


圖5B

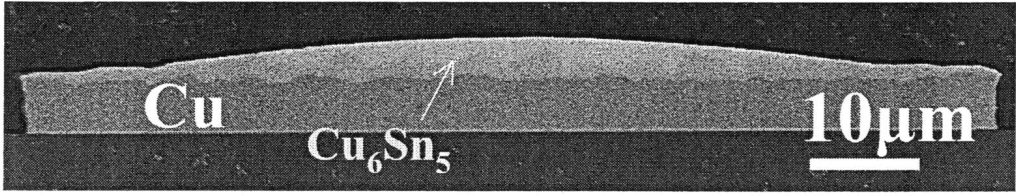


圖5A

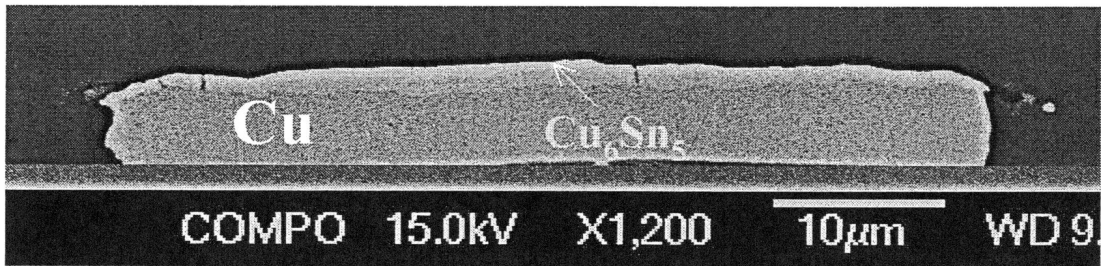


圖5B

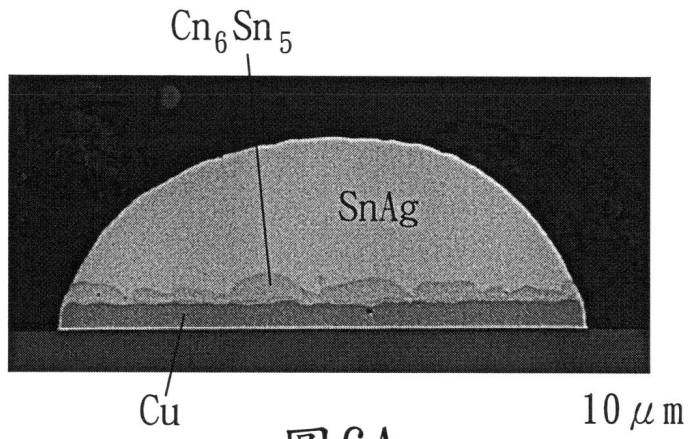


圖 6A

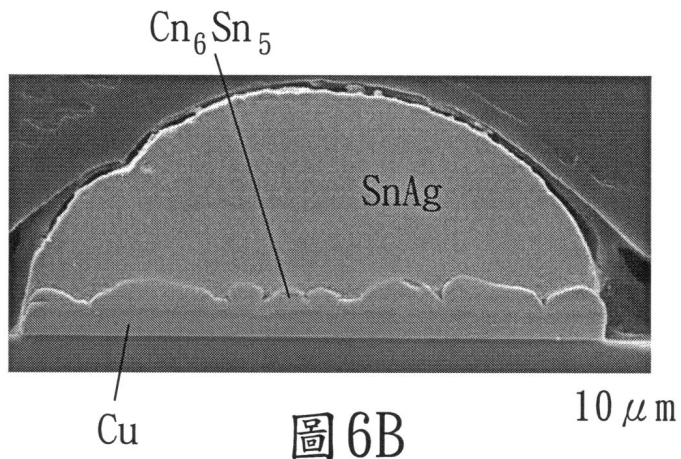


圖 6B

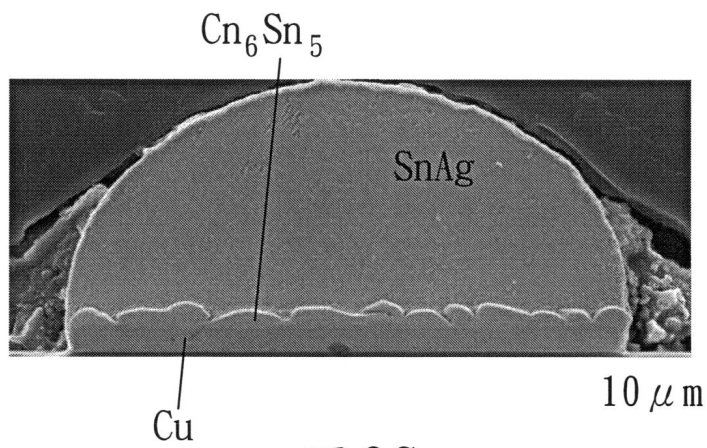


圖 6C

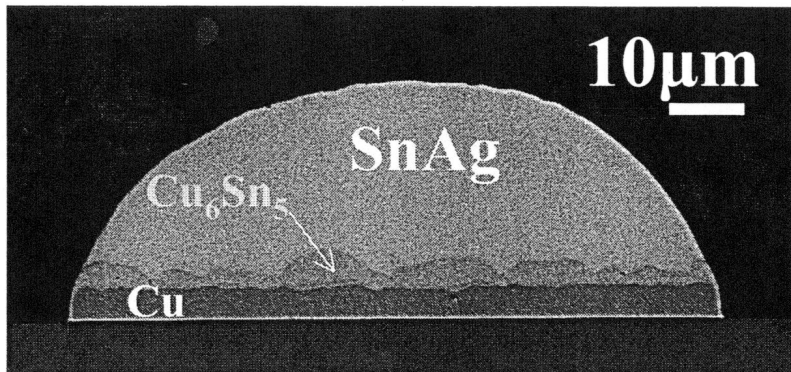


圖 6A

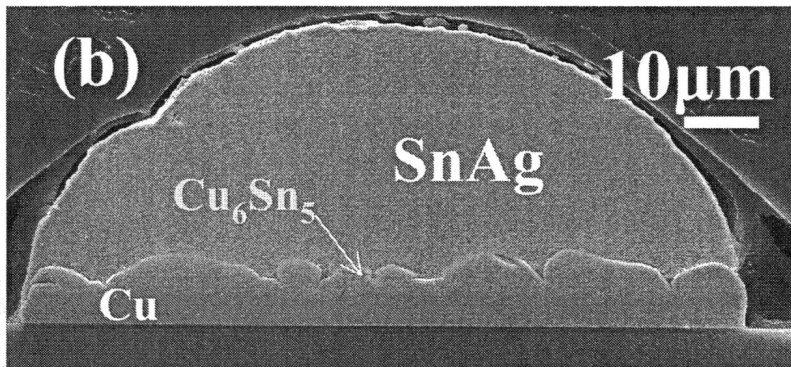


圖 6B

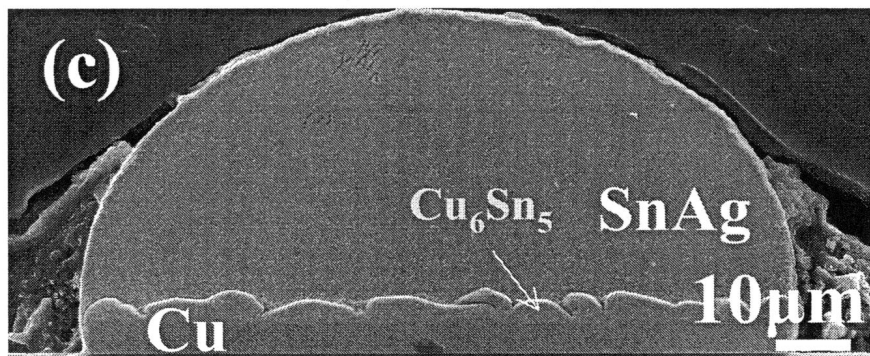


圖 6C

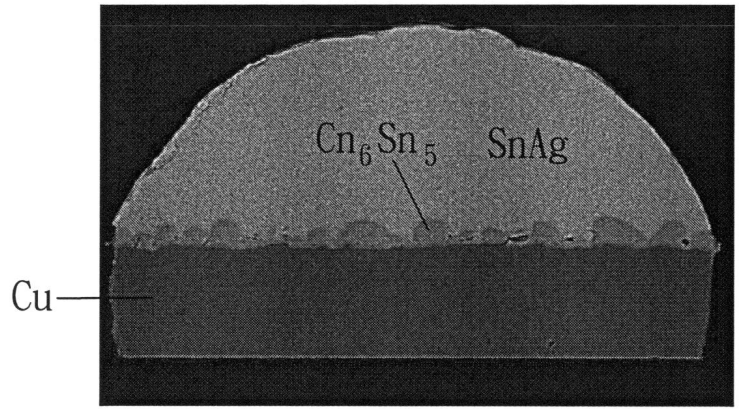


圖 7A

10  $\mu$  m

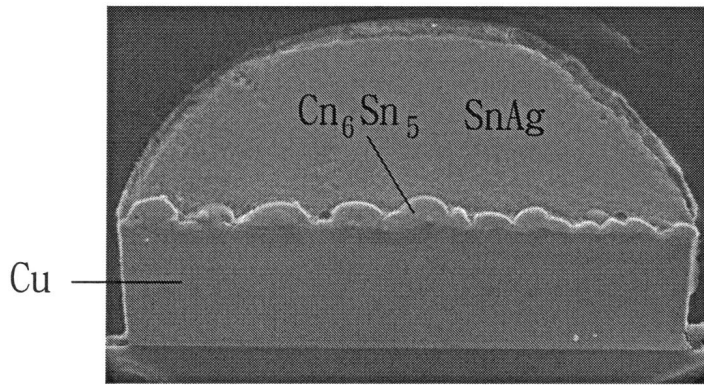


圖 7B

10  $\mu$  m

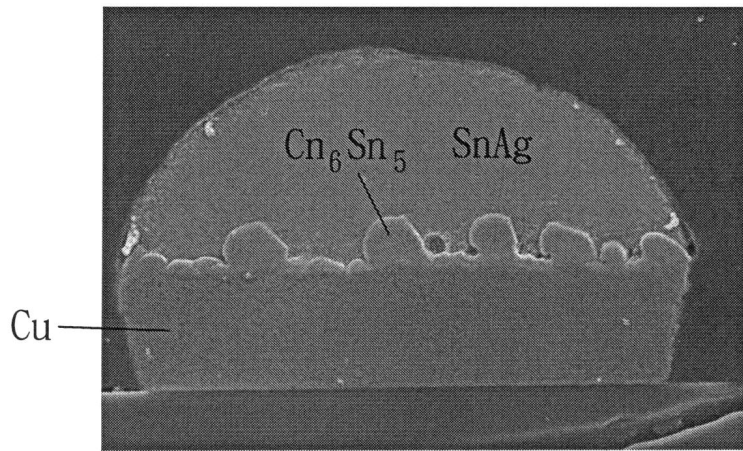


圖 7C

10  $\mu$  m

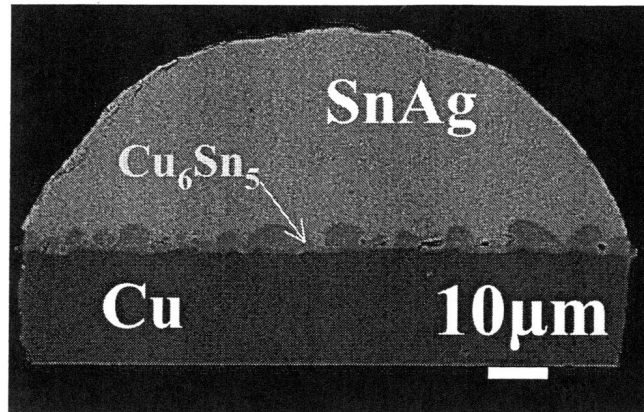


圖 7A

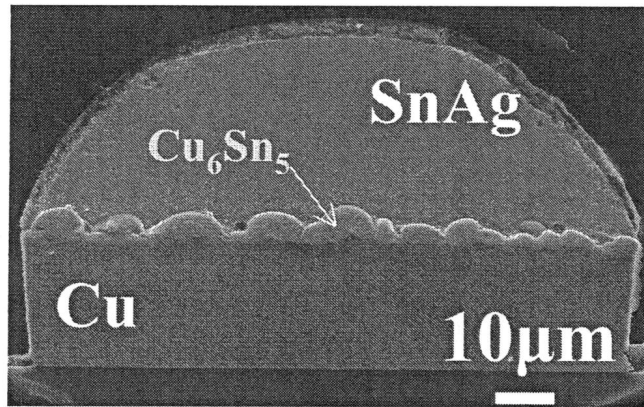


圖 7B

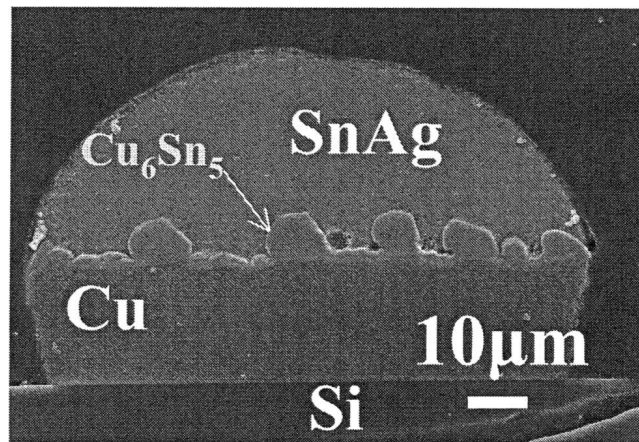


圖 7C

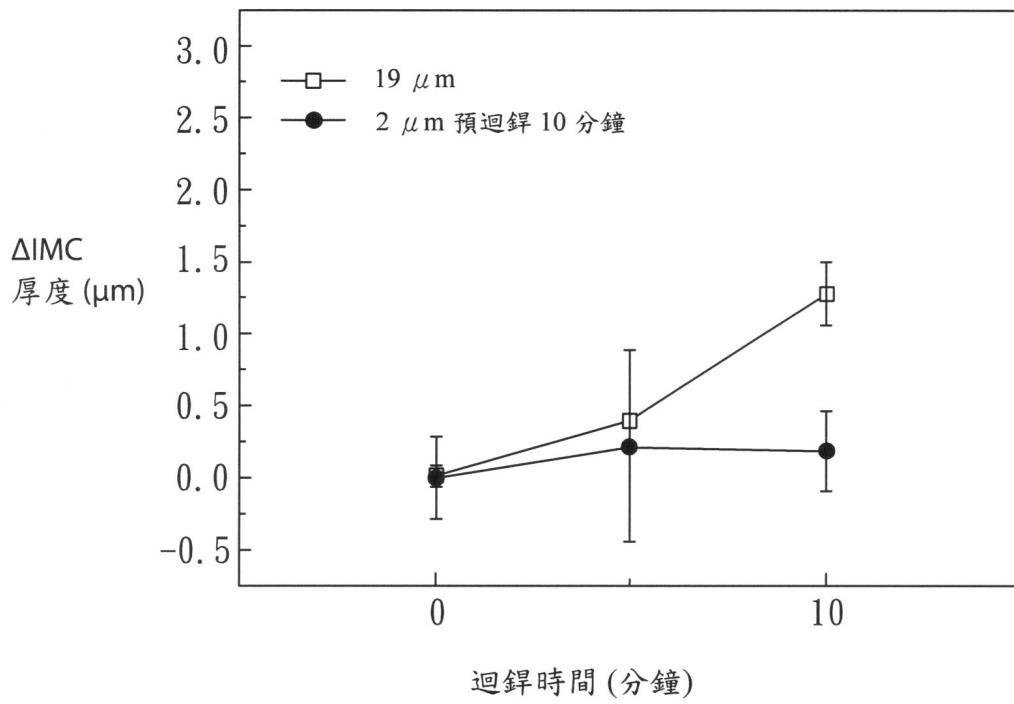


圖8



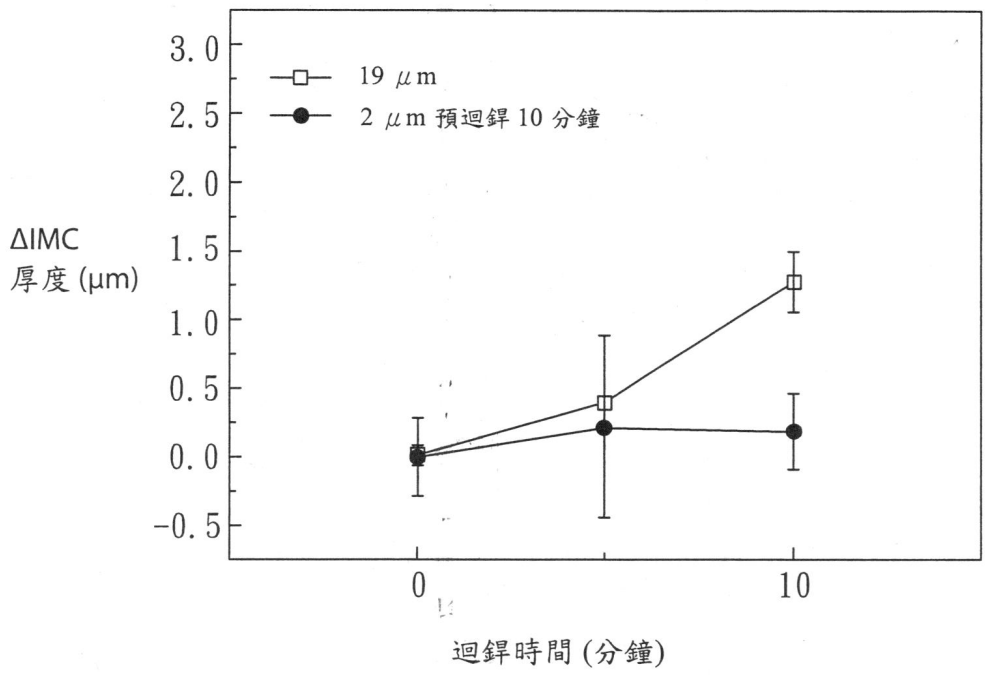


圖8