

(21)申請案號：100122638

(22)申請日：中華民國 100 (2011) 年 06 月 28 日

(51)Int. Cl. : H01L21/145 (2006.01)

H01L21/335 (2006.01)

H01L27/088 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：白田理一郎 SHIROTA, RIICHIRO (JP)；渡邊浩志 WATANABE, HIROSHI (JP)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：23 項 圖式數：16 共 65 頁

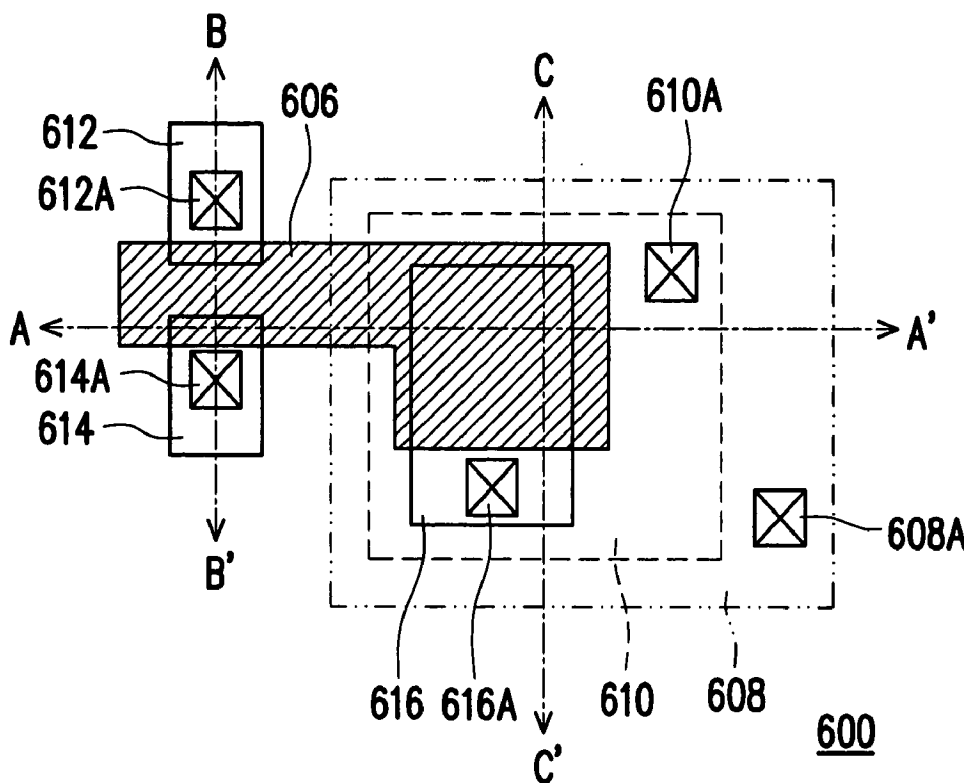
(54)名稱

半導體裝置及其操作方法與應用電路

APPLICATION CIRCUIT AND OPERATION METHOD OF SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置及其操作方法與應用電路。藉由調整施加於雙重井區上的偏壓，來降低控制閘極擴散層、源極擴散層與汲極擴散層之間的漏電流，進而提高應用半導體裝置之無電池電子計時器的準確性並降低生產成本。



600：半導體裝置

606：浮置閘

608：第二導電型井區

608A：第二井區接觸層

610：第一導電型井區

610A：第一井區接觸層

612：第二導電型源極擴散層

612A：源極接觸層

614：第二導電型汲極擴散層

614A：汲極接觸層

616：第二導電型控制閘極擴散層

616A：控制閘極接觸層

A-A'：剖面線

B-B'：剖面線

C-C' : 剖面線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100122638

H01L 21/145 (2006.01)

※申請日：100.6.28

※IPC 分類：H01L 21/335 (2006.01)

一、發明名稱：

H01L 27/088 (2006.01)

半導體裝置及其操作方法與應用電路
APPLICATION CIRCUIT AND OPERATION METHOD OF
SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體裝置及其操作方法與應用電路。藉由調整施加於雙重井區上的偏壓，來降低控制閘極擴散層、源極擴散層與汲極擴散層之間的漏電流，進而提高應用半導體裝置之無電池電子計時器的準確性並降低生產成本。

三、英文發明摘要：

An application circuit and an operation method of a semiconductor device are provided. A leakage current among a control gate diffusion layer, a source diffusion layer and a drain is reduced by adjusting biases applied on a double well region, so as to improve the precision of a battery less electronic timer which makes use of the semiconductor device and reduce the product cost.

四、指定代表圖：

(一) 本案之指定代表圖：圖 6A

(二) 本代表圖之元件符號簡單說明：

600：半導體裝置

606：浮置閘

608：第二導電型井區

608A：第二井區接觸層

610：第一導電型井區

610A：第一井區接觸層

612：第二導電型源極擴散層

612A：源極接觸層

614：第二導電型汲極擴散層

614A：汲極接觸層

616：第二導電型控制閘極擴散層

616A：控制閘極接觸層

A-A'、 B-B'、 C-C'：剖面線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體裝置及其操作方法與應用電路，且特別是有關於一種用以實現無電池電子計時器的半導體裝置及其操作方法與應用電路。

【先前技術】

日本專利 JP3959340 提出一種具有控制有效期期(expiration)的電路的固態老化裝置 (Solid-State Aging Device, SSAD)，其被提出作為集成電路的無電池電子計時器 (Battery Less Electronic Timer, IBLET)。控制有效期的基本構想為抑制由於如圖 1A~圖 1D 所示之異常電荷損失(anomalous charge loss)所造成的計時誤差。在此以三個時間胞(time cell)為例，圖 1A~圖 1D 所示之三個時間胞 102、104 以及 106 分別具有短、中、長等三個不同時間長度的生命期(life time)，其中在各個時間胞的生命期期間端點 T1 與端點 T2 之間有電流流過，且此三個時間胞並聯於兩端點(端點 T1 與端點 T2)之間。通過這些時間胞的電流依時間胞生命期長短的順序而消失。

在初始狀態時 (圖 1A)，電流可流過兩端點之間的所有時間胞。而當三個時間胞中生命期最短的時間胞 102 過期時，生命期最短的時間胞 102 中的電流將隨著時間經過而先消失降為零，剩下具有中、長生命期的時間胞 104 與 106 有電流通過(如圖 1B 所示)。隨著時間的流逝，時間

胞將依序地過期(expire)，電流漸漸變為僅能通過生命期最長的時間胞 106(如圖 1C 所示)，而當生命期最長的時間胞 106 過期時，端點 T1 與 T2 間的電流大小將消失，亦即端點 T1 與 T2 間為終止(terminated)的狀態。由此可知，端點 T1 與 T2 間的電性連接狀態取決於端點 T1 與 T2 間並聯的時間胞中生命期最長的時間胞 106。

由於時間胞之可靠性的主要問題為異常的電荷流失，其將導致時間胞的生命期的減低，因此在並聯的時間胞的數量夠多的情形下，生命期的長短可視為取決於沒有異常電荷損失的時間胞。因此，當並聯連接大量的時間胞時，生命期的長短將主要由穿隧(tunneling)所決定，因而時間胞的生命期長短應是可控制的。

習知的時間胞結構，主要是可分成兩種類型的時間胞的結構和製程。一種是單層多晶矽(single poly silicon)時間胞，其可兼容於 COMS 的製作生產線(美國專利 US7652317、US2008/0079057)，如圖 2 和 3 所示。其等效電路則如圖 4 所示，其中閘極電容 C_g (N 型源極 NS、N 型汲極 ND 以及 P 型基底 PSUB 所形成的矽表面與浮置閘 FG 間所形成的等效電容) 小於控制電容 C_c (浮置閘 FG 與 N 型控制閘極 NCG 之間的等效電容)。另一種是雙層多晶矽(double poly-silicon)結構，其通常可與非揮發性記憶體一起製作(美國專利 US2009/0218613)。雙層多晶矽結構的等效電路可如圖 5 所示。

在習知的單層多晶矽的時間胞結構中，N 型控制閘極

NCG 與 N 型源極 NS、N 型汲極 ND 在 P 型基底 PSUB 的表面上被製造做為擴散層。淺溝槽絕緣層 202 (shallow-trench-isolation, STI) 或局部矽氧化層 302 (local oxidation of silicon, LOCOS) 設置於 N 型控制閘極 NCG 與 N 型源極 NS、N 型汲極 ND 之間以進行電氣隔離(electrical isolation)。其中典型的淺溝槽絕緣結構形成方法是在基底上於 N 型控制閘極 NCG 和其他擴散層(N 型源極 NS 與 N 型汲極 ND)之間蝕刻出淺渠溝，然後將這些淺渠溝注滿絕緣材料，如二氧化矽或其他介電材料。而典型的 LOCOS 結構的形成方法是將不可氧化的罩幕(mask)如氮化矽(Si_3N_4)沉積在空白矽晶圓(blank silicon wafer)上。用微影法將罩幕形成圖案，然後在被暴露的矽表面部分(利用蝕刻技術)上形成二氧化矽(SiO_2)層。此氧化層可將 N 型控制閘極 NCG 和其他擴散層(N 型源極 NS 與 N 型汲極 ND)進行電性隔離。

上述有關異常電荷流失的問題，主要是位於時間胞中絕緣層的陷阱(traps)所引起。陷阱有時變得活躍，而使通過絕緣層的電子流增加，從而導致時間胞的異常電荷流失(H. Watanabe, et.al., IEEE Trans. Elec. Dev. Vol. 58, issue 3, pp. 792-797.).

【發明內容】

本發明提供一種半導體裝置及其操作方法與應用電路，可提高應用半導體裝置之無電池電子計時器的準確性。

本發明提出一種半導體裝置，包括一第一導電型半導體基底、一閘極介電層、一閘極介電層、一浮置閘、一第二導電型井區、一第一導電型井區、一第二導電型井區、一第二導電型源極擴散層、一第二導電型汲極擴散層以及一第二導電型控制閘極擴散層。其中閘極介電層形成於第一導電型半導體基底上。浮置閘形成於閘極介電層上。第二導電型井區形成於第一導電型半導體基底中。第一導電型井區形成於第二導電型井區中。第二導電型源極擴散層與第二導電型汲極擴散層分別形成於浮置閘兩側的第一導電型半導體基底中，第二導電型源極擴散層、第二導電型汲極擴散層與浮置閘形成一第二導電型電晶體，且第二導電型電晶體位於第二導電型井區外。另外第二導電型控制閘極擴散層則形成於第一導電型井區中。

在本發明之一實施例中，上述之半導體裝置更包括一源極接觸層、一汲極接觸層、一控制閘極接觸層、至少一第二井區接觸層、一第一井區接觸層以及一基底接觸層。其中源極接觸層配置於第二導電型源極擴散層上。汲極接觸層配置於第二導電型汲極擴散層上。控制閘極接觸層配置於第二導電型控制閘極擴散層上。第二井區接觸層配置於第二導電型井區上。第一井區接觸層配置於第一導電型井區上。基底接觸層配置於第一導電型半導體基底上。

在本發明之一實施例中，上述之第二井區接觸層位於第二導電型電晶體與第一導電型井區之間。

在本發明之一實施例中，上述之浮置閘與第二導電型

控制閘極擴散層的重疊區域大於浮置閘與第二導電型電晶體在第一導電型半導體基底表面上介於源極接觸層與汲極接觸層之間的通道區域的重疊區域。

本發明亦提出一種半導體裝置的操作方法，包括下列步驟。當讀取半導體裝置的充電狀態時，施加一掃讀偏壓於控制閘極接觸層，將源極接觸層與基底接觸層電性連接至一接地電壓，施加正偏壓於汲極接觸層，施加負偏壓於第一井區接觸層，施加正偏壓於第二井區接觸層或將第二井區接觸層電性連接至接地電壓。當程式化半導體裝置時，施加一第一偏壓於控制閘極接觸層，將源極接觸層、汲極接觸層與基底接觸層電性連接至接地電壓，施加一第二偏壓於第一井區接觸層與第二井區接觸層或將第一井區接觸層與第二井區接觸層電性連接至接地電壓，其中第一偏壓大於接地電壓，第二偏壓大於等於接地電壓且小於等於第一偏壓。當抹除半導體裝置時，施加負偏壓於控制閘極接觸層與第一井區接觸層，施加正偏壓於源極接觸層與汲極接觸層，將第二井區接觸層與基底接觸層電性連接至接地電壓。

本發明亦提出一種半導體裝置，包括一第一導電型半導體基底、一閘極介電層、一閘極介電層、一浮置閘、一第二導電型井區、一第二導電型井區、一第一導電型井區、一第二導電型源極擴散層、一第二導電型汲極擴散層、一第二導電型控制閘極擴散層以及一第二導電型互補電容閘極擴散層。其中閘極介電層形成於第一導電型半導體基

底上。浮置閘形成於閘極介電層上。第二導電型井區形成於第一導電型半導體基底中。第一導電型井區形成於第二導電型井區中。第二導電型互補電容閘極擴散層形成於第一導電型半導體基底中，且位於第二導電型井區外。第二導電型源極擴散層與第二導電型汲極擴散層分別形成於浮置閘兩側的第一導電型半導體基底中，第二導電型源極擴散層、第二導電型汲極擴散層與浮置閘形成一第二導電型電晶體，且此第二導電型電晶體位於第二導電型井區與第二導電型互補電容閘極擴散層之間。另外第二導電型控制閘極擴散層則形成於第一導電型井區中。

在本發明之一實施例中，上述之半導體裝置更包括一互補電容閘極接觸層，其配置於第二導電型互補電容閘極擴散層上。

本發明亦提出一種半導體裝置的操作方法，包括：當讀取半導體裝置的充電狀態時，施加一掃讀偏壓於控制閘極接觸層，施加正偏壓於汲極接觸層，並將源極接觸層、第一井區接觸層、第二井區接觸層、通道閘極接觸層與基底接觸層電性連接至接地電壓；當程式化半導體裝置時，施加一第一偏壓於控制閘極接觸層，施加一第二偏壓於源極接觸層、汲極接觸層、第一井區接觸層與第二井區接觸層，並將通道閘極接觸層與基底接觸層電性連接至接地電壓，其中第一偏壓大於接地電壓，第二偏壓大於等於接地電壓且小於等於第一偏壓；當抹除半導體裝置時，施加負偏壓於控制閘極接觸層與第一井區接觸層，將源極接觸

層、汲極接觸層、第二井區接觸層與基底接觸層電性連接至接地電壓，並施加正偏壓於通道閘極接觸層。

本發明亦提出一種半導體裝置，包括一第一導電型半導體基底、一閘極介電層、一閘極介電層、一浮置閘、一第二導電型井區、一第二導電型井區、一第一導電型井區、一第二導電型源極擴散層、一第二導電型汲極擴散層以及一第二導電型控制閘極擴散層。其中閘極介電層形成於第一導電型半導體基底上。浮置閘形成於閘極介電層上。第二導電型井區形成於第一導電型半導體基底中。第一導電型井區形成於第二導電型井區中。第二導電型互補電容閘極擴散層形成於第一導電型井區中。第二導電型控制閘極擴散層形成於第一導電型半導體基底中，且位於第二導電型井區外。第二導電型源極擴散層與第二導電型汲極擴散層分別形成於浮置閘兩側的第一導電型半導體基底中，第二導電型源極擴散層、第二導電型汲極擴散層與浮置閘形成一第二導電型電晶體，且此第二導電型電晶體位於第二導電型井區與第二導電型控制閘極擴散層之間。

本發明亦提出一種半導體裝置的操作方法，包括：當讀取半導體裝置的充電狀態時，施加一掃讀偏壓於控制閘極接觸層，施加正偏壓於汲極接觸層，並將源極接觸層、第一井區接觸層、第二井區接觸層、通道閘極接觸層與基底接觸層電性連接至接地電壓；當程式化半導體裝置時，施加正偏壓於控制閘極接觸層，施加負偏壓於第一井區接觸層與通道閘極接觸層，並將源極接觸層、汲極接觸層、

第二井區接觸層與基底接觸層電性連接至接地偏壓；當抹除半導體裝置時，施加一第一偏壓於通道閘極接觸層，施加一第二偏壓於第一井區接觸層與第二井區接觸層，將控制閘極接觸層、源極接觸層、汲極接觸層與基底接觸層電性連接至接地電壓，其中第一偏壓大於接地電壓，第二偏壓大於等於接地電壓且小於等於第一偏壓。

本發明亦提出一種並聯電路，包括多個如上述之半導體裝置，各半導體裝置之汲極接觸層與源極接觸層分別電性連接一第一端點與一第二端點。

本發明亦提出一種串並聯電路，包括多個如上述之並聯電路，其中此些並聯電路以串接的方式相互連接。

本發明亦提出一種串聯電路，包括多個如上述之半導體裝置，此些半導體裝置以串接的方式相互連接，其中串聯電路中的第一個半導體裝置的汲極接觸層電性連接一第一端點，串聯電路中的最後一個半導體裝置的源極接觸層電性連接一第二端點。

本發明亦提出一種串並聯電路，包括多個如上述之串聯電路，其中此些串聯電路以並聯的方式相互連接。

基於上述，本發明提出具有單層閘極介電層結構的半導體裝置，其無須製作絕緣層，由於閘極介電層在時間胞中的厚度是均勻的，因此可大幅改善第二導電型控制閘極擴散層、第二導電型源極擴散層與第二導電型汲極擴散層之間的漏電流情形，進而提高應用半導體裝置之無電池電子計時器的準確性。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

現將詳細參考本發明之實施例，在附圖中說明所述實施例之實例。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件/符號代表相同或類似部分。

第一實施例

圖 6A 繪示為本發明一實施例之半導體裝置的上視圖。圖 6B~圖 6D 分別繪示為圖 6A 中沿 A-A'、B-B'、C-C' 剖面線的剖面示意圖。請同時參照圖 6A~圖 6D，半導體裝置 600 包括一第一導電型半導體基底 602、一閘極介電層 604、一浮置閘 606、一第二導電型井區 608、一第一導電型井區 610、一第二導電型源極擴散層 612 與一第二導電型汲極擴散層 614 以及一第二導電型控制閘極擴散層 616。其中第二導電型源極擴散層 612、第二導電型汲極擴散層 614 與浮置閘 606 形成一第二導電型電晶體，且第二導電型電晶體位於第二導電型井區 608 外。浮置閘 606 與第二導電型控制閘極擴散層 616 的重疊區域大於浮置閘 606 與其它部份(第二導電型井區 608、第一導電型井區 610、第二導電型源極擴散層 612、第二導電型汲極擴散層 614)的重疊區域。

另外，半導體裝置 600 還包括一源極接觸層 612A、

一汲極接觸層 614A、一控制閘極接觸層 616A、至少一第二井區接觸層 608A、一第一井區接觸層 610A 以及一基底接觸層(未繪示)。其中源極接觸層 612A 配置於第二導電型源極擴散層 612 上。汲極接觸層 614A 配置於第二導電型汲極擴散層 614 上。控制閘極接觸層 616A 配置於第二導電型控制閘極擴散層 616 上。第二井區接觸層 608A 配置於第二導電型井區 608 上。第一井區接觸層 610A 配置於第一導電型井區 610 上。基底接觸層則配置於第一導電型半導體基底。

在此假設第一導電型為 P 型、第二導電型為 N 型，以下之說明將把與第一導電型與第二導電型有關的描述分別以 P 型與 N 型的描述方式代替。

在半導體裝置 600 中，閘極介電層 604 形成於 P 型半導體基底 602 上，浮置閘 606 形成於閘極介電層 604 上，N 型井區 608 形成於 P 型半導體基底 602 中，P 型井區 610 位於 N 型井區 608，N 型控制閘極擴散層 616 形成於 P 型井區 610 中。另外，N 型源極擴散層 612 與 N 型汲極擴散層 614 分別形成於浮置閘 606 兩側的 P 型半導體基底 602 中，N 型源極擴散層 612、N 型汲極擴散層 614 與浮置閘 606 形成一 N 型電晶體，且此 N 型電晶體位於 N 型井區 608 外。

當進行半導體裝置 600 的操作時，可透過對各個接觸層施加電壓脈衝，以進行半導體裝置 600 的讀取(read)、程式化(program)以及抹除(erase)等動作。藉由控制施加於各個接觸層的偏壓以及調整 P 型半導體基底 602 的摻雜分佈，可降

低從 N 型控制閘極擴散層 616 到 N 型電晶體的漏電流。本實施例之半導體裝置 600 的等效電路可如圖 4 所示，由於浮置閘 606 和 N 型控制閘極擴散層 616 間重疊區域的面積大於浮置閘 606 和 N 型電晶體在 P 型半導體基底 602 表面上介於 N 型源極擴散層 612 與 N 汲極擴散層 614 之間的通道區域的重疊區域的面積，因此控制電容 C_c （浮置閘 606 與 N 型控制閘極擴散層 616 之間的等效電容）之電容值大於閘極電容 C_g （包括浮置閘 606 與源極接觸層 612A 和汲極接觸層 614A 之間的通道區域所形成的等效電容）之電容值。

詳細來說，圖 6A~6D 實施例之半導體裝置 600 在進行讀取、程式化、抹除等操作時，於各接觸層上所施加的偏壓可如下列表 1 所示：

	讀取	程式化	抹除
控制閘極接觸層	掃讀偏壓	第一偏壓	負偏壓
源極接觸層	接地電壓	接地電壓	正偏壓
汲極接觸層	正偏壓	接地電壓	正偏壓
第一井區接觸層	負偏壓	第二偏壓或接地電壓	負偏壓
第二井區接觸層	正偏壓或接地電壓	第二偏壓或接地電壓	接地電壓
基底接觸層	接地電壓	接地電壓	接地電壓

表 1

如上表 1 所示，在讀取半導體裝置 600 的臨界電壓的偏移(shift)時，當施加一正偏壓於汲極接觸層 614A 上時，施加一掃讀(sweep)偏壓於控制閘極接觸層 616A 上。施加一負偏壓於第一井區接觸層 610A 上，以防止 P 型井區 610 與 N 型井區 608 間發生順偏壓的情形。另外並對第二井區接觸層 608A 施加正偏壓或將其電性連接至接地電壓，而源極接觸層 612A 與基底接觸層(未繪示)則電性連接至接地電壓。

當程式化半導體裝置 600 時，施加一第一偏壓於控制閘極接觸層 616A 上，同時施加一第二偏壓於第一井區接觸層 610A 和第二井區接觸層 608A 上或將第一井區接觸層 610A 和第二井區接觸層 608A 電性連接至接地電壓，其中第一偏壓大於接地電壓，而第二偏壓則大於等於接地電壓且小於等於第一偏壓。另外源極接觸層 612A、汲極接觸層 614A 與基底接觸層則電性連接至接地電壓。由於控制電容 C_c 相對於閘極電容 C_g 具有較大電容，因而出現電子從 P 型半導體基底 602、N 型源極擴散層 612 與 N 型汲極擴散層 614 注入到浮置閘 606 的情形，如此將使得半導體裝置 600 的臨界電壓上升。

另外在對半導體裝置 600 進行抹除時，施加負偏壓於控制閘極接觸層 616A 與第一井區接觸層 610A，同時對源極接觸層 612A 與汲極接觸層 614A 施加正偏壓，另外第二井區接觸層 608A 與基底接觸層則電性連接至接地電壓。如此一來，電子將從浮置閘 606 被釋出至 N 型源極擴散層

612 與 N 型汲極擴散層 614 間的通道中，進而使半導體裝置 600 的臨界電壓下降。

舉例來說，施加於圖 6A~6D 實施例之半導體裝置 600 中各個接觸層的偏壓值可如下列表 2 所示：

	讀取	程式化	抹除
控制閘極接觸層	-2~2V	10V	-8V
源極接觸層	0V	0V	2V
汲極接觸層	0.5V	0V	2V
第一井區接觸層	-2V	5V	-8V
第二井區接觸層	0V	5V	0V
基底接觸層	0V	0V	0V

表 2

如表 2 所示，當讀取半導體裝置 600 的臨界電壓的偏移時，對控制閘極接觸層 616A 進行-2 伏特(V)~2 伏特的電壓掃讀，同時施加 0.5V 於汲極接觸層 614A，而源極接觸層 612A、第二井區接觸層 608A 和基底接觸層上的偏壓則為 0V。而在程式化半導體裝置 600 時，施加 10V 在控制閘極接觸層 616A 上，同時施加 5V 的電壓於第一井區接觸層 610A 和第二井區接觸層 608A，而其它接觸層上的偏壓則為 0V。由於浮置閘 606 因程式化被充電至帶負電，因此半導體裝置 600 的臨界電壓上升。另外在抹除半導體裝置 600 時，則施加-8V 於控制閘極接觸層 616A 和第一井區接觸層 610A 上，而第二井區接觸層 608A 和基底接觸層上的偏壓為 0V。另外並施加 2V 的偏壓在源極接觸層 612A 和

汲極接觸層 614A 上。此時電子將從浮置閘 606 流向 N 型汲極擴散層 614 和 N 型源極擴散層 612，進而使得半導體裝置 600 的臨界電壓下降。

在部分的實施例中，亦可使在源極接觸層 612A 和汲極接觸層 614A 的偏壓亦可為 10V，而第一井區接觸層 610A 和基底接觸層上的偏壓為 8V。另外，控制閘極接觸層 616A 和第一井區接觸層 610A 則連接至接地電壓。

值得注意的是，在部分實施例中，表 2 中對半導體裝置 600 進行抹除時的操作電壓，亦可將源極接觸層 612A 和汲極接觸層 614A 電性連接至接地電壓(亦即半導體裝置 600 中只有控制閘極接觸層 616A 和第一井區接觸層 610A 被施加負偏壓，而其它接觸層上的偏壓為 0V)。由於控制電容 C_c 較閘極電容 C_g 具有較大的電容，電子將從浮置閘 606 流向 P 型半導體基底 602、N 型源極擴散層 612 與 N 型汲極擴散層 614。這將使得浮置閘 606 的被充電至帶正電，而使得半導體裝置 600 的臨界電壓下降。

第二實施例

圖 7 繪示為本發明另一實施例之半導體裝置的上視圖。請參照圖 7，本實施例之半導體裝置 700 與圖 6A 實施例之半導體裝置 600 的不同之處在於，本實施例之半導體裝置 700 的第二導電型井區 608 電性連接兩個第二井區接觸層 608A，且此兩個第二井區接觸層 608A 位於 N 型源極擴散層 612、N 型汲極擴散層 614 與 P 型半導體基底 602

所形成的 N 型電晶體與 P 型井區 610 之間。如此一來，N 型井區 608 便可抑制空乏層自 P 型井區 610 侵入到通道區域。

第三實施例

圖 8 繪示為圖 6A 實施例之 N 型源極擴散層 612 和 N 型汲極擴散層 614 間之電流與時間的關係圖。請參照圖 8，假設在本實施例之半導體裝置 600 在無任何電荷在浮置閘 606 中時的臨界電壓為 V_{t0} ，而抹除半導體裝置 600 然後初始化流逝時間(elapse time)後的半導體裝置 600 的臨界電壓為 V_{t1} ，其中 V_{t1} 小於臨界電壓 V_{t0} 。為了監測初始化後時間的流逝，我們可以藉由分別施加讀取脈衝電壓 V_{read} 和感測脈衝電壓 V_{sens} 於控制閘極接觸層 616A 和汲極接觸層 614A 上，以偵測 N 型源極擴散層 612 和 N 型汲極擴散層 614 之間的電流流動，第一井區接觸層 610A 為負偏壓以減少漏電流。此時其他的接觸層為電性連接至接地電壓的狀態。值得注意的是，讀取脈衝電壓 V_{read} 的電壓值必須介於臨界電壓值 v_{t1} 與 v_{t0} 之間。

如圖 8 所示，隨著半導體裝置 600 的臨界電壓值自 V_{t1} 隨時間逐步地增加，一開始 N 型源極擴散層 612 和 N 型汲極擴散層 614 間的電流被維持在大於一預設值，但當半導體裝置 600 的臨界電壓值到達偵測脈衝電壓 V_{read} 時，N 型源極擴散層 612 和 N 型汲極擴散層 614 之間的電流便迅速地下降。因此，我們可以藉由調整 $V_{read} - V_{t1}$

的值任意地設置半導體裝置 600 的生命期。此種類型的半導體裝置 600 被稱為無電池電子計時器 (Integrated Battery Less Electronic Timer, IBLET)。另外值得注意的是，在本實施例中，半導體裝置 600 最好是增強型的電晶體，因其具有較高的臨界電壓 V_{t0} 。在 V_{t0} 大於 0 而 V_{t1} 小於 0 的例子中，半導體裝置 600 被稱為“常關型 (normally-off type)”的無電池電子計時器。

第四實施例

若要移除因異常電荷流失所造成的生命期波動的問題，可將多個常關型無電池電子計時器 (亦即半導體裝置 600) 進行並聯。如圖 9A 之並聯電路示意圖所示，並聯電路 900A 包括多個半導體裝置 600，其中各個半導體裝置 600 的汲極接觸層 614 與源極接觸層 612 分別電性連接一第一端點 T1 與一第二端點 T2。由於半導體裝置 600 中異常的電荷流失將降低半導體裝置 600 的生命期，當並聯多個半導體裝置 600 時，並聯電路 900A 中生命期最長的半導體裝置 600 將決定整個系統的生命期。

第五實施例

圖 10A 繪示為本發明一實施例之串並聯電路的示意圖。請參照圖 10A，串並聯電路 1000A 包括多個串接的並聯電路 900A。如圖 10A 所示。系統的生命期是由串並聯電路 1000A 中生命期最短的並聯電路 900A 所決定，其中各個並聯電路 900A 的生命期是由各個並聯電路 900A 中生

命期最長的半導體裝置 600 所決定。假設各個並聯電路 900A 為由 N 個半導體裝置 600 所構成，且串並聯電路 1000A 包括 M 個並聯電路 900A。其中 M 的數值不可過大，以防止串並聯電路 1000A 的阻值上升。另一方面， M 的數值亦不可過小，以移除計數時間時未知的統計誤差因素。本實施例之串並聯電路 1000A 生命期短於 $N \times M$ 個半導體裝置 600 的最長生命期，且長於 $N \times M$ 個半導體裝置 600 的平均生命期。一般來說，在統計上的考量可設計 M 大於 20，且 N 必須大於 M 。

第六實施例

圖 11 繪示為圖 6A 實施例之另一 N 型源極擴散層 612 和 N 型汲極擴散層 614 間之電流與時間的關係圖。請參照圖 11，假設在半導體裝置 600 被初始化前，本實施例之半導體裝置 600 的初始臨界電壓為 V_{t2} 。藉由對半導體裝置 600 進行程式化，流逝時間被初始化。半導體裝置 600 的臨界電壓變為 V_{t3} ，其大於初始臨界電壓 V_{t2} 。為了讀取初始化後時間的流逝，可藉由分別施加讀取脈衝電壓 V_{read} 和感測脈衝電壓 V_{sens} 於控制閘極接觸層 616A 和汲極接觸層 614A 上，以偵測 N 型源極擴散層 612 和 N 型汲極擴散層 614 之間的電流流動，此時其他的接觸層為連接至接地電壓的狀態。值得注意的是，讀取脈衝電壓 V_{read} 的電壓值必須介於臨界電壓值 V_{t3} 與 V_{t2} 之間。

如圖 11 所示，隨著半導體裝置 600 的臨界電壓值自 V_{t3} 隨時間逐步地減少，一開始 N 型源極擴散層 612 和 N

型汲極擴散層 614 間無電流產生，而當半導體裝置 600 的臨界電壓值減少至低於讀取脈衝電壓 V_{read} 時，N 型源極擴散層 612 和 N 型汲極擴散層 614 之間將產生電流。因此，我們可以藉由調整 $V_{t3}-V_{read}$ 的值任意地設置半導體裝置 600 的生命期。此種類型的半導體裝置 600 可稱為“無電池電子計時器”。另外，在本實施例中，半導體裝置 600 最好是空乏型的電晶體，因其具有較低的臨界電壓 v_{t2} 。在 V_{t2} 小於 0 而 V_{t3} 大於 0 的例子中，半導體裝置 600 被稱為“常開型(normally-on type)”的無電池電子計時器。

第七實施例

圖 12A 繪示為本發明一實施例之串聯電路示意圖，串聯電路 1200A 包括多個串接的方式相互連接的常開型半導體裝置 600，其中串聯電路 1200A 中的第一個半導體裝置 600 的汲極接觸層 614A 電性連接第一端點 T1，串聯電路 1200A 中的最後一個半導體裝置 600 的源極接觸層 612A 電性連接第二端點 T2。只要半導體裝置 600 串聯的數目是夠大的，串聯電路 1200A 中生命期最長的半導體裝置 600 將決定系統的生命期，也就是說當生命期最長的半導體裝置 600 過期時，第一端點 T1 與第二端點 T2 間將變為導通的狀態。

第八實施例

圖 13A 繪示為本發明另一實施例之串並聯電路的示意圖。請參照圖 13A，串並聯電路 1300A 包括多個並聯的串聯電路 1200A。如圖 13A 所示。系統的生命期是由串並聯電路

1300A 中生命期最短的串聯電路 1200A 中生命期最長的半導體裝置 600 所決定。假設各個串聯電路 1200A 為由 N 個半導體裝置 600 所構成，且串並聯電路 1300A 包括 M 個串聯電路 1200A。其中 M 的數值亦不可過小，以移除計數時間時未知的統計誤差因素，否則將可能使串並聯電路 1300A 包括生命期異常長的串聯電路 1200A。本實施例可使串並聯電路 1300A 的生命期短於 $N \times M$ 個半導體裝置 600 的最長生命期，且長於 $N \times M$ 個半導體裝置 600 的平均生命期。一般來說，在統計上的考量可設計 M 大於 20，且 N 必須大於 M。

第九實施例

圖 14A 繪示為本發明另一實施例之半導體裝置的上視圖。圖 14B~圖 14C 分別繪示為圖 14A 中沿 A-A'，B-B' 剖面線的剖面示意圖。請同時參照圖 14A~圖 14C，本實施例之半導體裝置 1400 與圖 6A 實施例之半導體裝置 600 的不同之處在於，本實施例之半導體裝置 1400 更包括一第二導電型互補電容閘極擴散層 1402(亦即 N 型互補電容閘極擴散層)。N 型互補電容閘極擴散層 1402 形成於 P 型半導體基底 602 中，且位於 N 型井區 608 外，另外 N 型源極擴散層 612、N 型汲極擴散層 614 與浮置閘 606 所形成的 N 型電晶體位於 N 型互補電容閘極擴散層 1402 與 N 型井區 608 之間。此外，N 型互補電容閘極擴散層 1402 電性連接一互補電容閘極接觸層 1402A。本實施例之半導體裝置 1400 的等效電路可如圖 15 所示，其中 N 型互補電容閘極擴

散層 1402 與浮置閘 FG 間的等效電容標示為 C_t 。值得注意的是，控制電容 C_c 之電容值大於閘極電容 C_g 加上通道電容 C_t 的電容值。

詳細來說，圖 14A~14C 實施例之半導體裝置 1400 在進行讀取、程式化、抹除等操作時，於各接觸層上所施加的偏壓可如下列表 3 所示：

	讀取	程式化	抹除
控制閘極接觸層	掃讀偏壓	第一偏壓	負偏壓
源極接觸層	接地電壓	第二偏壓	接地電壓
汲極接觸層	正偏壓	第二偏壓	接地電壓
第一井區接觸層	接地電壓	第二偏壓	負偏壓
第二井區接觸層	接地電壓	第二偏壓	接地電壓
互補電容閘極接觸層	接地電壓	接地電壓	正偏壓
基底接觸層	接地電壓	接地電壓	接地電壓

表 3

如上表 3 所示，在讀取半導體裝置 1400 的臨界電壓的偏移時，施加一掃讀偏壓於控制閘極接觸層 616A 上，同時施加正偏壓於汲極接觸層 614A 上，其它的接觸層則被連接至接地電壓。

當程式化半導體裝置 1400 時，施加一第一偏壓於控制閘極接觸層 616A 上，同時分別施加一第二偏壓於源極接觸層 612A、汲極接觸層 614A、第一井區接觸層 610A 和第二井區接觸層 608A 上，另外並將互補電容閘極接觸層 1402A 和基底接觸層電性連接至接地電壓。其中第一偏

壓大於接地電壓，而第二偏壓則大於等於接地電壓且小於等於第一偏壓。由於控制電容 C_c 大於閘極電容 C_g 加上通道電容 C_t ($C_c > C_g + C_t$)，因而出現電子從 N 型互補電容閘極擴散層 1402 透過閘極介電層 604 流向浮置閘 606 的情形，進而使浮置閘 606 被充電至帶負電，因此半導體裝置 1400 的臨界電壓上升。

另外在對半導體裝置 1400 進行抹除時，施加負偏壓於控制閘極接觸層 616A 與第一井區接觸層 610A，同時對互補電容閘極接觸層 1402A 施加正偏壓，並將其它接觸層電性連接至接地電壓。如此一來，電子將從浮置閘 606 透過閘極介電層 604 流向 N 型互補電容閘極擴散層 1402，進而使得進而使浮置閘 606 被充電至帶正電，因此半導體裝置 1400 的臨界電壓下降。

第十實施例

圖 16A 繪示為本發明另一實施例之半導體裝置的上視圖。圖 16B 繪示為圖 16A 中沿 A-A' 剖面線的剖面示意圖。請同時參照圖 16A~圖 16B，本實施例之半導體裝置 1600 與圖 14A 實施例之半導體裝置 1400 的不同之處在於，在本實施例中，形成於 P 型井區 610 中的擴散層為 N 型互補電容閘極擴散層 1402，而原本在圖 14 實施例中形成於 P 型井區 610 中的 N 型控制閘極擴散層 616 則直接形成於 P 型半導體基底 602 中，且位於 N 型井區 608 外。另外，本實施例之半導體裝置 1600 的等效電路亦可如圖 15

所示，其中控制電容 C_c 之電容值亦大於閘極電容 C_g 加上通道電容 C_t 的電容值。

詳細來說，圖 16A~16B 實施例之半導體裝置 1600 的操作方法可如下列表 4 所示：

	讀取	程式化	抹除
控制閘極接觸層	掃讀偏壓	正偏壓	接地電壓
源極接觸層	接地電壓	接地電壓	接地電壓
汲極接觸層	正偏壓	接地電壓	接地電壓
第一井區接觸層	接地電壓	負偏壓	第二偏壓或接地電壓
第二井區接觸層	接地電壓	接地電壓	第二偏壓或接地電壓
互補電容閘極接觸層	接地電壓	負偏壓	第一偏壓
基底接觸層	接地電壓	接地電壓	接地電壓

表 4

如上表 4 所示，在讀取半導體裝置 1600 的臨界電壓的偏移時，施加一掃讀偏壓於控制閘極接觸層 616A 上，並施加正偏壓於汲極接觸層 614A 上，其它的接觸層則被連接至接地電壓。

當程式化半導體裝置 1600 時，施加正偏壓於控制閘極接觸層 616A 上，同時分別施加一負偏壓於第一井區接觸層 610A 以及互補電容閘極接觸層 1402A 上，其它的接觸層則被連接至接地電壓。值得注意的是，由於控制電容 C_c 大於閘極電容 C_g 加上通道電容 C_t ($C_c > C_g + C_t$)，因而出現電子從 N 型互補電容閘極擴散層 1402 與 P 型半導體基底 602 透過閘極介電層 604 流向浮置閘 606 的情形，進而使浮置閘 606 被充電至帶負電，因此半導體裝置 1400 的臨界電壓上升。

另外在對半導體裝置 1600 進行抹除時，施加一第一偏壓於互補電容閘極接觸層 1402A 上，同時對第一井區接觸層 610A 以及第二井區接觸層 608A 施加一第二偏壓，並將其它接觸層電性連接至接地電壓。其中第一偏壓大於接地電壓，而第二偏壓則大於等於接地電壓且小於等於第一偏壓。如此一來，電子將從浮置閘 606 將透過閘極介電層 604 流向 N 型互補電容閘極擴散層 1402，進而使得進而使浮置閘 606 被充電至帶正電，因此半導體裝置 1400 的臨界電壓下降。

值得注意的是，上述實施例雖皆以第一導電型為 P 型、第二導電型為 N 型進行半導體裝置及其操作方法與應用電路的說明，然實際上並不以此為限，在其他實施例中亦可設定第一導電型為 N 型、第二導電型為 P 型。另外在此所揭露的浮置閘的形狀亦不以上述實施例所揭露的形狀為限，只要在控制閘極擴散層所形成的等效電容大於介質

膜電子(dielectric film electrons)穿遂的其它電容，設計者皆可以依實際情形設計不同形狀的浮置閘來替代上述實施例所揭露的浮置閘。再者，上述圖 9A、圖 10A、圖 12A 以及圖 13A 中的並聯電路 900A、串並聯電路 1000A、串聯電路 1200A 以及串並聯電路 1300A 雖皆以半導體裝置 600 構成，然並不以此為限。如圖 9B~9D 所示之並聯電路 900B~並聯電路 900D，並聯電路 900A 中的半導體裝置 600 亦可以置換為上述圖 7、圖 14A 以及圖 16A 實施例中所揭示的半導體裝置 700、半導體裝置 1400 或半導體裝置 1600。如圖 10B~10D 所示之並串並聯電路 1000B~串並聯電路 1000D，串並聯電路 1000A 中的半導體裝置 600 亦可以置換為半導體裝置 700、半導體裝置 1400 或半導體裝置 1600。如圖 12B~12D 所示之串聯電路 1200B~串聯電路 1200D，串聯電路 1200A 中的半導體裝置 600 亦可以置換為半導體裝置 700、半導體裝置 1400 或半導體裝置 1600。如圖 13B~13D 所示之串並聯電路 1300B~串並聯電路 1300D，串並聯電路 1300A 中的半導體裝置 600 亦可以置換為半導體裝置 700、半導體裝置 1400 或半導體裝置 1600。

綜上所述，本發明利用控制施加於第二導電型井區和第一導電型井區的偏壓，並優化在第一導電型型半導體基底中的雜質分佈，可降低從第二導電型控制閘極擴散層到第二導電型源極擴散層、第二導電型汲極擴散層之間的漏電流。值得注意的是，上述實施例所揭露之半導體裝置並無製作絕緣層，因此我們採用了第一導電型井區和第二導

電型井區以改善第二導電型控制閘極擴散層、第二導電型源極擴散層與第二導電型汲極擴散層之間的漏電流情形，如此便可大幅地降低無電池電子計時器的生產成本。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A~圖 1D 繪示為習知之有效期控制電路的示意圖。

圖 2~圖 3 繪示為習知之時間胞結構的示意圖。

圖 4 繪示為圖 3 之時間胞結構的等效電路示意圖。

圖 5 繪示為習知之雙層多晶矽結構的時間胞等效電路示意圖。

圖 6A 繪示為本發明一實施例之半導體裝置的上視圖。

圖 6B~圖 6D 分別繪示為圖 6A 中沿 A-A', B-B', C-C' 剖面線的剖面示意圖。

圖 7 繪示為本發明另一實施例之半導體裝置的上視圖。

圖 8 繪示為圖 6A 實施例之 N 型源極擴散層 612 和 N 型汲極擴散層 614 間之電流與時間的關係圖。

圖 9A~9D 繪示為本發明實施例之並聯電路的示意圖。

圖 10A~10D 繪示為本發明實施例之串並聯電路的示

意圖。

圖 11 繪示為圖 6A 實施例之另一 N 型源極擴散層 612 和 N 型汲極擴散層 614 間之電流與時間的關係圖。

圖 12A~12D 繪示為本發明實施例之串聯電路示意圖

圖 13A~13D 繪示為本發明實施例之串並聯電路的示意圖

圖 14A 繪示為本發明另一實施例之半導體裝置的上視圖。

圖 14B~圖 14C 分別繪示為圖 14A 中沿 A-A'、B-B' 剖面線的剖面示意圖。

圖 15 繪示為半導體裝置 1400 的等效電路示意圖。

圖 16A 繪示為本發明另一實施例之半導體裝置的上視圖。

圖 16B 繪示為圖 16A 中沿 A-A' 剖面線的剖面示意圖。

【主要元件符號說明】

102、104、106：時間胞

202：淺溝槽絕緣層

302：局部矽氧化層

600、700、1400、1600：半導體裝置

602：第一導電型半導體基底

604：閘極介電層

606、FG：浮置閘

608：第二導電型井區

608A：第二井區接觸層
610：第一導電型井區
610A：第一井區接觸層
612：第二導電型源極擴散層
612A：源極接觸層
614：第二導電型汲極擴散層
614A：汲極接觸層
616：第二導電型控制閘極擴散層
616A：控制閘極接觸層
900A：並聯電路
1000A、1300A：串並聯電路
1200A：串聯電路
1402：第二導電型互補電容閘極擴散層
A-A'、 B-B'、 C-C'：剖面線
T1、T2：端點
Ct：通道電容
Cc：控制電容
Cg：閘極電容
NS：N型源極
ND：N型汲極
PSUB：P型基底
NCG：N型控制閘極

七、申請專利範圍：

1. 一種半導體裝置，包括：

一第一導電型半導體基底；

一閘極介電層，形成於該第一導電型半導體基底上；

一浮置閘，形成於該閘極介電層上；

一第二導電型井區，形成於該第一導電型半導體基底中；

一第一導電型井區，形成於該第二導電型井區中；

一第二導電型源極擴散層與一第二導電型汲極擴散層，分別形成於該浮置閘兩側的該第一導電型半導體基底中，該第二導電型源極擴散層、該第二導電型汲極擴散層與該浮置閘形成一第二導電型電晶體，且該第二導電型電晶體位於該第二導電型井區外；以及

一第二導電型控制閘極擴散層，形成於該第一導電型井區中。

2. 如申請專利範圍第 1 項所述之半導體裝置，更包括：

一源極接觸層，配置於該第二導電型源極擴散層上；

一汲極接觸層，配置於該第二導電型汲極擴散層上；

一控制閘極接觸層，配置於該第二導電型控制閘極擴散層上；

至少一第二井區接觸層，配置於該第二導電型井區上；

一第一井區接觸層，配置於該第一導電型井區上；以

及

一基底接觸層，配置於該第一導電型半導體基底上。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中該第二井區接觸層位於該第二導電型電晶體與該第一導電型井區之間。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中該浮置閘與該第二導電型控制閘極擴散層的重疊區域大於該浮置閘與該第二導電型電晶體在該第一導電型半導體基底表面上介於該源極接觸層與該汲極接觸層之間的通道區域的重疊區域。

5. 一種如請求項 1 之半導體裝置的操作方法，包括：

當讀取該半導體裝置的充電狀態時，施加一掃讀偏壓於該控制閘極接觸層，將該源極接觸層與該基底接觸層電性連接至一接地電壓，施加正偏壓於該汲極接觸層，施加負偏壓於該第一井區接觸層，施加正偏壓於該第二井區接觸層或將該第二井區接觸層電性連接至該接地電壓；

當程式化該半導體裝置時，施加一第一偏壓於該控制閘極接觸層，將該源極接觸層、該汲極接觸層與該基底接觸層電性連接至該接地電壓，施加一第二偏壓於該第一井區接觸層與該第二井區接觸層或將該第一井區接觸層與該第二井區接觸層電性連接至該接地電壓，其中該第一偏壓大於該接地電壓，該第二偏壓大於等於該接地電壓且小於等於該第一偏壓；以及

當抹除該半導體裝置時，施加負偏壓於該控制閘極接

觸層與該第一井區接觸層，施加正偏壓於該源極接觸層與該汲極接觸層，將該第二井區接觸層與該基底接觸層電性連接至該接地電壓。

6. 一種半導體裝置，包括：

一第一導電型半導體基底；

一閘極介電層，形成於該第一導電型半導體基底上；

一浮置閘，形成於該閘極介電層上；

一第二導電型井區，形成於該第一導電型半導體基底中；

一第一導電型井區，形成於該第二導電型井區中；

一第二導電型互補電容閘極擴散層，形成於該第一導電型半導體基底中，且位於該第二導電型井區外；

一第二導電型源極擴散層與一第二導電型汲極擴散層，分別形成於該浮置閘兩側的該第一導電型半導體基底中，該第二導電型源極擴散層、該第二導電型汲極擴散層與該浮置閘形成一第二導電型電晶體，且該第二導電型電晶體位於該第二導電型井區與該第二導電型互補電容閘極擴散層之間；以及

一第二導電型控制閘極擴散層，形成於該第一導電型井區中。

7. 如申請專利範圍第 6 項所述之半導體裝置，更包括：

一源極接觸層，配置於該第二導電型源極擴散層上；

一汲極接觸層，配置於該第二導電型汲極擴散層上；

一控制閘極接觸層，配置於該第二導電型控制閘極擴散層上；

至少一第二井區接觸層，配置於該第二導電型井區上；

一第一井區接觸層，配置於該第一導電型井區上；

一基底接觸層，配置於該第一導電型半導體基底上；

以及

一互補電容閘極接觸層，配置於該第二導電型互補電容閘極擴散層上。

8. 一種如請求項 7 之半導體裝置的操作方法，包括：

當讀取該半導體裝置的充電狀態時，施加一掃讀偏壓於該控制閘極接觸層，施加正偏壓於該汲極接觸層，將該源極接觸層、該第一井區接觸層、該第二井區接觸層、該通道閘極接觸層與該基底接觸層電性連接至一接地電壓；

當程式化該半導體裝置時，施加一第一偏壓於該控制閘極接觸層，施加一第二偏壓於該源極接觸層、該汲極接觸層、該第一井區接觸層與該第二井區接觸層，將該通道閘極接觸層與該基底接觸層電性連接至該接地電壓，其中該第一偏壓大於該接地電壓，該第二偏壓大於等於該接地電壓且小於等於該第一偏壓；以及

當抹除該半導體裝置時，施加負偏壓於該控制閘極接觸層與該第一井區接觸層，將該源極接觸層、該汲極接觸層、該第二井區接觸層與該基底接觸層電性連接至該接地電壓，施加正偏壓於該通道閘極接觸層。

9. 一種半導體裝置，包括：

一第一導電型半導體基底；

一閘極介電層，形成於該第一導電型半導體基底上；

一浮置閘，形成於該閘極介電層上；

一第二導電型井區，形成於該第一導電型半導體基底中；

一第一導電型井區，形成於該第二導電型井區中；

一第二導電型互補電容閘極擴散層，形成於該第一導電型井區中；以及

一第二導電型控制閘極擴散層，形成於該第一導電型半導體基底中，且位於該第二導電型井區外；

一第二導電型源極擴散層與一第二導電型汲極擴散層，分別形成於該浮置閘兩側的該第一導電型半導體基底中，該第二導電型源極擴散層、該第二導電型汲極擴散層與該浮置閘形成一第二導電型電晶體，且該第二導電型電晶體位於該第二導電型井區與該第二導電型控制閘極擴散層之間。

10. 如申請專利範圍第 9 項所述之半導體裝置，更包括：

一源極接觸層，配置於該第二導電型源極擴散層上；

一汲極接觸層，配置於該第二導電型汲極擴散層上；

一控制閘極接觸層，配置於該第二導電型控制閘極擴散層上；

至少一第二井區接觸層，配置於該第二導電型井區

上；

- 一第一井區接觸層，配置於該第一導電型井區上；
- 一基底接觸層，配置於該第一導電型半導體基底上；

以及

一互補電容閘極接觸層，配置於該第二導電型互補電容閘極擴散層上。

11. 一種如請求項 10 之半導體裝置的操作方法，包括：

當讀取該半導體裝置的充電狀態時，施加一掃讀偏壓於該控制閘極接觸層，施加正偏壓於該汲極接觸層，將該源極接觸層、該第一井區接觸層、該第二井區接觸層、該通道閘極接觸層與該基底接觸層電性連接至一接地電壓；

當程式化該半導體裝置時，施加正偏壓於該控制閘極接觸層，施加負偏壓於該第一井區接觸層與該通道閘極接觸層，將該源極接觸層、該汲極接觸層、該第二井區接觸層與該基底接觸層電性連接至該接地偏壓；以及

當抹除該半導體裝置時，施加一第一偏壓於該通道閘極接觸層，施加一第二偏壓於該第一井區接觸層與該第二井區接觸層，將該控制閘極接觸層、該源極接觸層、該汲極接觸層與該基底接觸層電性連接至該接地電壓，其中該第一偏壓大於該接地電壓，該第二偏壓大於等於該接地電壓且小於等於該第一偏壓。

12. 一種並聯電路，包括多個如請求項 2 之半導體裝置，各該半導體裝置之該汲極接觸層與該源極接觸層分別

電性連接一第一端點與一第二端點。

13. 一種串並聯電路，包括多個如請求項 12 之並聯電路，其中該些並聯電路以串接的方式相互連接。

14. 一種並聯電路，包括多個如請求項 7 之半導體裝置，各該半導體裝置之該汲極接觸層與該源極接觸層分別電性連接一第一端點與一第二端點。

15. 一種串並聯電路，包括多個如請求項 14 之並聯電路，其中該些並聯電路以串接的方式相互連接。

16. 一種並聯電路，包括多個如請求項 10 之半導體裝置，各該半導體裝置之該汲極接觸層與該源極接觸層分別電性連接一第一端點與一第二端點。

17. 一種串並聯電路，包括多個如請求項 16 之並聯電路，其中該些並聯電路以串接的方式相互連接。

18. 一種串聯電路，包括多個如請求項 2 之半導體裝置，該些半導體裝置以串接的方式相互連接，其中該串聯電路中的第一個半導體裝置的汲極接觸層電性連接一第一端點，該串聯電路中的最後一個半導體裝置的源極接觸層電性連接一第二端點。

19. 一種串並聯電路，包括多個如請求項 18 之串聯電路，其中該些串聯電路以並聯的方式相互連接。

20. 一種串聯電路，包括多個如請求項 7 之半導體裝置，該些半導體裝置以串接的方式相互連接，其中該串聯電路中的第一個半導體裝置的汲極接觸層電性連接一第一端點，該串聯電路中的最後一個半導體裝置的源極接觸層

電性連接一第二端點。

21. 一種串並聯電路，包括多個如請求項 20 之串聯電路，其中該些串聯電路以並聯的方式相互連接。

22. 一種串聯電路，包括多個如請求項 10 之半導體裝置，該些半導體裝置以串接的方式相互連接，其中該串聯電路中的第一個半導體裝置的汲極接觸層電性連接一第一端點，該串聯電路中的最後一個半導體裝置的源極接觸層電性連接一第二端點。

23. 一種串並聯電路，包括多個如請求項 22 之串聯電路，其中該些串聯電路以並聯的方式相互連接。

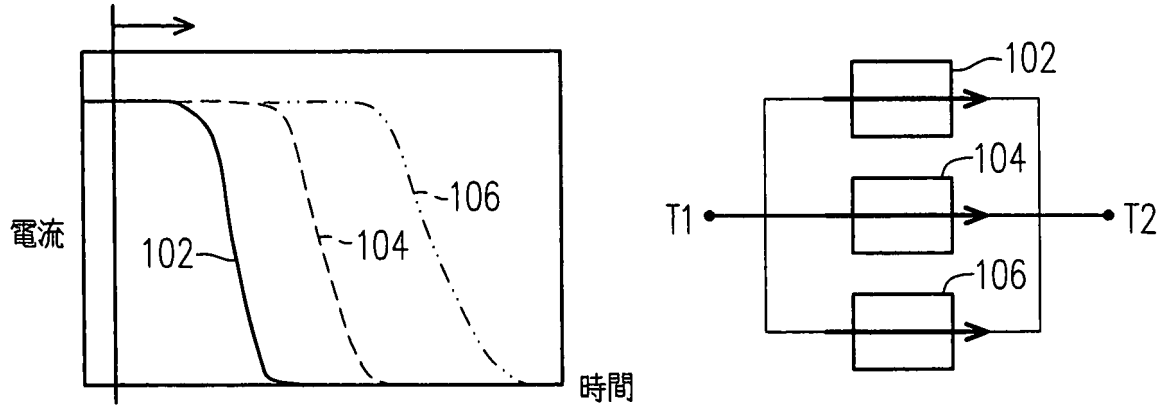


圖 1A

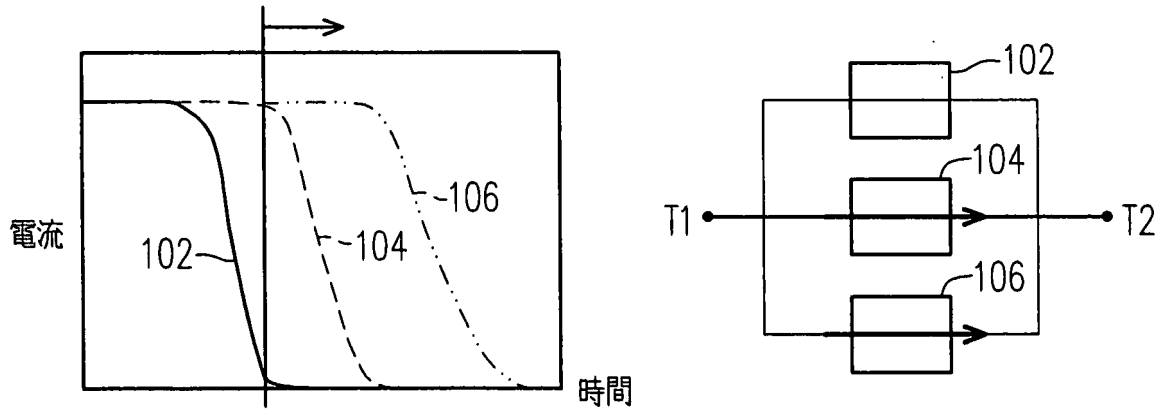


圖 1B

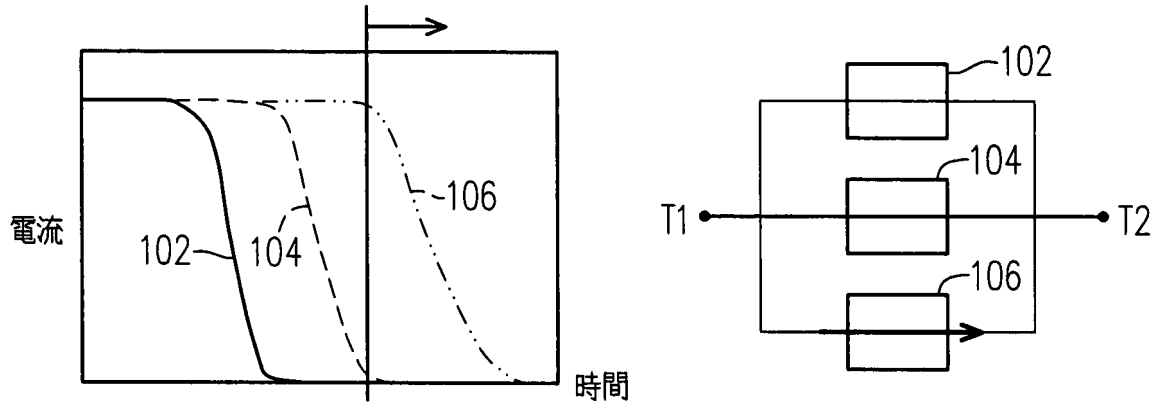


圖 1C

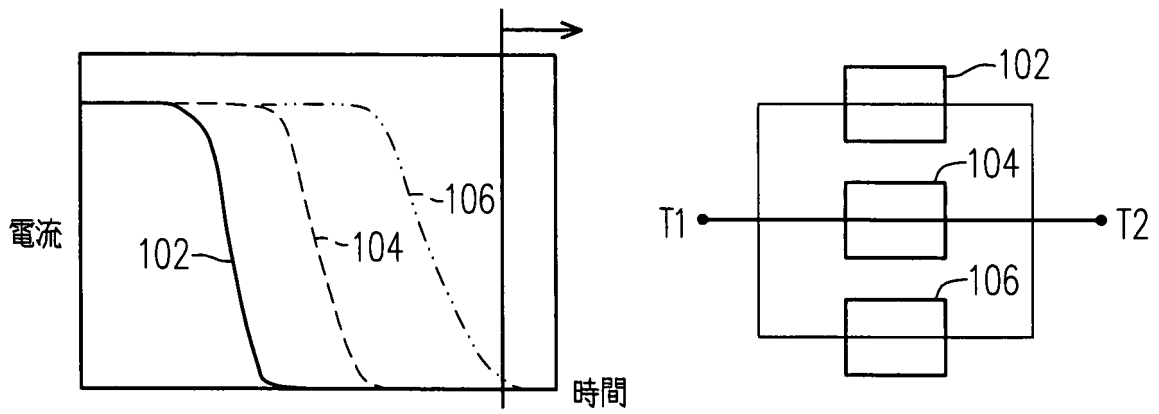


圖 1D

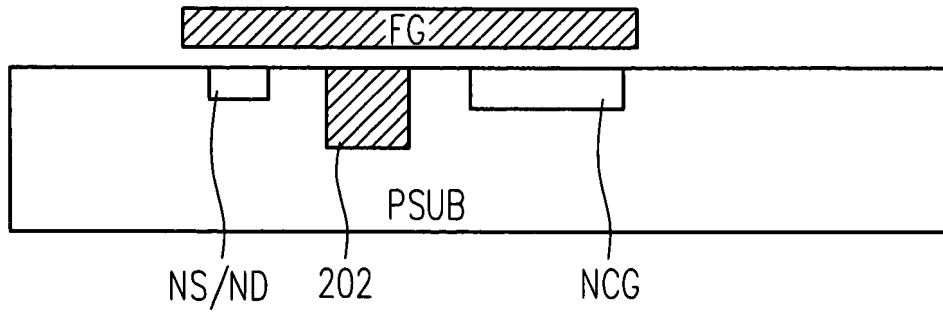


圖 2

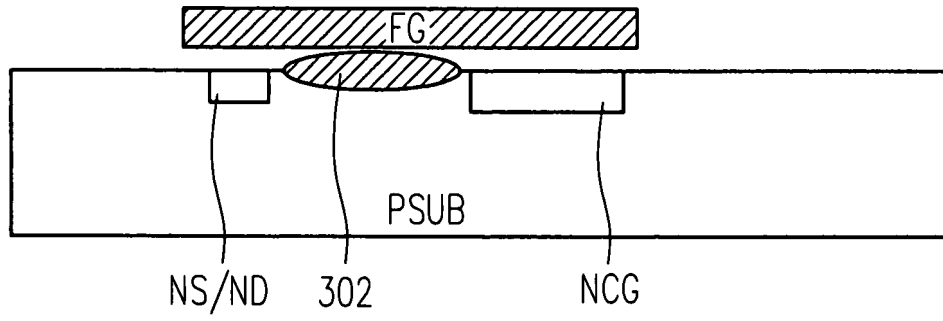


圖 3

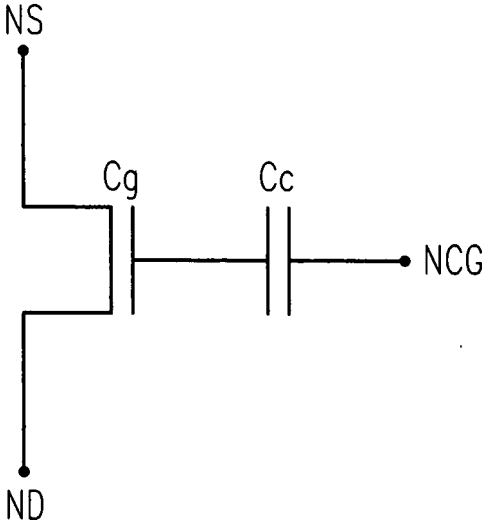


圖 4

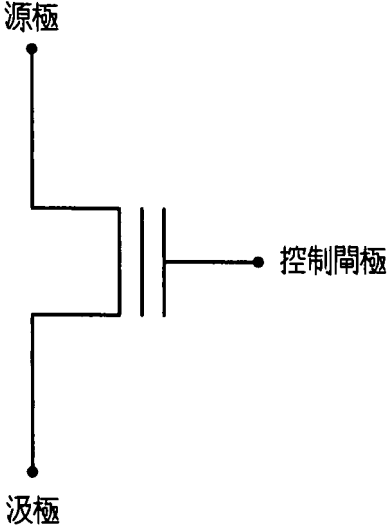


圖 5

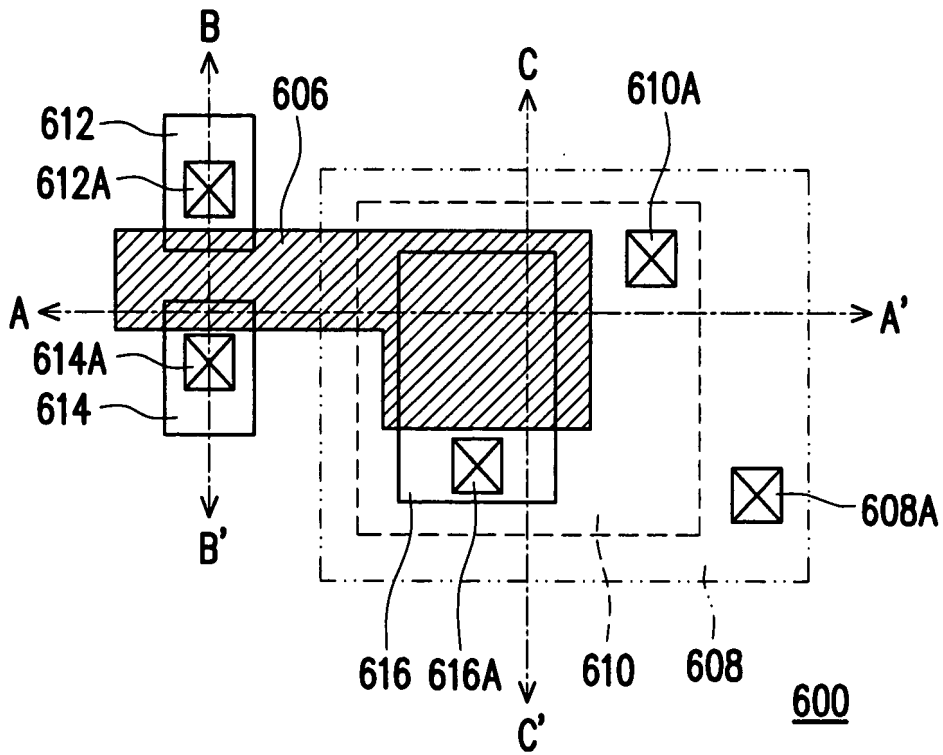


圖 6A

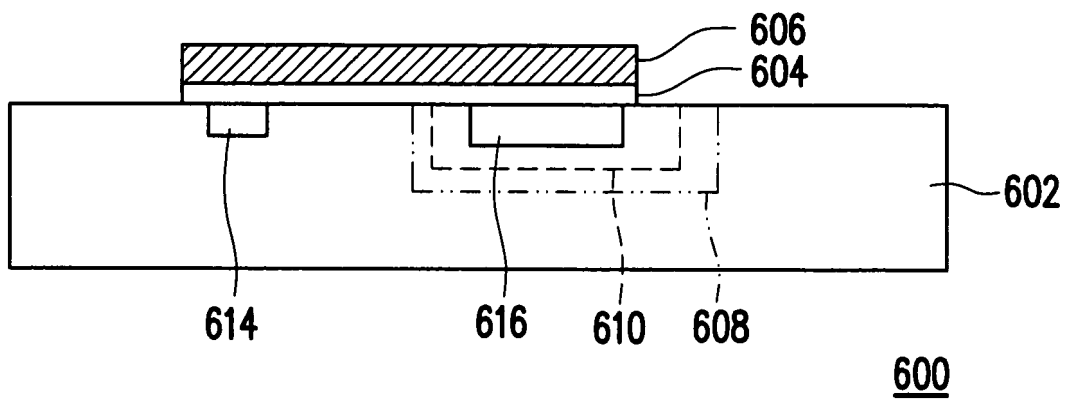


圖 6B

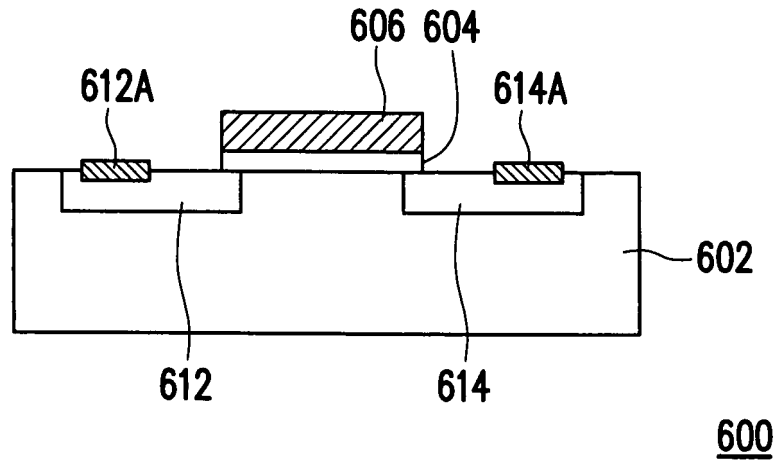


圖 6C

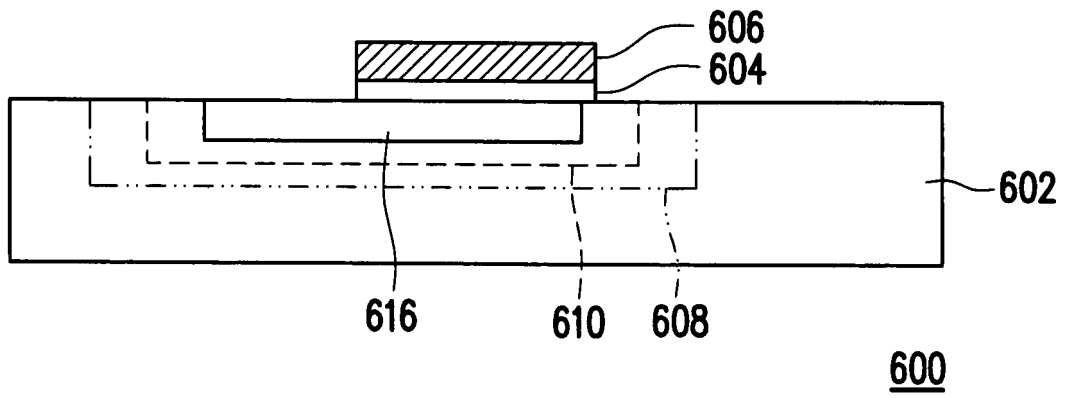


圖 6D

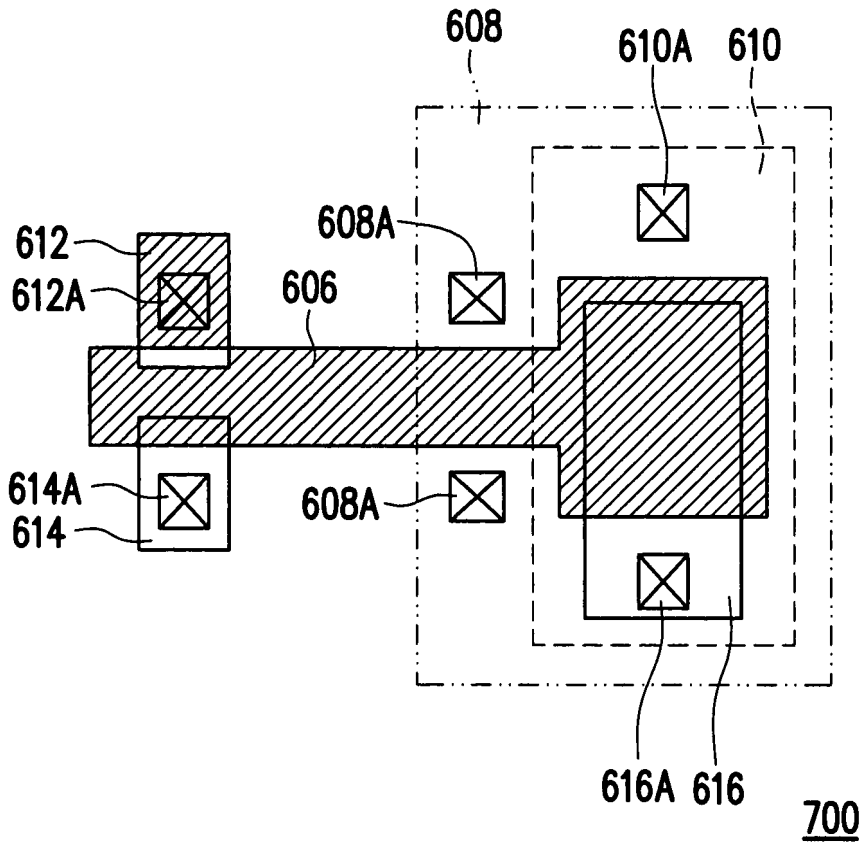


圖 7

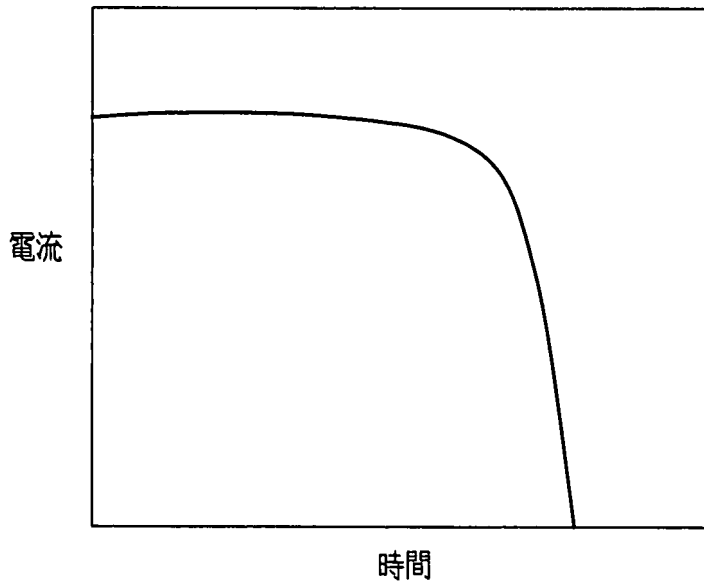


圖 8

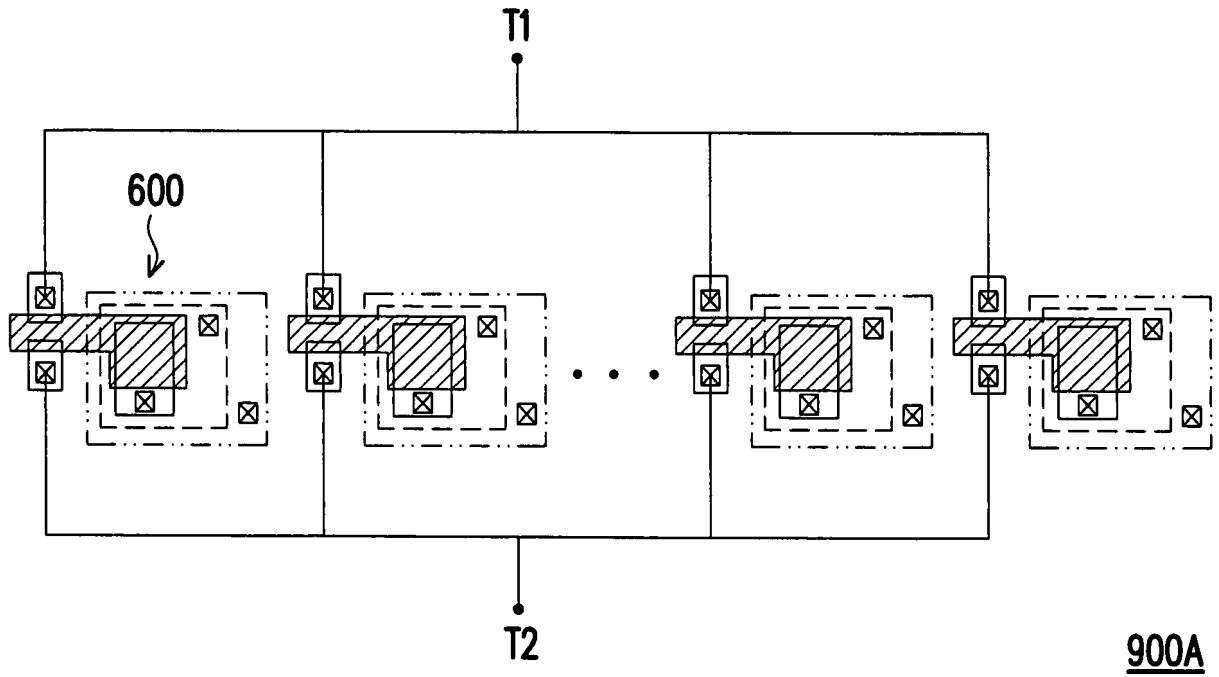


圖 9A

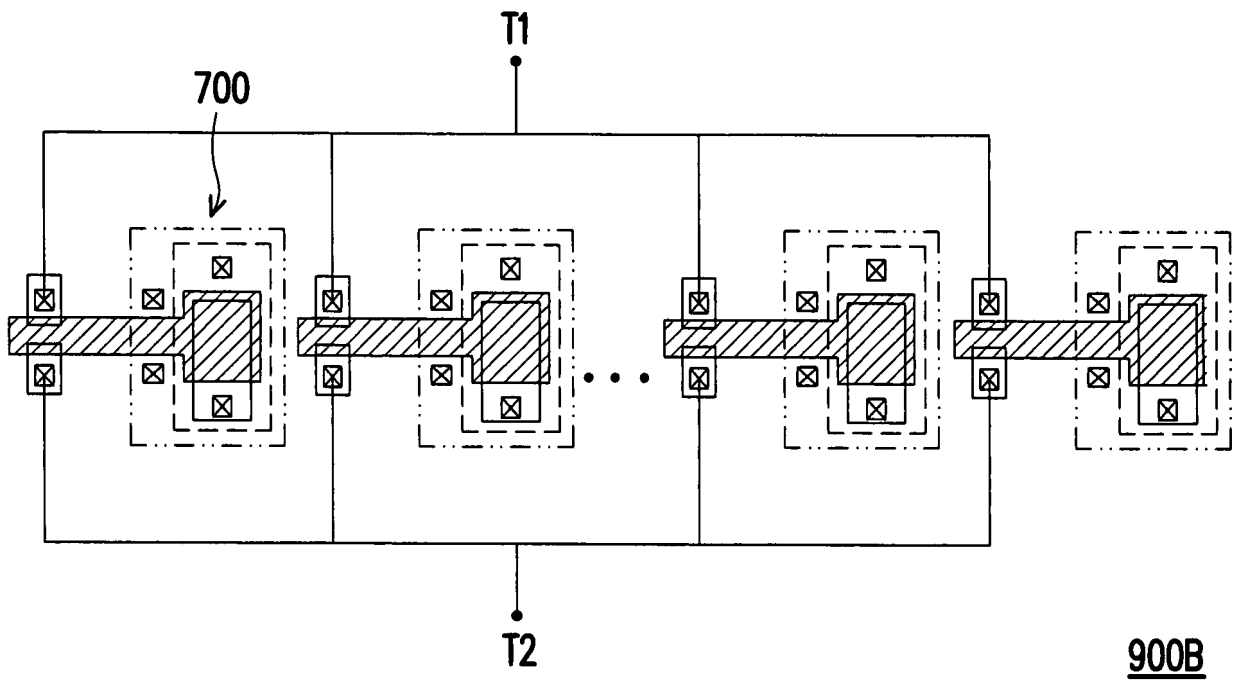


圖 9B

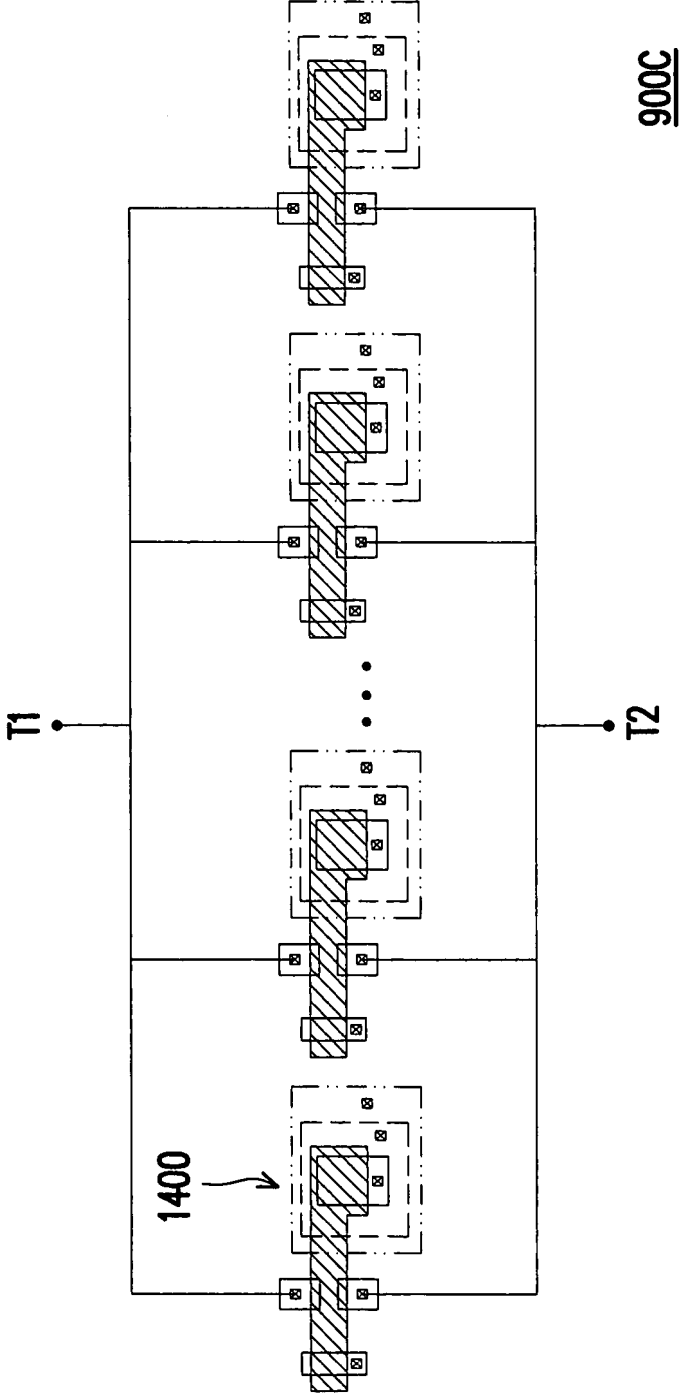


圖 9C

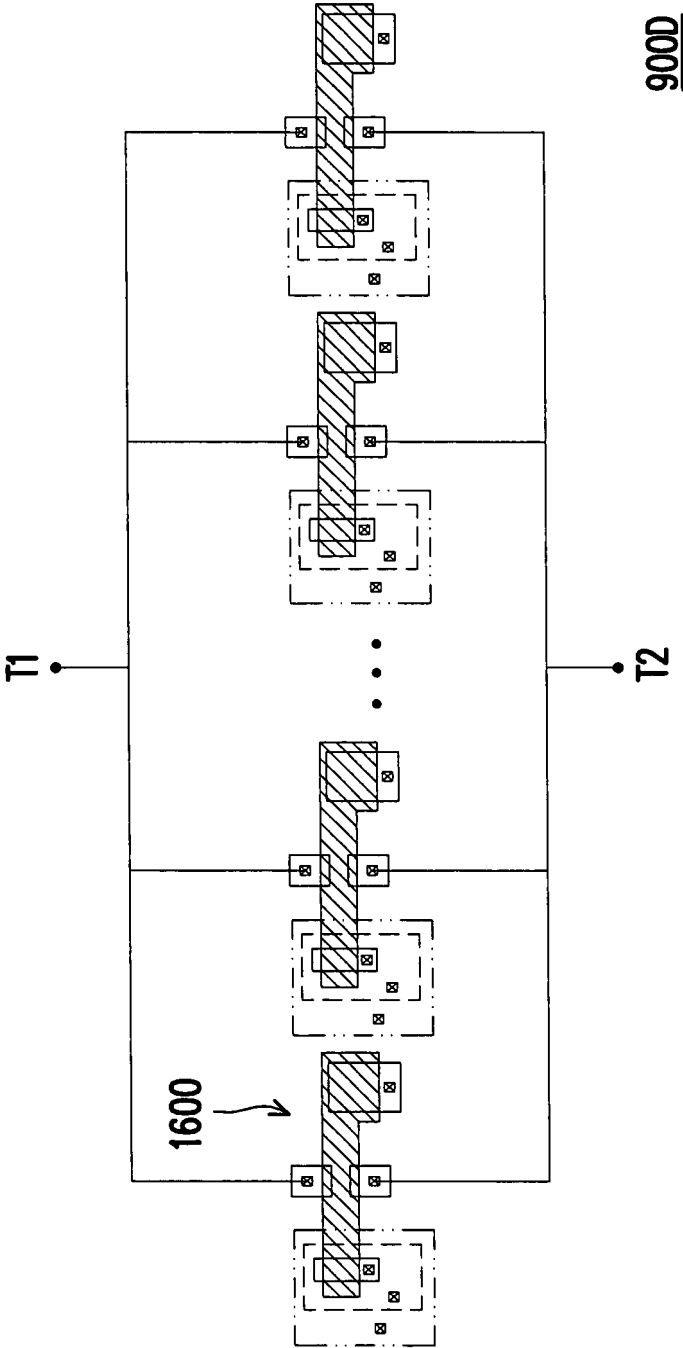


圖 9D

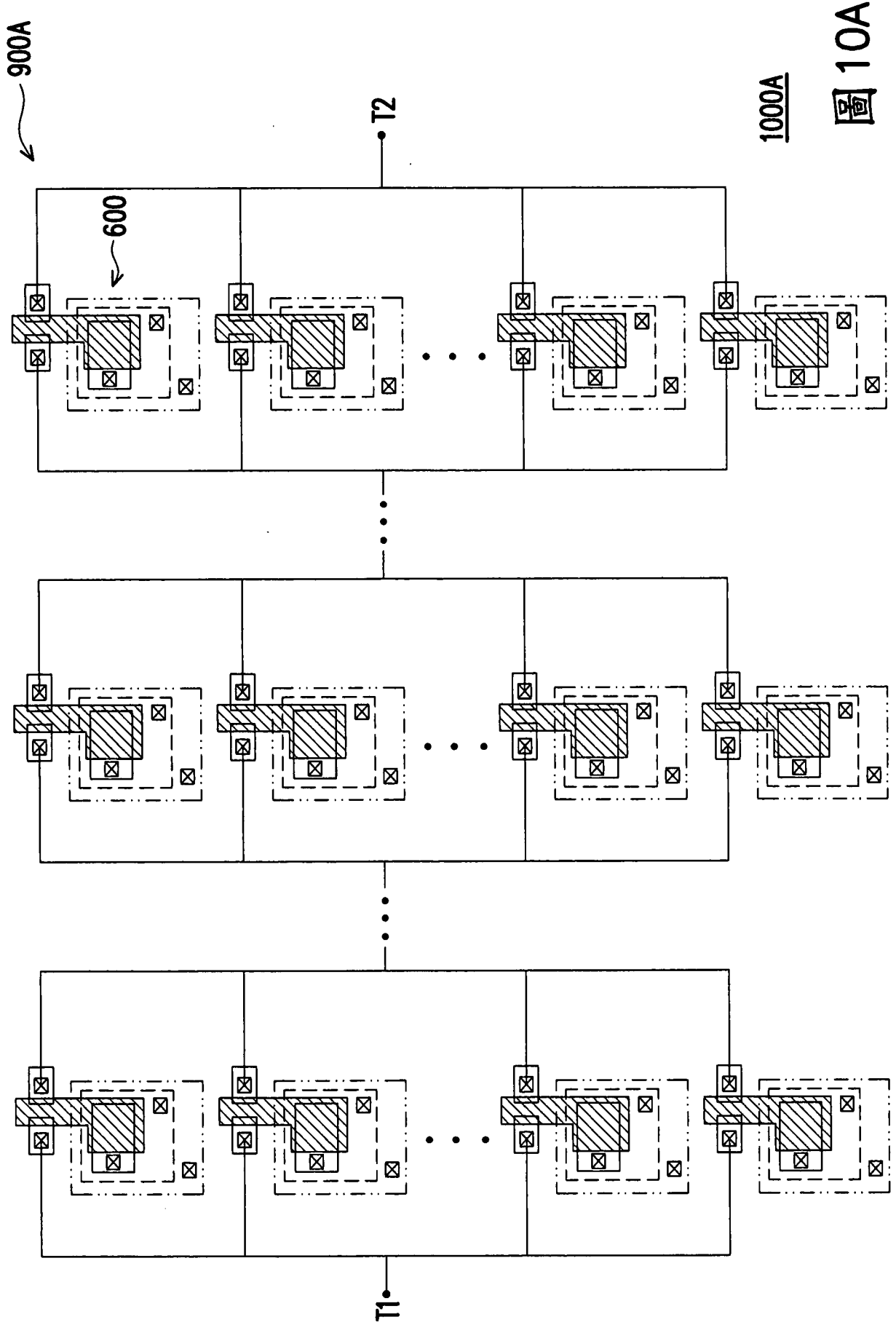


圖 10A

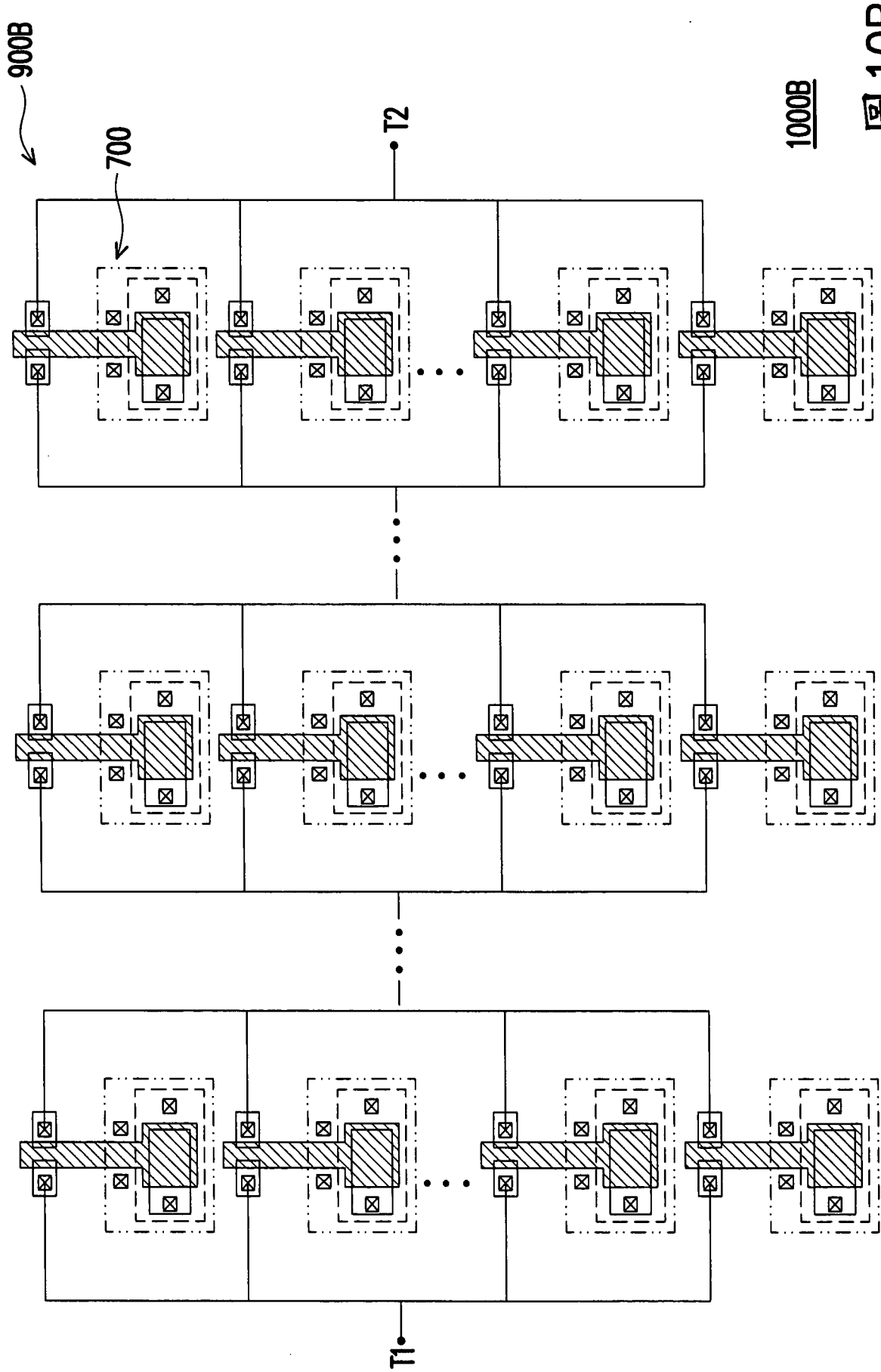


圖 10B

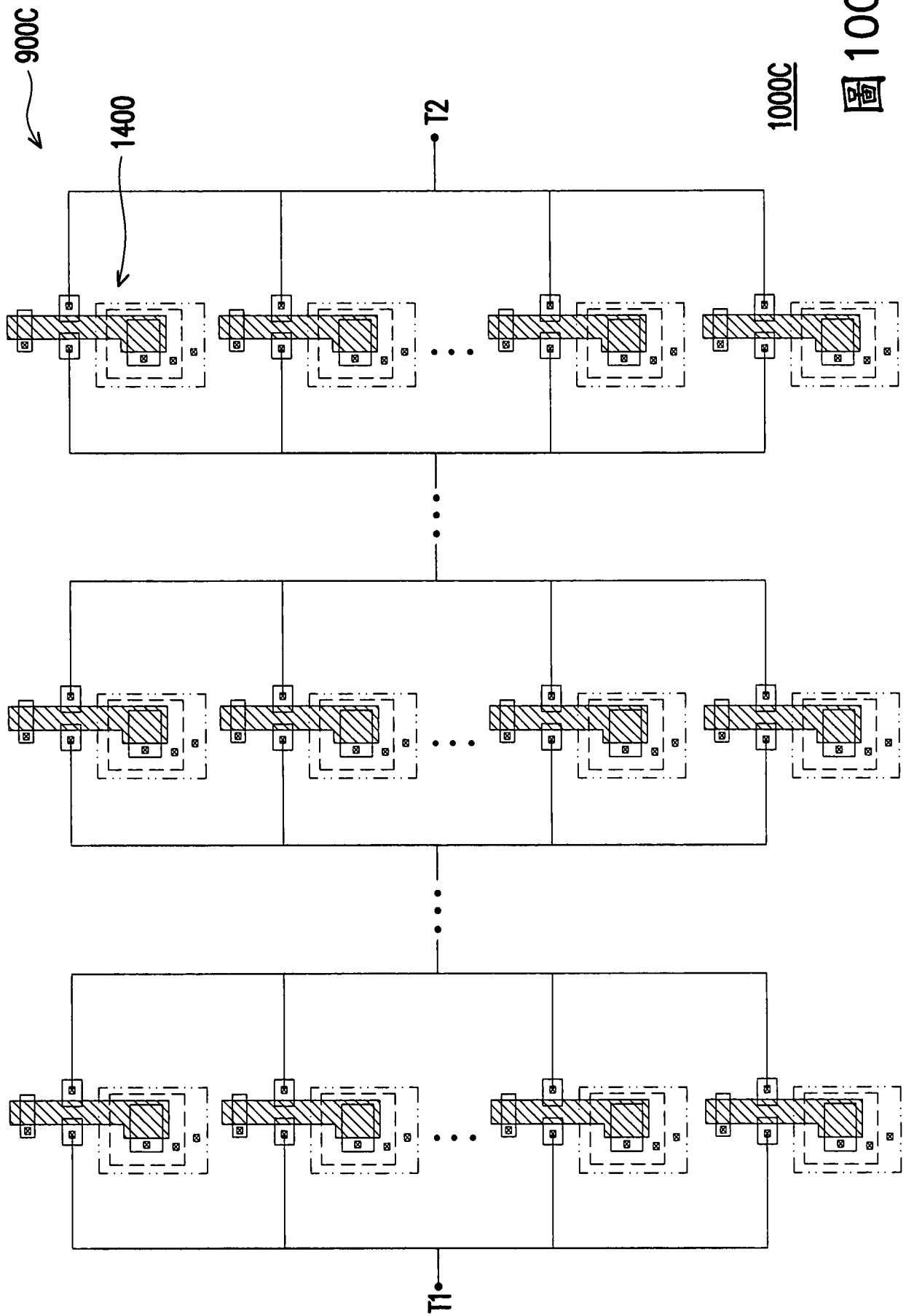


圖 10C

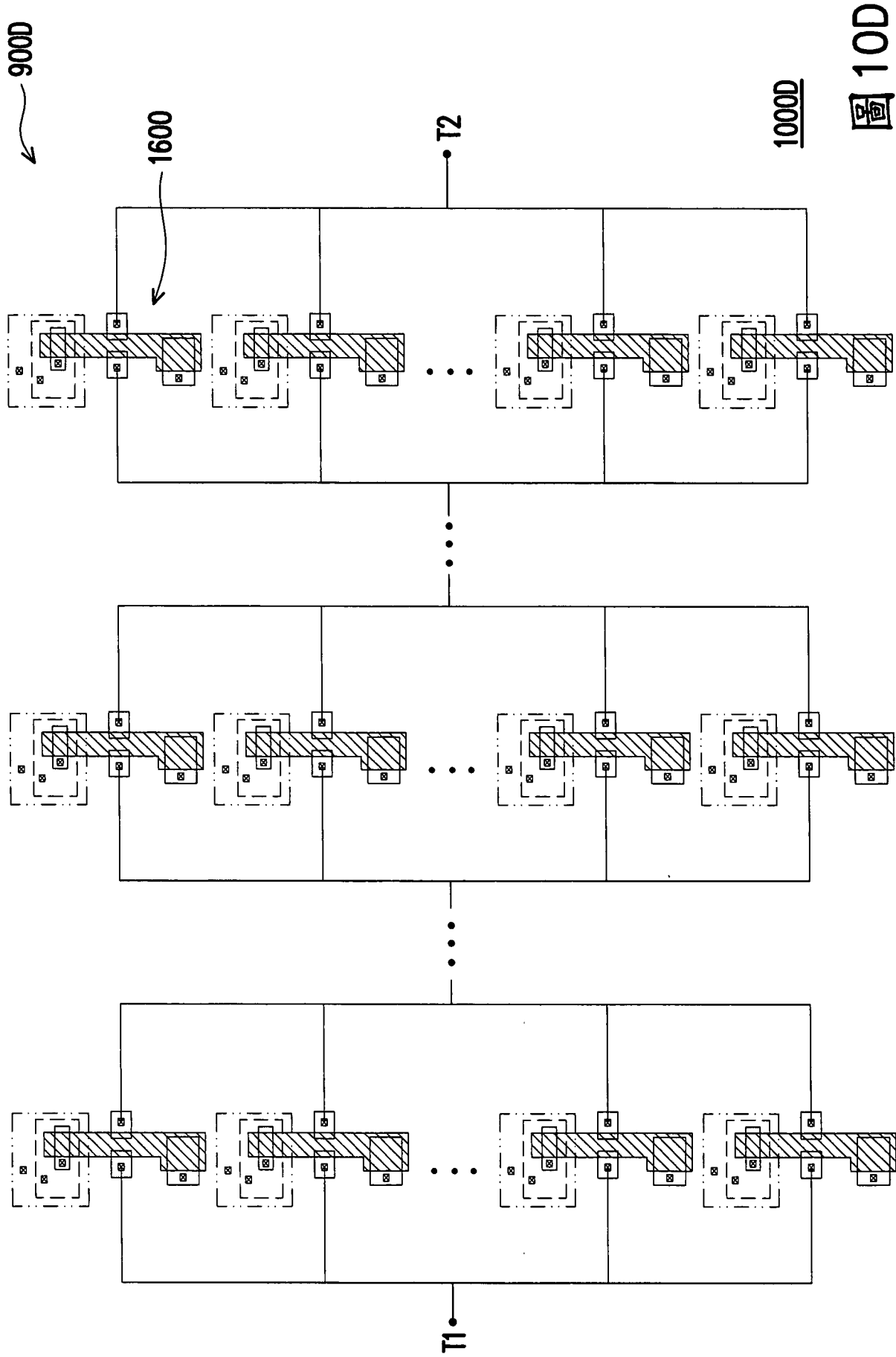
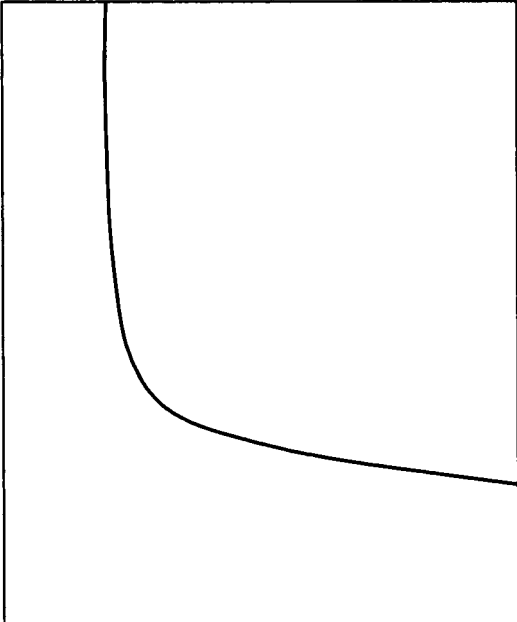


圖 10D



時間

圖11

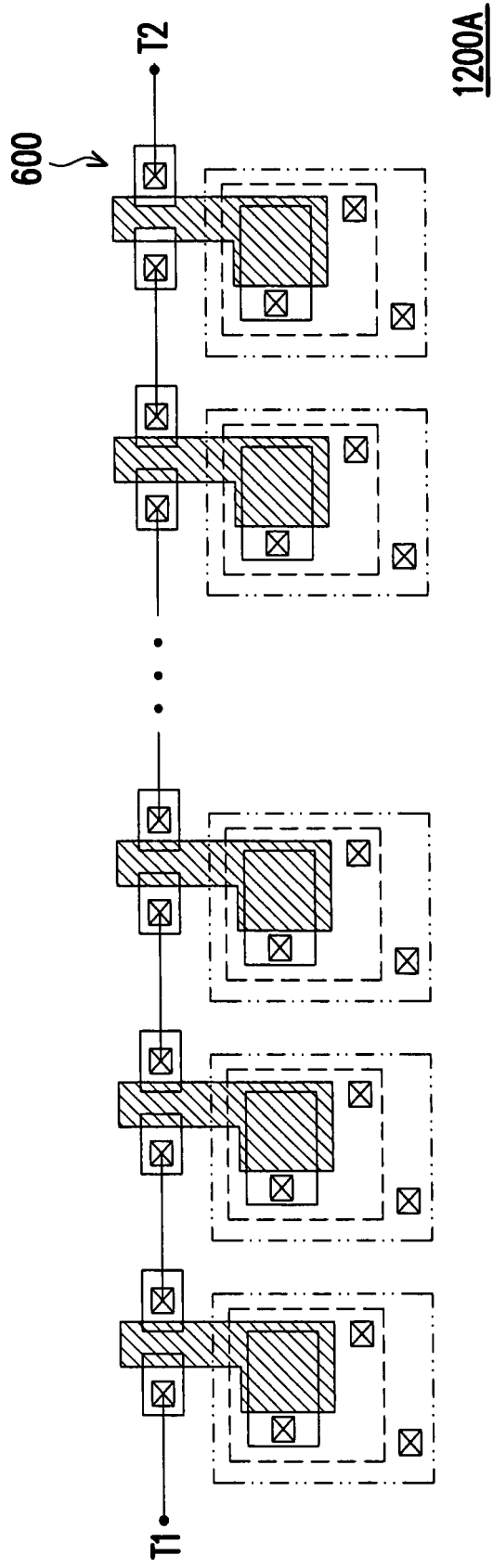


圖12A

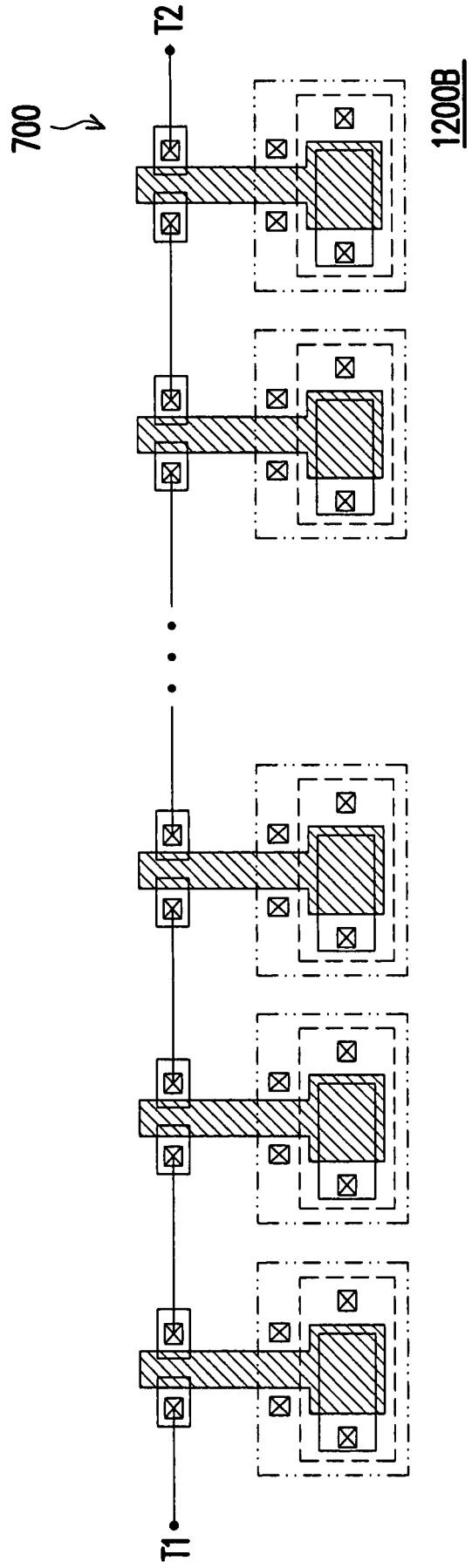


圖 12B

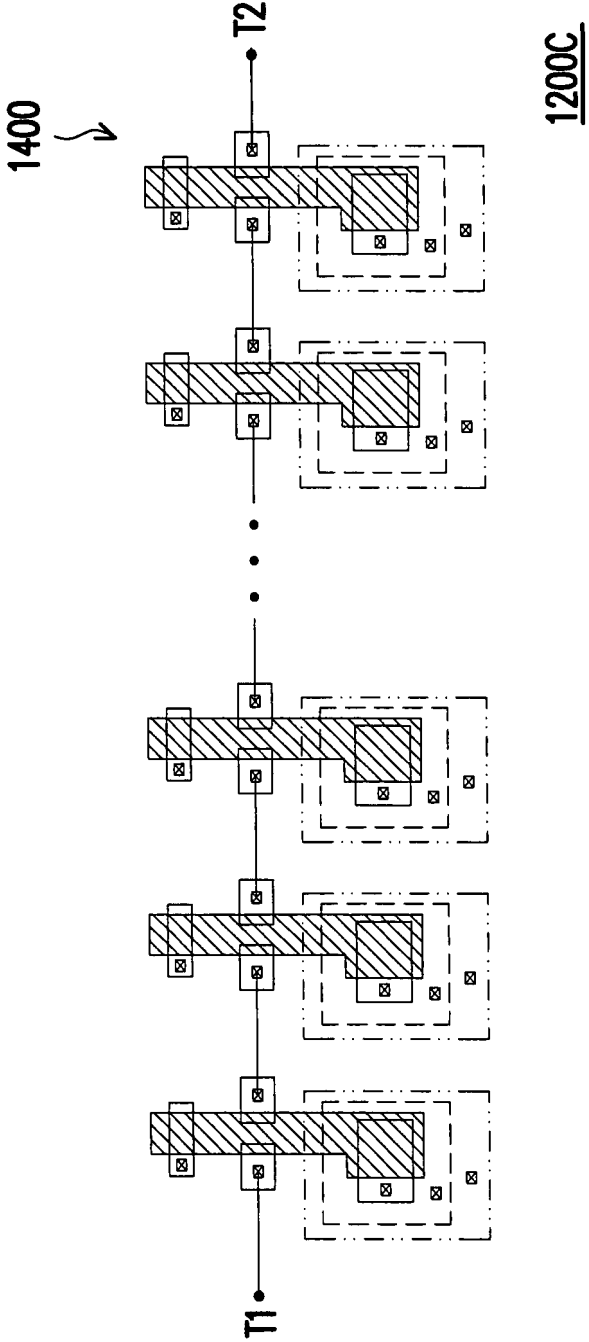


圖 12C

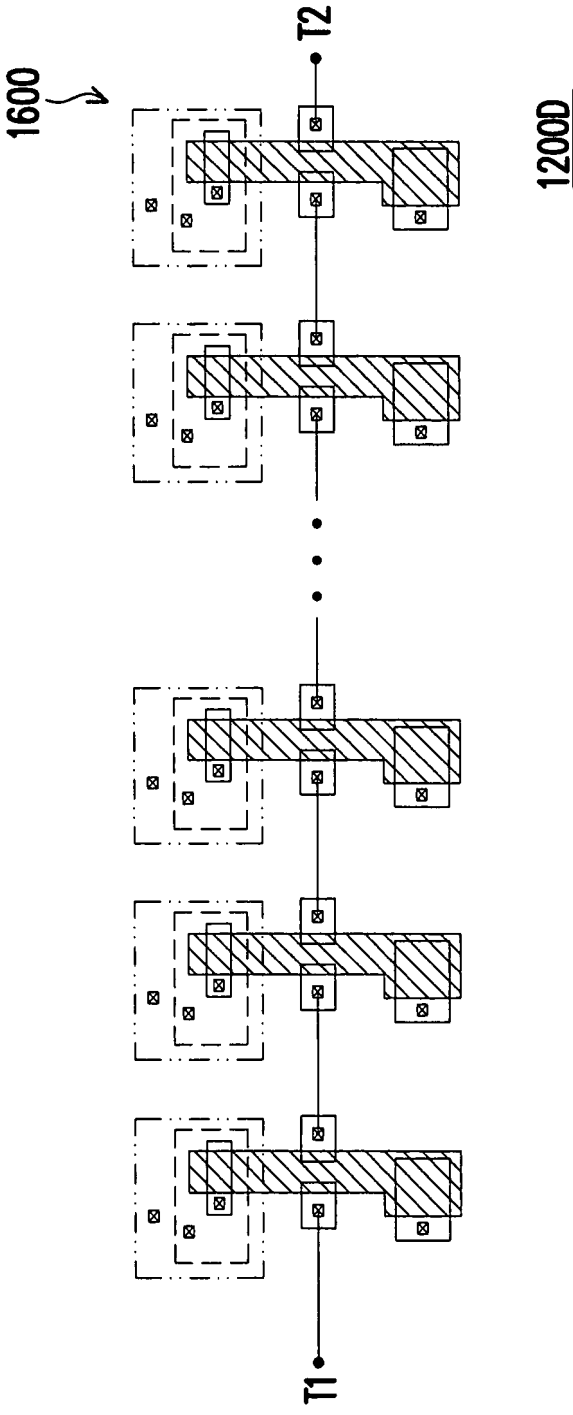


圖 12D

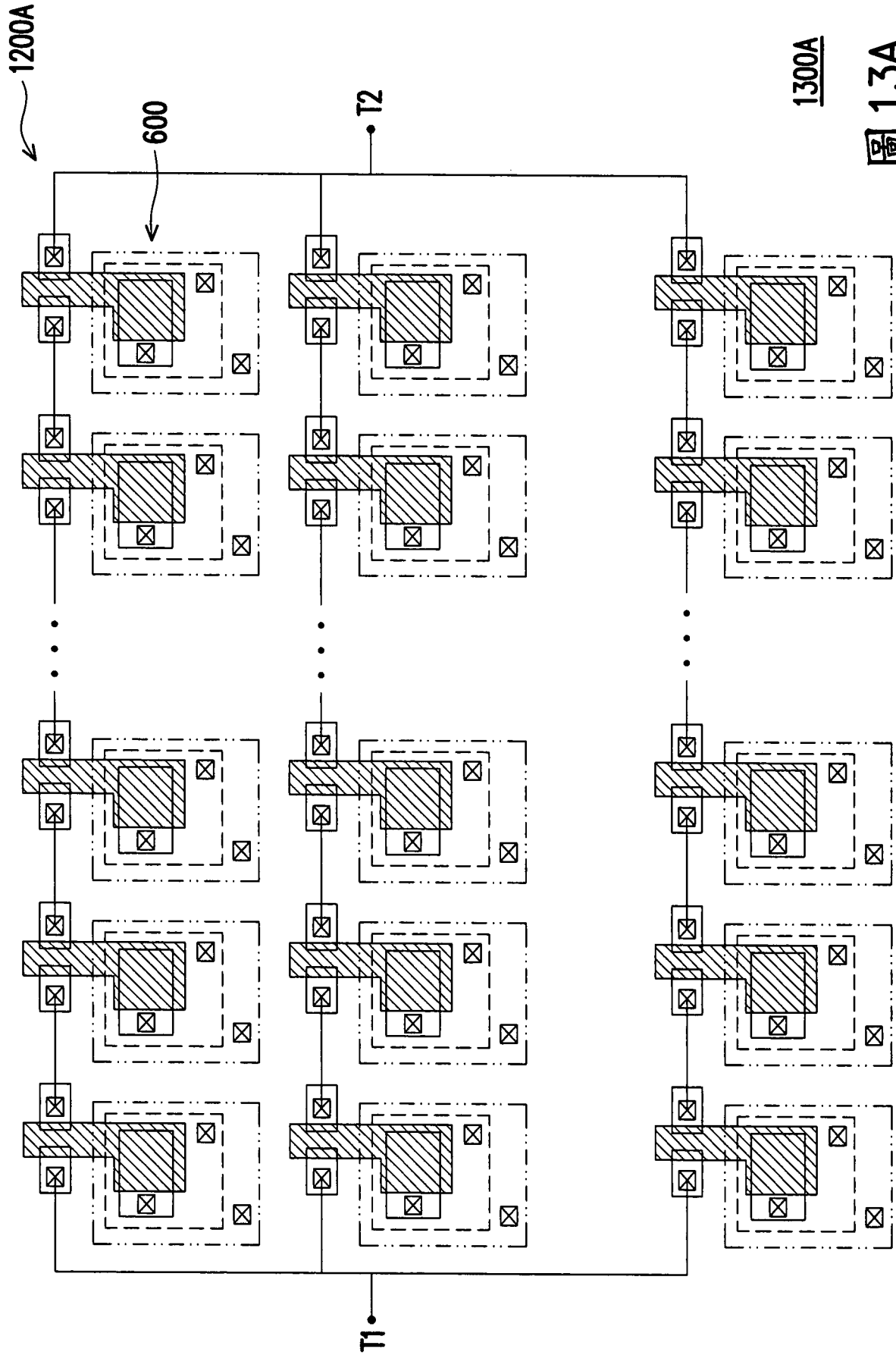


圖 13A

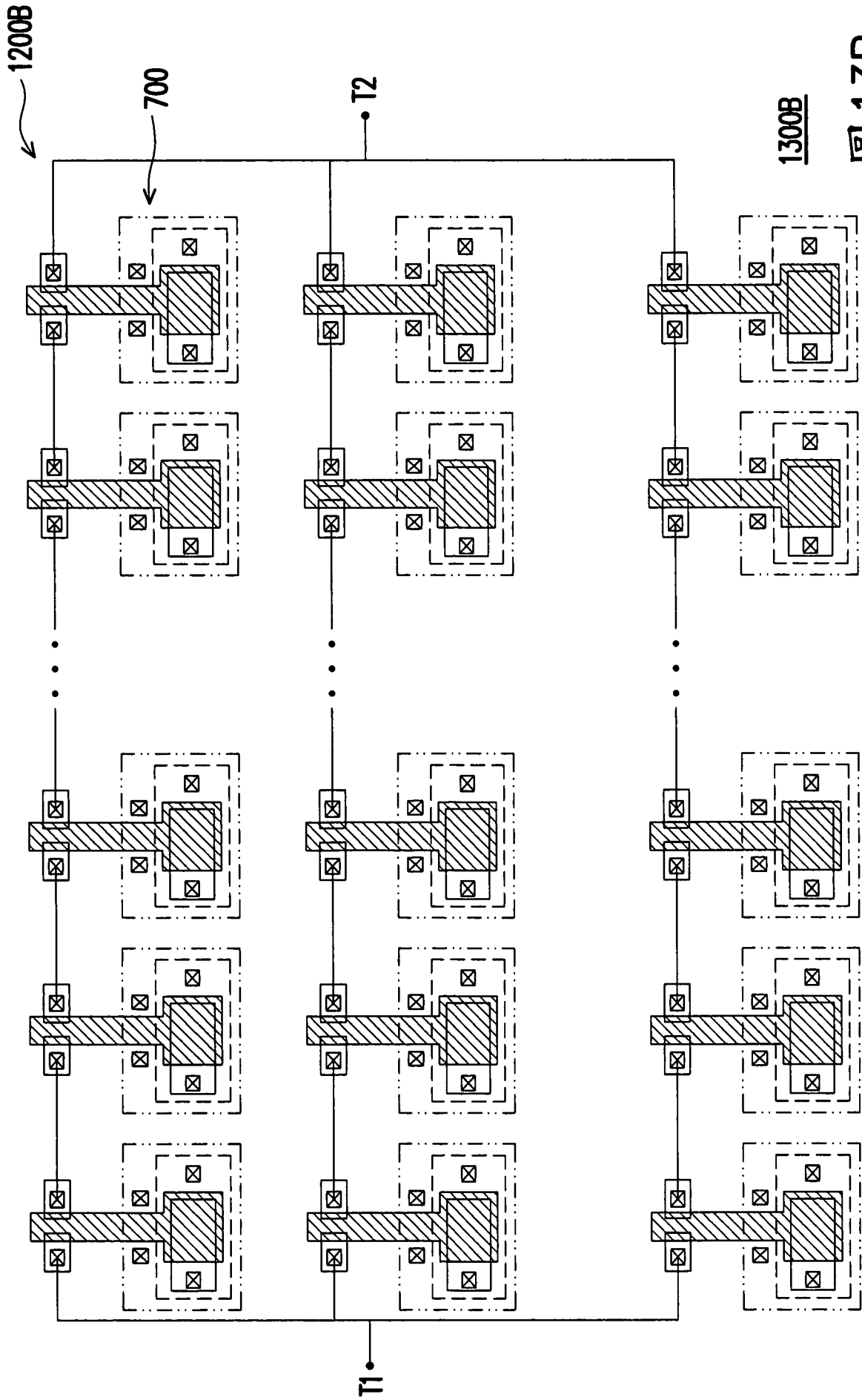


圖 13B

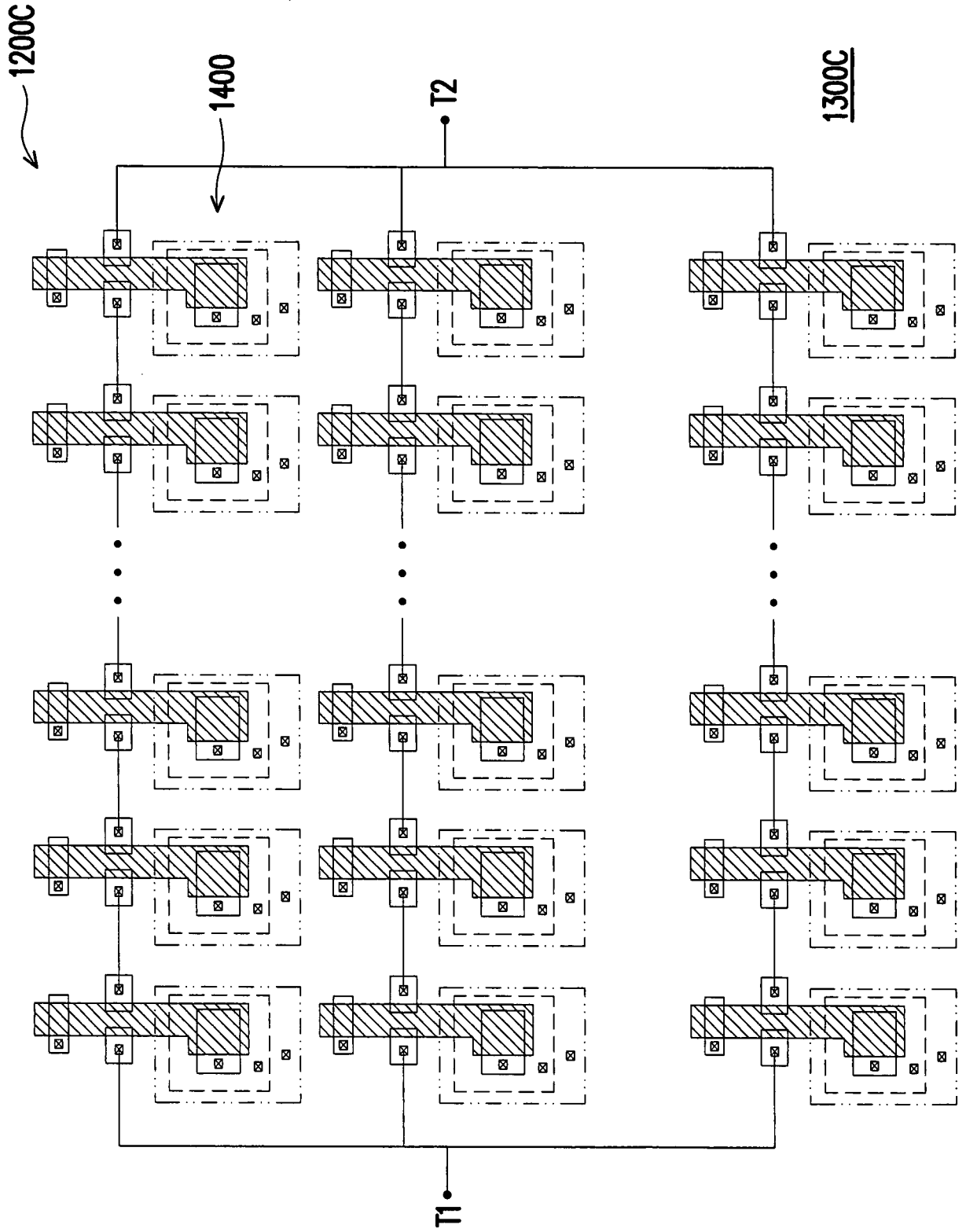


圖 13C

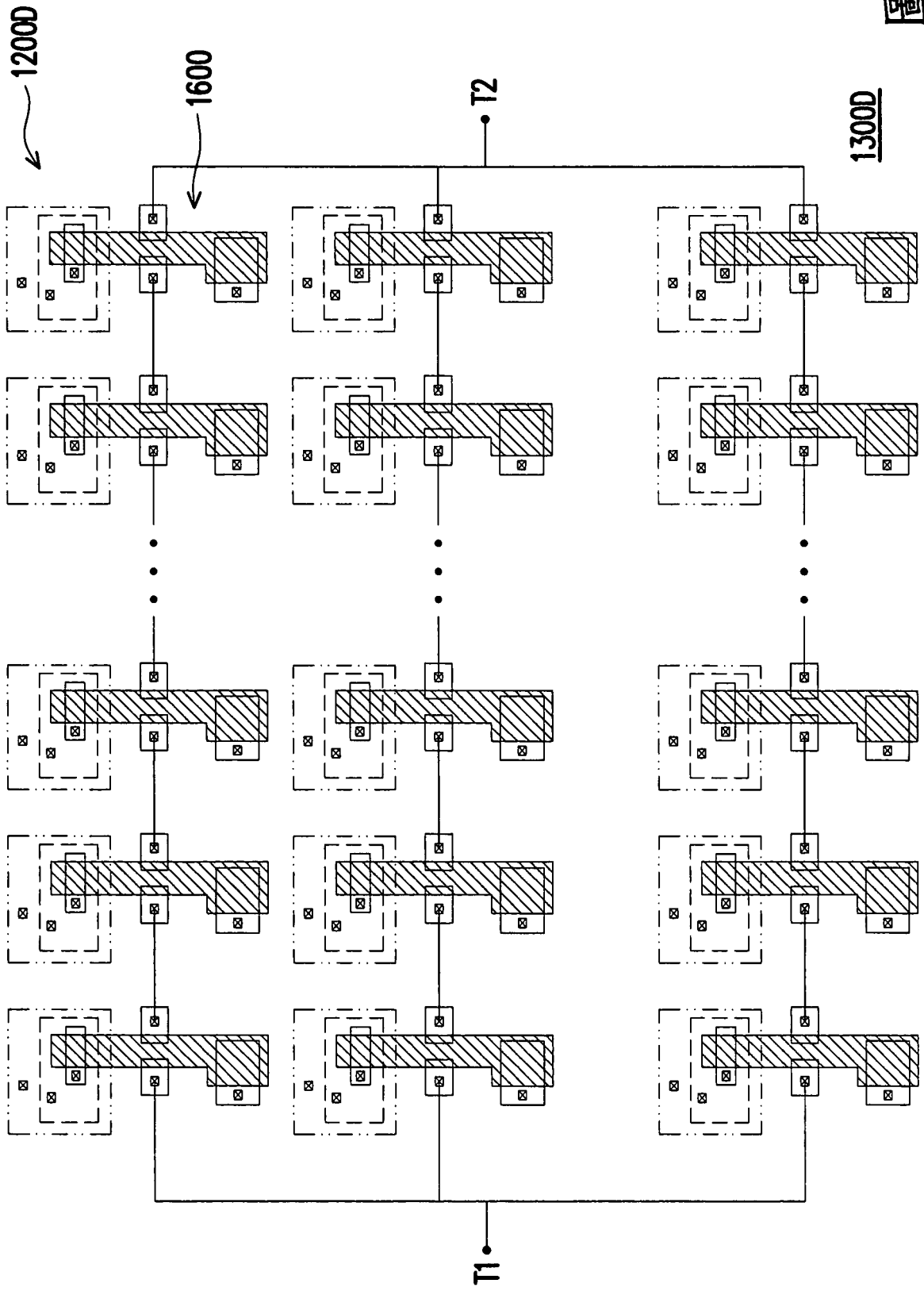


圖 13D

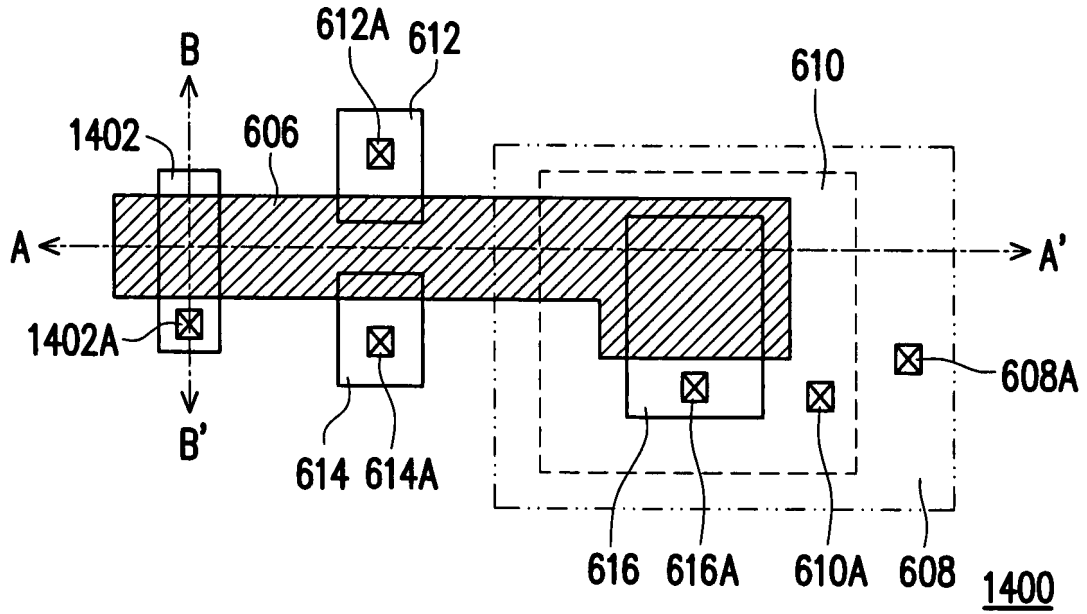


圖 14A

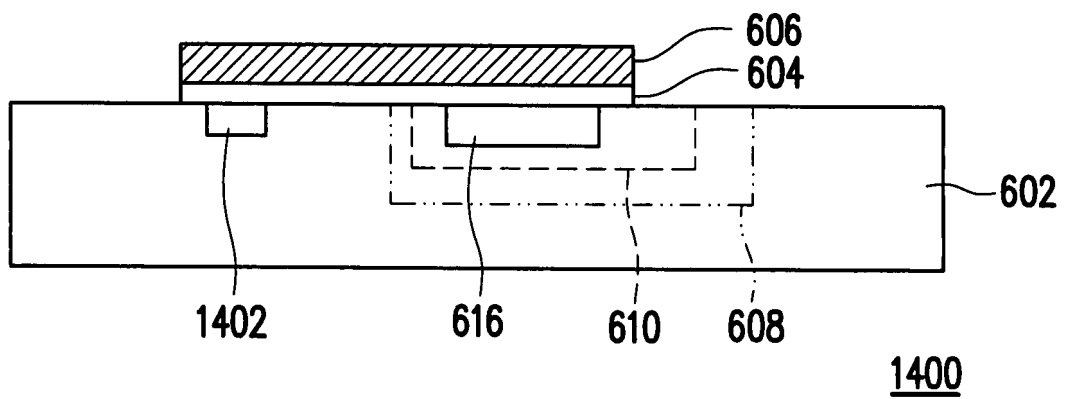


圖 14B

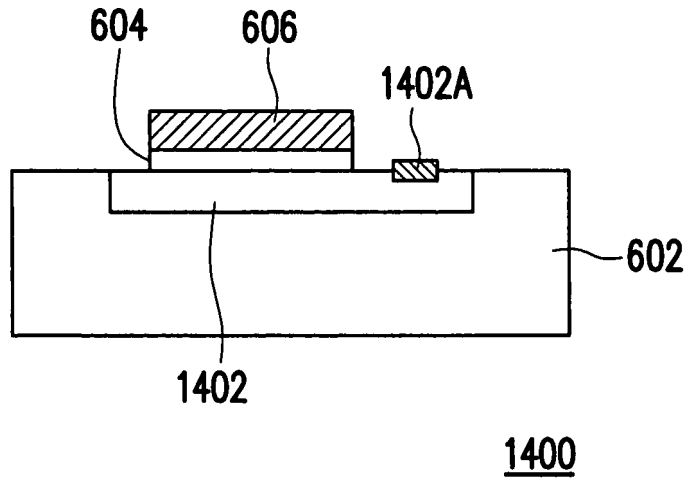


圖 14C

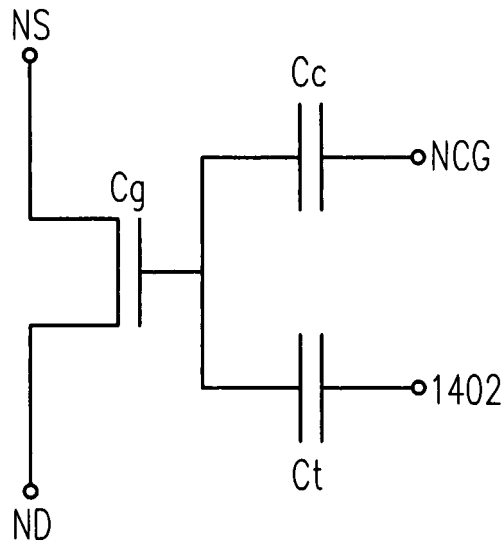


圖 15

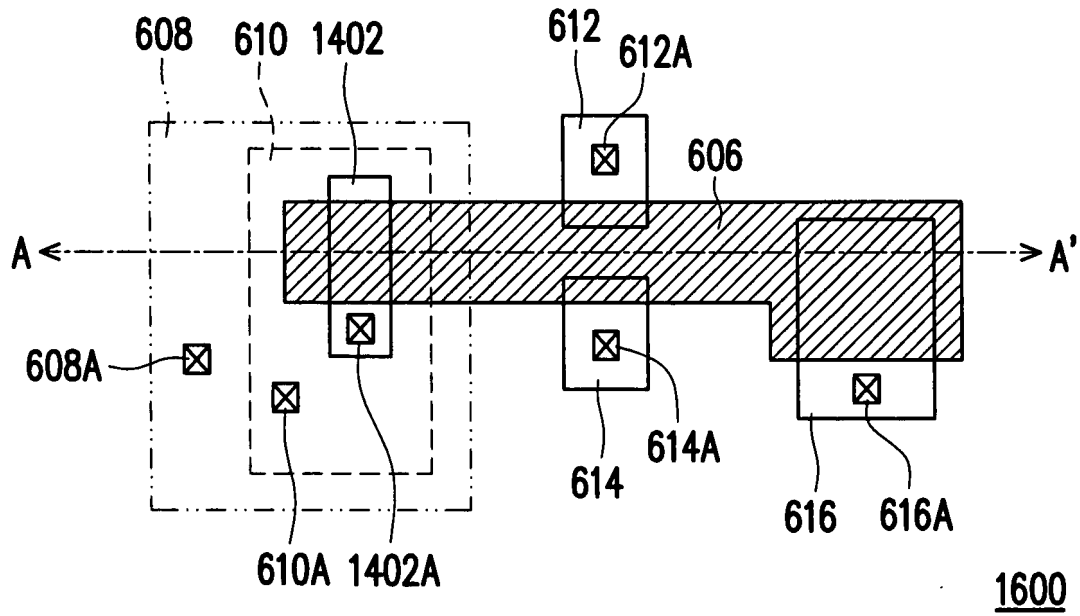


圖 16A

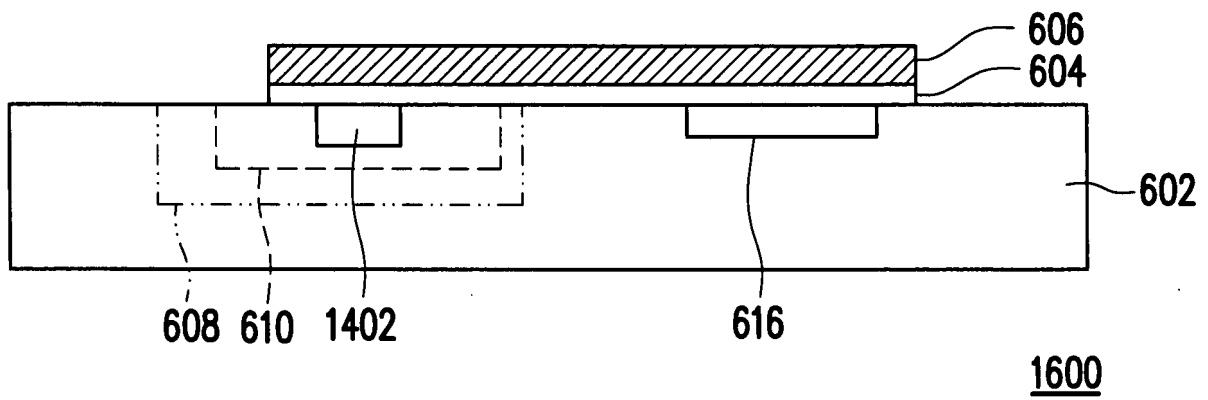


圖 16B