

(21) 申請案號：100118556

(22) 申請日：中華民國 100 (2011) 年 05 月 27 日

(51) Int. Cl. : **G09G3/20 (2006.01)**

(71) 申請人：凌巨科技股份有限公司 (中華民國) (TW)

苗栗縣頭份鎮工業路 15 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 (TW)；竹立煒 (TW)；林俊傑 (TW)；楊孟娟 (TW)；施均融 (TW)

(74) 代理人：蔡秀玫

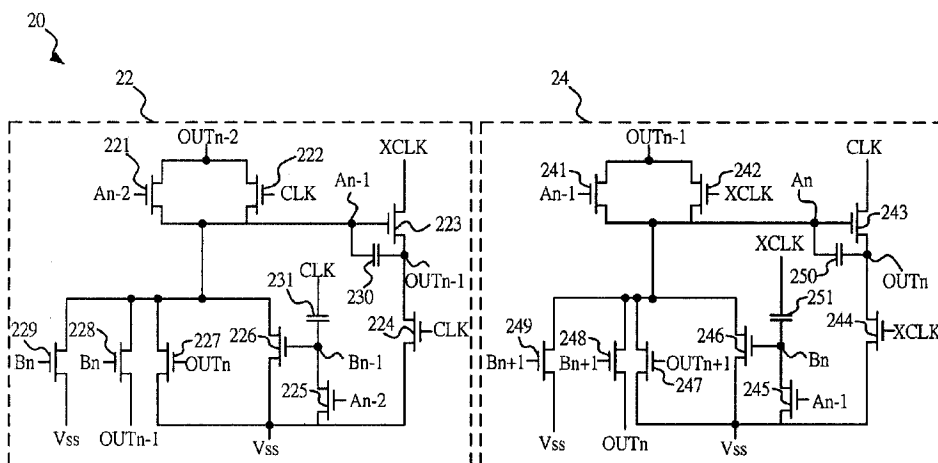
申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 29 頁

(54) 名稱

顯示裝置之驅動電路

(57) 摘要

本發明為一種顯示裝置之驅動電路，其包含一第一控制單元、一第一充放電單元、一第二控制單元與一第二充放電單元。第一控制單元依據一第一輸入訊號、一二輸入訊號與一第一時脈訊號產生一第一控制訊號，第一充放電單元依據第一時脈訊號、第二時脈訊號與第一控制訊號產生一第一輸出訊號，第二控制單元依據第一控制訊號、第一輸出訊號與第二時脈訊號產生一第二控制訊號，第二充放電單元依據第一時脈訊號、第二時脈訊號與第二控制訊號產生一第二輸出訊號。藉由第一控制訊號與第一輸出訊號提高第二控制單元之第二控制訊號之電壓值，以讓第二充放電單元加快充放電時間並提高第二輸出訊號之電流值。



22：第一驅動模組

24：第二驅動模組

221：電晶體

222：電晶體

223：電晶體

224：電晶體

225：電晶體

226：電晶體

227：電晶體

228：電晶體

229：電晶體

230：電容

231：電容

241：電晶體

242：電晶體

243：電晶體

244 : 電晶體

245 : 電晶體

246 : 電晶體

247 : 電晶體

248 : 電晶體

249 : 電晶體

250 : 電容

251 : 電容

專利案號：100118556



日期：100年05月27日

發明專利說明書

※申請案號：100118556

※IPC分類：

※申請日：

G09G 3/20 (2006.01)

一、發明名稱：

顯示裝置之驅動電路

二、中文發明摘要：

本發明為一種顯示裝置之驅動電路，其包含一第一控制單元、一第一充放電單元、一第二控制單元與一第二充放電單元。第一控制單元依據一第一輸入訊號、一二輸入訊號與一第一時脈訊號產生一第一控制訊號，第一充放電單元依據第一時脈訊號、第二時脈訊號與第一控制訊號產生一第一輸出訊號，第二控制單元依據第一控制訊號、第一輸出訊號與第二時脈訊號產生一第二控制訊號，第二充放電單元依據第一時脈訊號、第二時脈訊號與第二控制訊號產生一第二輸出訊號。藉由第一控制訊號與第一輸出訊號提高第二控制單元之第二控制訊號之電壓值，以讓第二充放電單元加快充放電時間並提高第二輸出訊號之電流值。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 三A 圖

(二)本代表圖之元件符號簡單說明：

22 第一驅動模組

221 電晶體

222 電晶體

223 電晶體

224 電晶體

225 電晶體

226 電晶體

227 電晶體

228 電晶體

229 電晶體

230 電容

231 電容

24 第二驅動模組

241 電晶體

242 電晶體

243 電晶體

244 電晶體

245 電晶體

246 電晶體

247 電晶體

248 電晶體

249 電晶體

250 電容

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關於一種驅動電路，特是指一種顯示裝置之驅動電路。

【先前技術】

[0002] 由於液晶顯示器發展至薄型化顯示器的世代，且開極驅動電路基板（Gate driver on Array, GOA）為較能簡化液晶顯示器上的驅動電路設計，因此GOA技術於液晶顯示器領域中為較廣泛應用之技術，尤其在大尺寸薄型化基板上，又，在GOA技術基礎下，液晶顯示器的反應效率較佳，使得GOA的技術應用比例甚高，所以液晶顯示器的技術領域中針對開極驅動電路基板之研發越來越多，而不斷地改良。

請參閱第一A圖與第一B圖，其為習知顯示裝置之驅動電路與其驅動單元的示意圖。如第一A圖所示，習知驅動電路10係包含一時脈產生器11與複數驅動單元（其係以一第一驅動單元12、一第二驅動單元13、一第三驅動單元14與一第四驅動單元15作為舉例說明），其中時脈產生器11分別產生一第一時脈訊號C1、一第二時脈訊號C2與一第三時脈訊號C3，第一驅動單元12係耦接一輸入訊號INPUT並耦接第三時脈訊號C3，第一驅動單元12輸出一第一輸出訊號O1，第二驅動單元13係耦接第一時脈訊號C1並耦接第一輸出訊號O1，第二驅動單元13輸出一第二輸出訊號O2，第三驅動單元14係耦接第二時脈訊號C2並耦接第二輸出訊號O2，第三驅動單元14輸出第三輸出訊號O3，第四驅動單元15係耦接第三時脈訊號C3並耦接第

三輸出訊號03，第四驅動單元15係輸出一第四輸出訊號04。

如第一B圖所示，其為單一驅動單元之等效電路的示意圖，其中每一驅動單元包含一第一電晶體M1、一第二電晶體M2、一第三電晶體M3、一第四電晶體M4與一電容Cb。第一電晶體M1之一第一端與一第二端為短路相接並耦接至前一級驅動單元之輸出訊號 O_{n-1} ，第一電晶體M1之一第三端係耦接第二電晶體M2之一第一端、第三電晶體M3之一第二端與電容Cb之一第一端。第二電晶體M2之一第二端係耦接一時脈訊號(其即為時脈訊號C1、C2、C3之其中一者)，第二電晶體M2之一第三端係耦接第四電晶體M4之一第二端、電容Cb之一第二端並產生一輸出訊號 O_n 。第三電晶體M3之一第一端係耦接後二級驅動單元之輸出訊號 O_{n+2} ，第三電晶體M3之一第三端係耦接至接地端。第四電晶體M4之一第一端係耦接時脈訊號之電壓VCLK，第四電晶體M4之一第三端係耦接至接地端。

如第二圖所示，其為習知驅動電路10之訊號波形圖，其中藉由時脈訊號C1、C2、C3使第一驅動單元12、第二驅動單元13、第三驅動單元14與第四驅動單元15依序輸出其輸出訊號01、02、03、04，但自各驅動時間 t_1 、 t_2 、 t_3 、 t_4 可知，輸出訊號01、02、03、04係由於驅動單元之第一電晶體M1的短路導通設計使第一電晶體M1操作於飽和工作區(saturation section)，且輸出訊號與電容Cb之電壓相關，因此輸出電壓為緩慢升壓至高準位，再者，由於第一電晶體M1的短路導通設計使第一驅動單元12之輸出訊號為供應電壓減去門檻電壓之差值

，如此即影響第二電晶體M2之運作。

因此，本發明即針對上述問題而提出一種顯示裝置之驅動電路，可提供較佳之驅動操作，且可提供較佳之導通電壓，以用於導通電晶體並提供較佳之輸出訊號，以解決上述習知驅動單元之驅動問題。

【發明內容】

[0003] 本發明之主要目的，在於提供一種顯示裝置之驅動電路，其利用驅動模組之輸出訊號驅動下一級驅動模組之充放電單元，以達到快速充電並提供較佳之導通電壓。

本發明係提供一種顯示裝置之驅動電路，其包含一第一控制單元、一第一充放電單元、一第二控制單元與一第二充放電單元。第一控制單元耦接一第一輸入訊號、一第二輸入訊號與一第一時脈訊號並依據該第一輸入訊號、該第二輸入訊號與該第一時脈訊號產生一第一控制訊號；第一充放電單元耦接該第一時脈訊號、一第二時脈訊號與該第一控制單元並依據該第一時脈訊號、該第二時脈訊號與該第一控制訊號產生一第一輸出訊號；第二控制單元耦接該第一控制訊號、該第一輸出訊號與該第二時脈訊號並依據該第一控制訊號、該第一輸出訊號與該第二時脈訊號產生一第二控制訊號；以及第二充放電單元耦接該第一時脈訊號、一第二時脈訊號與該第二控制單元並依據該第一時脈訊號、該第二時脈訊號與該第二控制訊號產生一第二輸出訊號。

【實施方式】

茲為使 貴審查委員對本發明之結構特徵及所達成之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明，說明如後：

請參閱第三A圖，其為本發明之一實施例之電路圖。如圖所示，本發明為一驅動電路20，其應用於包含複數驅動模組，本實施例之驅動電路20係以一第一驅動模組22與一第二驅動模組24作為舉例說明，但本發明不限於此，驅動模組之數量係依顯示裝置之顯示區域大小作決定，其中該第一驅動模組22包含複數電晶體221、222、223、224、225、226、227、228、229與複數電容230、231，第二驅動模組24包含複數電晶體241、242、243、244、245、246、247、248、249與複數電容250、251。

於第一驅動模組22中，電晶體221與電晶體222組成一第一控制單元，電晶體221之一第一端耦接於一第一輸入訊號An-2，電晶體222之第一端係耦接一第一時脈訊號CLK，電晶體221與電晶體222之第二端一併耦接於一第二輸入訊號OUTn-2，電晶體221與電晶體222之第三端係輸出一第一控制訊號An-1；電晶體223、電晶體224與電容230組成一第一充放電單元，電晶體223之一第一端耦接第一控制訊號An-1，且電晶體223之第一端更耦接於電容230之一第一端，因此電容230之第一端亦耦接於第一控制訊號An-1，電晶體223之一第二端耦接一第二時脈訊號XCLK，電晶體223之一第三端係耦接於電容230之一第二端與電晶體224之一第二端，電晶體224之一第一端係耦接第一時脈訊號CLK，電晶體224之一第三端耦接於一

參考準位 V_{SS} ，其中電晶體223係作為第一驅動模組22之一上拉電路，電晶體224係作為第一驅動模組22之一下拉電路。

接續上述，電晶體225、電晶體226與電容231作為一第一無雜訊(noise-free)單元，電容231之一第一端耦接於第一時脈訊號CLK，電容231之一第一端耦接於電晶體225之一第二端與電晶體226之一第一端，電晶體225之一第一端耦接於第一輸入訊號 A_{n-2} ，電晶體226之一第二端耦接於第一控制單元之控制輸出端，也就是耦接於第一控制訊號 A_{n-1} ，電晶體225與電晶體226之第三端耦接於參考準位 V_{SS} ，其中電晶體225與電容231之間形成一訊號 B_{n-1} ；電晶體227作為第一驅動模組22之一清除單元，電晶體227之一第一端耦接於第二驅動模組24之輸出訊號，電晶體227之一第二端亦耦接於第一控制訊號 A_{n-1} ，且電晶體227之一第三端亦耦接於參考準位 V_{SS} ，其中第二驅動模組24之輸出訊號為一第二輸出訊號 OUT_n 。此外，電晶體228與電晶體229組成一第一回授輸出單元，電晶體228與電晶體229之第一端耦接於下一驅動模組之回授控制訊號，即第二驅動模組24之一回授控制訊號 B_n ，電晶體228與電晶體229之第二端耦接第一控制單元之輸出端，也就是耦接於第一控制訊號 A_{n-1} ，電晶體228之一第三端耦接於第一驅動模組22之輸出端，也就是電晶體228之一第三端亦為輸出第一輸出訊號 OUT_{n-1} ，電晶體229之一第三端耦接於參考準位 V_{SS} 。

於第二驅動模組24中，電晶體241與電晶體242組成一第二控制單元，電晶體241之一第一端耦接於第一控制

訊號 $An-1$ ，電晶體242之第一端係耦接第二時脈訊號XCLK，電晶體241與電晶體242之第二端一併耦接於第一輸出訊號 $OUTn-1$ ，電晶體241與電晶體242之第三端係輸出第二控制訊號 An ；電晶體243、電晶體244與電容250組成一第二充放電單元，電晶體243之一第一端耦接第二控制訊號 An ，且電晶體243之第一端更耦接於電容250之一第一端，因此電容250之第一端亦耦接第二控制訊號 An ，電晶體243之一第二端耦接第一時脈訊號CLK，電晶體243之一第三端係耦接於電容250之一第二端與電晶體244之一第二端，電晶體244之一第一端係耦接第二時脈訊號XCLK，電晶體244之一第三端耦接於一參考準位 Vss ，其中電晶體243係作為第二驅動模組24之一上拉電路，電晶體244係作為第二驅動模組24之一下拉電路。

接續上述，電晶體245、電晶體246與電容251作為一第二無雜訊(noise-free)單元，電容251之一第一端耦接於第二時脈訊號XCLK，電容251之一第一端耦接於電晶體245之一第二端與電晶體246之一第一端，電晶體245之一第一端耦接於第一控制訊號 $An-1$ ，電晶體246之一第二端耦接於第二控制單元之控制輸出端，也就是耦接於第二控制訊號 An ，電晶體245與電晶體246之第三端耦接於參考準位 Vss ；電晶體247作為第二驅動模組24之一清除單元，電晶體247之一第一端耦接於下一驅動模組(圖未示)之輸出訊號，電晶體247之一第二端亦耦接於第一控制訊號 $An-1$ ，且電晶體247之一第三端亦耦接於參考準位 Vss ，其中下一驅動模組之輸出訊號為一第三輸出訊號 $OUTn+1$ 。

如第三B圖所示，第一時脈訊號CLK與第二時脈訊號XCLK為相反時脈之脈波訊號，因此每一驅動時間之脈波訊號起伏皆為不同。在第一驅動時間T1中，第一時脈訊號CLK為截止，第二時脈訊號XCLK為導通，而促使第一驅動模組22產生第一控制訊號An-1，第一控制訊號An-1係與第一輸出訊號OUTn-1相關聯，因此當第一控制訊號An-1為一高準位訊號時，隨即促使第一輸出訊號OUTn-1轉為一高準位訊號，由於第一驅動模組22未有前一級驅動單元，因此將第一輸出訊號OUTn-1視為一假訊號（dummy signal），而第二驅動模組24之第二控制訊號An係與第一輸出訊號OUTn-1相關聯，因此當第一輸出訊號OUTn-1為高準位訊號時，促使第二控制訊號An轉為一高準位訊號。

接續在第二驅動時間T2時，第一時脈訊號CLK為導通，第二時脈訊號XCLK為截止，而促使第二控制訊號An為二次疊加之高準位訊號，以致於第二輸出訊號OUTn非常迅速產生，如此下一級驅動單元亦如第二驅動模組24受到控制訊號An+1亦為二次疊加之高準位訊號的影響，因此輸出訊號OUTn+1亦是迅速產生，由於第二驅動模組24之回授控制訊號Bn對應於輸出訊號OUTn，因此第一驅動模組22依據回授控制訊號Bn而讓第一輸出訊號OUTn-1維持在Vss之準位，而第二驅動模組24亦是如此，即第二驅動模組24依據回授控制訊號Bn+1而讓第二輸出訊號OUTn維持在Vss之準位。

請參閱第四圖，其為本發明之另一實施例之方塊圖。如第四A圖所示，本發明之驅動電路30包含一時脈產生

器(圖未示)與複數驅動模組，本實施例係以第一驅動模組32、第二驅動模組34、第三驅動模組36與第四驅動模組38作為舉例說明，但本發明並不限於此，顯示裝置係依據之顯示面積設置對應數目之驅動模組。

驅動電路30之時脈產生器係產生第一時脈訊號CLK與第二時脈訊號XCLK，第一驅動模組32、第二驅動模組34、第三驅動模組36與第四驅動模組38分別接收第一時脈訊號CLK與第二時脈訊號XCLK並同時耦接參考準位Vss，但每一驅動模組與相鄰之驅動模組於連接時脈訊號之方式上為相反設置。其中第一驅動模組32之電性操作即如同前一實施例之第一驅動模組22之電性操作，且第二驅動模組34、第三驅動模組36與第四驅動模組38之電性操作皆如同上一實施例之第二區動模組24之電性操作。因此，第一驅動模組32接收依據時脈訊號CLK、XCLK與參考準位Vss產生並輸出一第一控制訊號A1與一第一輸出訊號OUT1，第二驅動模組34依據時脈訊號CLK、XCLK、第一控制訊號A1、與參考準位Vss產生並輸出一第二控制訊號A2、一第二輸出訊號OUT2與一第一回授控制訊號B1，且第一回授控制訊號B1係傳送至第一驅動模組32，以回授控制第一驅動模組32輸出對應參考準位Vss之第一輸出訊號OUT1。

第三驅動模組36依據時脈訊號CLK、XCLK、第二控制訊號A2與參考準位Vss產生並輸出一第三控制訊號A3、一第三輸出訊號OUT3與一第二回授控制訊號B2，且第二回授控制訊號B2係傳送至第二驅動模組34，以回授控制第二驅動模組34輸出對應參考準位Vss之第二輸出訊號

OUT2。第四驅動模組38依據時脈訊號CLK、XCLK、第三控制訊號A3與參考準位V_{SS}產生並輸出一第四控制訊號A4、一第四輸出訊號OUT4與一第三回授控制訊號B3，且第三回授控制訊號B3係傳送至第三驅動模組36，以回授控制第三驅動模組36輸出對應參考準位V_{SS}之第三輸出訊號OUT3。同理，第四驅動模組38亦依據一第四回授控制訊號B4輸出對應參考準位V_{SS}之第三輸出訊號OUT3。

由於第一驅動模組32未能接收前一級驅動模組所輸出之輸出訊號，因此第一驅動模組32之第一輸出訊號OUT1會比後續之驅動模組之輸出訊號具較慢之充放電時間，而後續驅動模組皆受到前一級之驅動模組之輸出訊號加速控制訊號，因而讓驅動模組之充放電速度加快，其中輸出訊號之電性比較如下表一所示。

[0005]

	充電時間 (Tr: μ sec)	放電時間 (Tf: μ sec)	輸出電壓 (Von: V)	雜訊鏈波 電壓 (Vripple rms: V)
第一輸出 訊號OUT1	4.9118	2.8202	24.983	0.15913
第二輸出 訊號OUT2	3.9281	2.2140	24.994	0.21830
第三輸出 訊號OUT3	3.9646	2.2247	24.994	0.22898
第四輸出 訊號OUT4	3.9608	2.2237	24.994	0.2347

表一

由上述可知，本發明之驅動電路藉由驅動模組提供控制訊號與輸出訊號至下一級驅動模組，以加快下一級驅動模組之充放電速度，且控制訊號由於下一級驅動模組之控制單元非利用短路設計，而未讓控制單元中的電晶體處於飽和工作區，因此充放電效率會較迅速，再者，本發明更利用無雜訊單元設置電容，以讓驅動模組在輸出對應V_{SS}準位之輸出訊號時，可免除直流訊號於導通直接流至V_{SS}參考電位，進而避免直流應力殘留在電路中，因而提升驅動電路之耐久性。

綜上所述，本發明之顯示裝置之驅動電路，主要是利用驅動模組之輸出訊號與控制訊號輸出至下一級驅動模組，使下一級驅動模組之輸出訊號可具較佳之充放電時間，且藉由下一級驅動模組之回授控制訊號，使驅動模組依據回授控制訊號而讓輸出訊號於非工作時間亦維持於低準位抑或參考準位。如此可讓驅動電路具較佳之控制效率並具有較高之準確性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

- [0006] 第一A圖為習知驅動電路之示意圖；
第一B圖為第一A圖之驅動單元之示意圖；
第二圖為習知驅動電路之訊號波形圖；
第三A圖為本發明之一較佳實施例之示意圖；

第三B圖為本發明之一較佳實施例之訊號波形圖；以及
第四圖為本發明之另一實施例之方塊圖。

【主要元件符號說明】

[0007]	10	習知驅動電路
	11	時脈產生器
	12	第一驅動單元
	13	第二驅動單元
	14	第三驅動單元
	15	第四驅動單元
	20	驅動電路
	22	第一驅動模組
	221	電晶體
	222	電晶體
	223	電晶體
	224	電晶體
	225	電晶體
	226	電晶體
	227	電晶體
	228	電晶體
	229	電晶體
	230	電容
	231	電容
	24	第二驅動模組
	241	電晶體
	242	電晶體
	243	電晶體

244	電晶體
245	電晶體
246	電晶體
247	電晶體
248	電晶體
249	電晶體
250	電容
251	電容
30	驅動電路
32	第一驅動模組
34	第二驅動模組
36	第三驅動模組
38	第四驅動模組
A1	第一控制訊號
A2	第二控制訊號
A3	第三控制訊號
A4	第四控制訊號
An	第二控制訊號
An-1	第一控制訊號
An-2	第一輸入訊號
B1	第一回授控制訊號
B2	第二回授控制訊號
B3	第三回授控制訊號
B4	第四回授控制訊號
Bn	回授控制訊號
Bn-1	訊號

B_{n+1}	訊號
C1	第一時脈
C2	第二時脈
C3	第三時脈
Cb	電容
CLK	第一時脈訊號
INPUT	輸入訊號
M1	第一電晶體
M2	第二電晶體
M3	第三電晶體
M4	第四電晶體
O1	第一輸出訊號
O2	第二輸出訊號
O3	第三輸出訊號
O4	第四輸出訊號
OUT1	第一輸出訊號
OUT2	第二輸出訊號
OUT3	第三輸出訊號
OUT4	第四輸出訊號
OUTn	第二輸出訊號
OUTn-1	第一輸出訊號
OUTn-2	第二輸入訊號
OUTn+1	第三輸出訊號
On-1	輸出訊號
On	輸出訊號
On+2	輸出訊號

201248582

V_{CLK}	電壓
V_{SS}	參考準位
t1	驅動時間
t2	驅動時間
t3	驅動時間
t4	驅動時間
XCLK	第二時脈訊號

七、申請專利範圍：

1. 一種顯示裝置之驅動電路，其包含：
 - 一第一驅動模組，其接收一第一輸入訊號、一第二輸入訊號、一第一時脈訊號與一第二時脈訊號，該第一驅動模組包含：
 - 一第一控制單元，其接收該第一輸入訊號、該第二輸入訊號與該第一時脈訊號，該第一控制單元依據該第一輸入訊號、該第二輸入訊號與該第一時脈訊號產生一第一控制訊號；
 - 一第一充放電單元，耦接該第一控制單元並接收該第一時脈訊號與該第二時脈訊號，該第一充放電單元依據該第一時脈訊號、該第二時脈訊號與該第一控制訊號產生一第一輸出訊號；
 - 一第二驅動模組，其接收該第一時脈訊號、該第二時脈訊號、該第一控制訊號與該第一輸出訊號，該第二驅動模組包含：
 - 一第二控制單元，接收該第一控制訊號、該第一輸出訊號與該第二時脈訊號，該第二控制單元依據該第一控制訊號、該第一輸出訊號與該第二時脈訊號產生一第二控制訊號，該第一控制訊號驅使該第二控制單元增加該第二控制訊號之準位；以及
 - 一第二充放電單元，耦接該第二控制單元並接收該第一時脈訊號與該第二時脈訊號，該第

二充放電單元依據該第一時脈訊號、該第二時脈訊號與該第二控制訊號產生一第二輸出訊號，其中經增加準位之該第二控制訊號驅使該第二充放電單元減少充電時間並增加該第二輸出訊號之電流。

2. 如申請專利範圍第1項所述之驅動電路，其中該第一控制單元包含：

一第一電晶體，其一第一端耦接該第一輸入訊號，該第一電晶體之一第二端耦接該第二輸入訊號；以及

一第二電晶體，其一第一端耦接該第一時脈訊號，該第二電晶體之一第二端耦接該第二輸入訊號，該第一電晶體與該第二電晶體之第三端輸出該第一控制訊號。

3. 如申請專利範圍第1項所述之驅動電路，其中該第一充放電單元包含：

一第一電晶體，其一第一端耦接該第一控制訊號，該第一電晶體之一第二端耦接該第二時脈訊號；

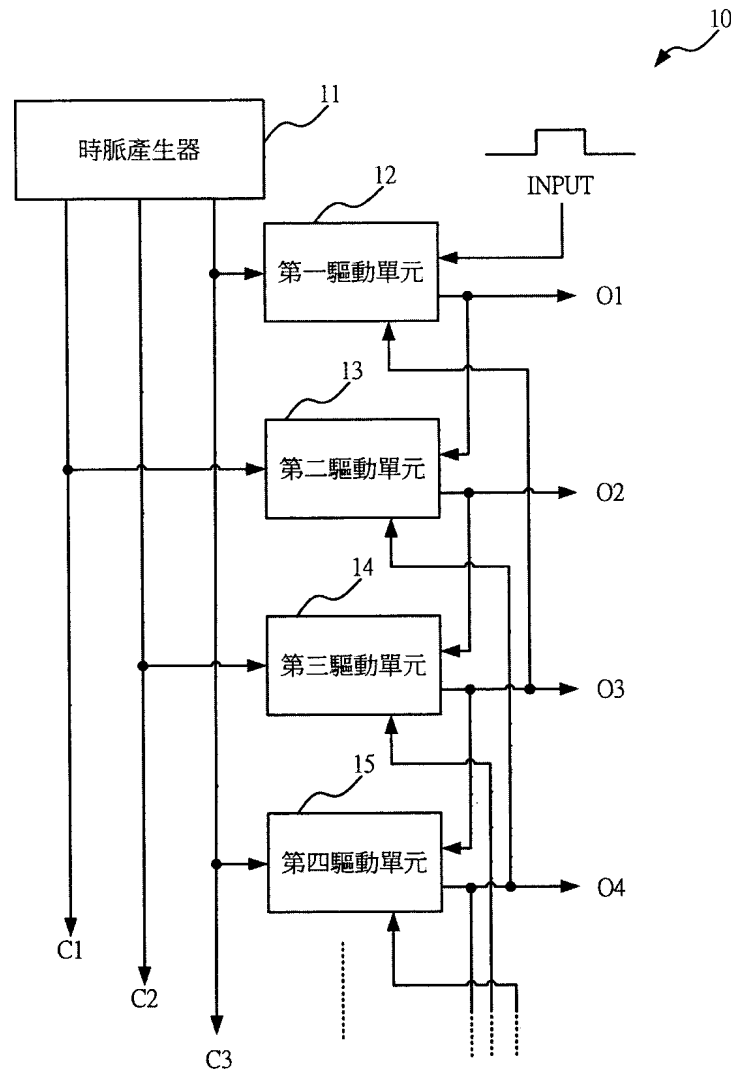
一電容，其一第一端耦接該第一控制訊號；
以及

一第二電晶體，其一第一端耦接該第一時脈訊號，該第一電晶體之一第三端與、該電容之一第二端與該第二電晶體之一第二端輸出該第一輸出訊號，該第二電晶體之一第三端耦接一參考準位。

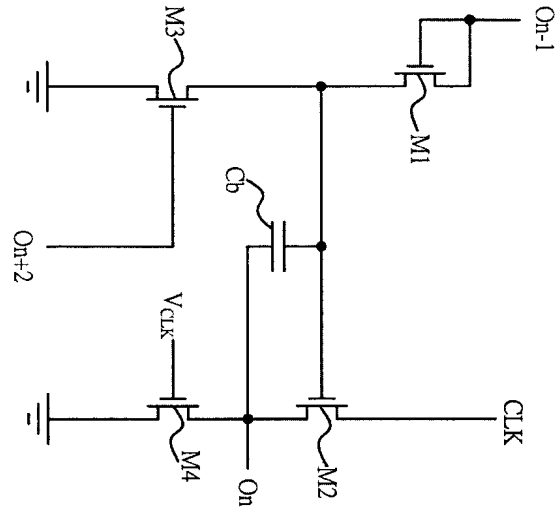
- 4 . 如申請專利範圍第1項所述之驅動電路，其中該第二控制單元包含：
- 一第一電晶體，其一第一端耦接該第一控制訊號，該第一電晶體之一第二端耦接該第一輸出訊號；以及
 - 一第二電晶體，其一第一端耦接該第二時脈訊號，該第二電晶體之一第二端耦接該第一輸出訊號，該第一電晶體與該第二電晶體之第三端輸出該第二控制訊號。
- 5 . 如申請專利範圍第1項所述之驅動電路，其中該第二充放電單元包含：
- 一第一電晶體，其一第一端耦接該第二控制訊號，該第一電晶體之一第二端耦接該第一時脈訊號；
 - 一電容，其一第一端耦接該第二控制訊號；
 - 以及
 - 一第二電晶體，其一第一端耦接該第二時脈訊號，該第一電晶體之一第三端與、該電容之一第二端與該第二電晶體之一第二端輸出該第一輸出訊號，該第二電晶體之一第三端耦接一參考準位。
- 6 . 如申請專利範圍第1項所述之驅動電路，其中該第二驅動模組更包含：
- 一無雜訊單元，其耦接該第二時脈訊號、該第二控制單元與一參考準位並輸出一回授控制訊號。

- 7 . 如申請專利範圍第6項所述之驅動電路，其中該無雜訊單元設有一電容、一第一電晶體與一第二電晶體，該電容之一第一端耦接該第二時脈訊號，該第一電晶體之一第一端耦接該第二控制單元，該第二電晶體之一第一端耦接該第一電晶體之一第二端與該電容之一第二端並輸出該第三控制訊號，該第一電晶體與該第二電晶體之第三端耦接該參考準位。
- 8 . 如申請專利範圍第6項所述之驅動電路，其中該第一驅動模組更包含：
一回授輸出單元，其耦接該無雜訊單元、該第一控制單元與該參考準位並依據該回授控制訊號輸出該第一輸出訊號。
- 9 . 如申請專利範圍第8項所述之驅動電路，其中該回授輸出單元設有一第三電晶體與一第四電晶體，該第三電晶體與該第四電晶體之第一端耦接該第三控制訊號，該第三電晶體與該第四電晶體之第二端耦接該第一控制單元，該第三電晶體之一第三端耦接該參考準位，該第四電晶體之一第三端輸出該第一輸出訊號。
- 10 . 如申請專利範圍第1項所述之驅動電路，其中該第一驅動模組更包含：
一清除單元，其一第一端耦接該第二輸出訊號，該清除單元之一第二端耦接該第一控制單元，該清除單元之一第三端耦接一參考準位。

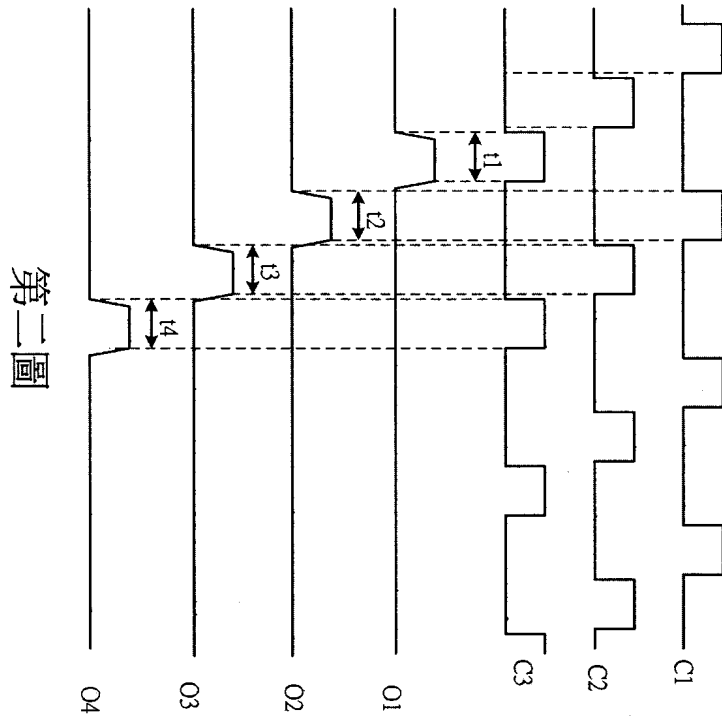
八、圖式：



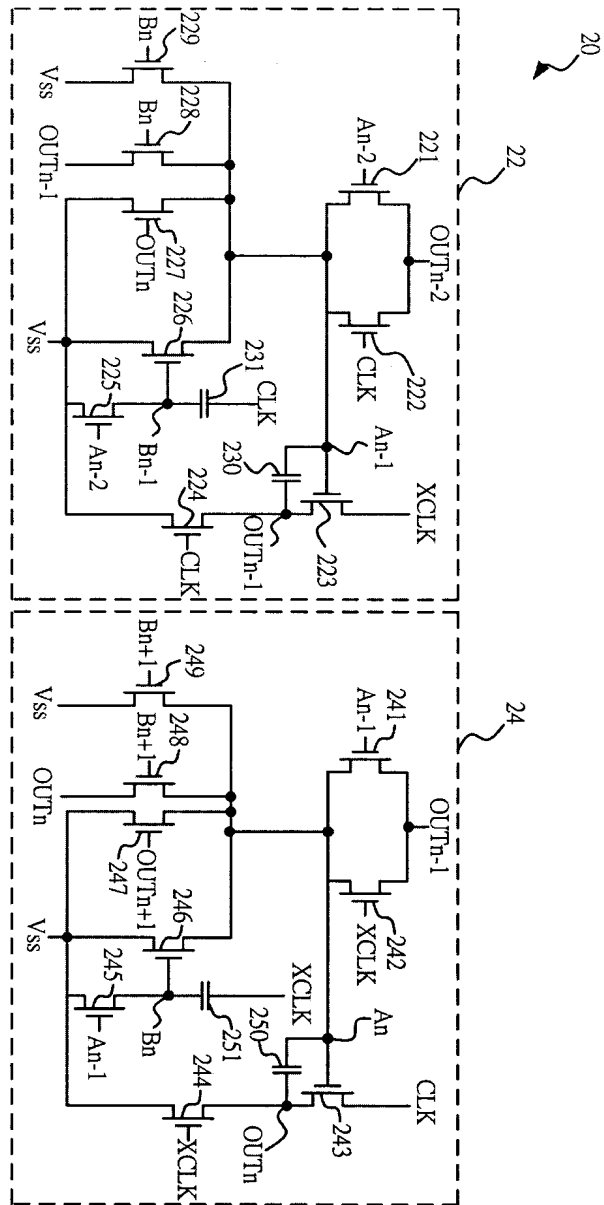
第一 A 圖



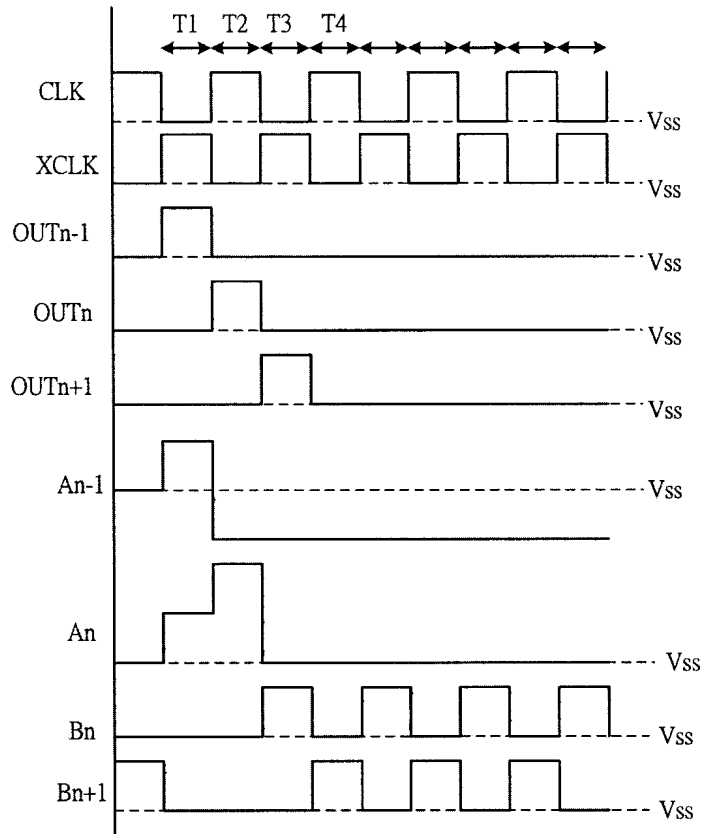
第一-B圖



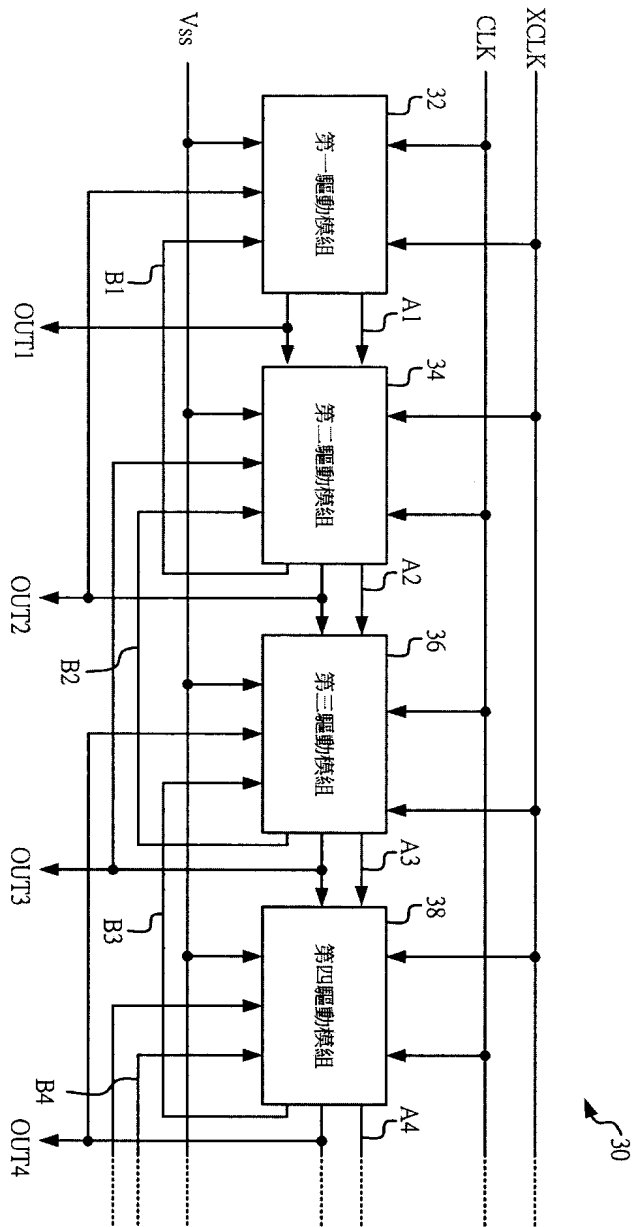
第二圖



第三A圖



第三B圖



第四圖