

(21)申請案號：100114142

(22)申請日：中華民國 100 (2011) 年 04 月 22 日

(51)Int. Cl. : **G01R27/08 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；張元蔚 CHANG, YUAN WEI (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

申請實體審查：有 申請專利範圍項數：18 項 圖式數：6 共 24 頁

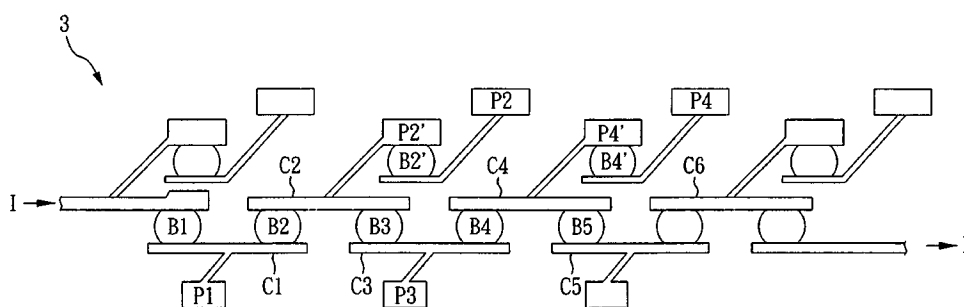
(54)名稱

凸塊接點之電阻測量結構及包含其之封裝基板

STRUCTURE FOR MEASURING BUMP RESISTANCE AND PACKAGE SUBSTRATE
 COMPRISING THE SAME

(57)摘要

本發明係有關於一種凸塊接點之電阻測量結構以及包含該結構之封裝基板，該電阻測量結構包括：複數個連接凸塊，係排列呈一線；至少一第一連接墊；以及至少一第二連接墊；其中，該複數個連接凸塊中之第 n 個連接凸塊與第 n+1 個連接凸塊係以該第一連接墊電性連接，該第 n+1 個連接凸塊與第 n+2 個連接凸塊係以該第二連接墊電性連接，n 係為 1 以上之奇數；該第一連接墊係與一第一電壓量測墊連接；該第二連接墊係與一輔助連接墊連接，該輔助連接墊係與一輔助凸塊 (auxiliary bump) 連接，一第二電壓量測墊係連接至該輔助凸塊。



- B1：連接凸塊
- B2：連接凸塊
- B2'：輔助凸塊
- B3：連接凸塊
- B4：連接凸塊
- B4'：輔助凸塊
- B5：連接凸塊
- C1：第一連接墊
- C2：第二連接墊
- C3：第一連接墊
- C4：第二連接墊
- C5：第一連接墊
- C6：第二連接墊
- P1：電壓量測墊
- P2：電壓量測墊
- P2'：輔助連接墊
- P3：電壓量測墊

P4：電壓量測墊

P4'：輔助連接墊

I：電流

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100114142

※ 申請日： 100. 4. 22 ※IPC 分類： G01R 27/08 (2006.01)

一、發明名稱：(中文/英文)

凸塊接點之電阻測量結構及包含其之封裝基板
/Structure For Measuring Bump Resistance And
Package Substrate Comprising The Same

二、中文發明摘要：

本發明係有關於一種凸塊接點之電阻測量結構以及包含該結構之封裝基板，該電阻測量結構包括：複數個連接凸塊，係排列呈一線；至少一第一連接墊；以及至少一第二連接墊；其中，該複數個連接凸塊中之第 n 個連接凸塊與第 $n+1$ 個連接凸塊係以該第一連接墊電性連接，該第 $n+1$ 個連接凸塊與第 $n+2$ 個連接凸塊係以該第二連接墊電性連接， n 係為 1 以上之奇數；該第一連接墊係與一第一電壓量測墊連接；該第二連接墊係與一輔助連接墊連接，該輔助連接墊係與一輔助凸塊(auxiliary bump)連接，一第二電壓量測墊係連接至該輔助凸塊。

三、英文發明摘要：

A structure for measuring bump resistance and package substrate comprising the same are disclosed, the structure for measuring bump resistance comprises: plural connecting bumps arranged in a row; at least one first connecting pad; and at least one second connecting pad; wherein the n th connecting bump and the $(n+1)$ th connecting bump connect by the first connecting pad, the $(n+1)$ th connecting bump and the $(n+2)$ th connecting bump connect by the second connecting pad, n is an odd number of 1 or more; the first connecting pad connects with a first voltage-measurement pad; the second connecting pad connects with an auxiliary pad, the auxiliary pad connects with an auxiliary bump, a second voltage-measurement pad connects with the auxiliary bump.

四、指定代表圖：

(一)本案指定代表圖為：圖（ 4 ）。

(二)本代表圖之元件符號簡單說明：

B1,B2,B3,B4,B5 連接凸塊

B2',B4' 輔助凸塊

P1,P2,P3,P4 電壓量測墊

P2',P4' 輔助連接墊

C1,C3,C5 第一連接墊

C2,C4,C6 第二連接墊

I 電流

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種凸塊接點之電阻測量結構以及包含該結構之封裝基板，尤指一種結合了凱文結構與花環結構之凸塊接點之電阻測量結構以及包含該結構之封裝基板。

【先前技術】

電阻量測是電子材料檢測中最基本也是最重要的一種。從測量到的電阻，可以進而推知材料的電阻係數。而應用於封裝基板中，則可測試連接銲錫凸塊是否有缺陷。

習知測量電阻之方法中，有使用凱文結構(kevin structure，或稱四點探針結構(four point probe structure))進行電阻測量。如圖1所示，欲測量待測物10之電阻時，係提供四根探針11,12,13,14，其中探針13,14係提供電流通路而另兩根探針11,12係測量電壓V1,V2。

覆晶式銲錫接點中，高操作電流密度將導致電遷移(electromigration)可靠度問題。2006年，本發明之發明人之一(陳智等人)提出了一種將凱文結構加入銲錫接點的設計，並利用該結構監測電遷移期間，銲錫接點中孔洞形成之情形。

當凱文結構應用於連接半導體晶片與印刷電路板之銲錫球之電阻測量時，如圖2所示，欲測量銲錫凸塊B1,B2之電阻時，每一銲錫凸塊B1,B2的旁邊須配置有一輔助凸塊B1',B2'。當欲測量銲錫凸塊B1之電阻時，需提供電流線路

I1，並測量電壓量測墊P1,P1'各自之電壓 $V1^+,V1^-$ ，並透過以下公式計算鉚錫凸塊B1之電阻：

$$\Delta V1 = V1^+ - V1^-;$$

$$R1 = \Delta V1 / I1。$$

當欲測量鉚錫凸塊B2之電阻時，需提供電流線路I2，並測量電壓量測墊P2,P2'各自之電壓 $V2^+,V2^-$ ，並透過以下公式計算鉚錫凸塊B2之電阻：

$$\Delta V2 = V2^+ - V2^-;$$

$$R2 = \Delta V2 / I2。$$

以此習知之測量方法，當欲測量n個鉚錫凸塊的電阻時，則必須提供n個輔助凸塊、2n個電壓量測墊、以及2n個電流線路。此外，該結構雖能對單一鉚錫接點之變化做精確量測，但無法對整個迴路上的數個鉚錫接點做整體的觀測，於可靠度分析上並無明顯幫助。且因觀測之結構侷限於單一鉚錫接點上，故若整體結構於他處有產生微結構之變化，該結構將無法得知。此外，因觀測侷限於單一接點上，若欲比較不同之測試結構，則需生產大量具不同結構之試片，此一作法將大幅增加測試與比較各結構參數所需的成本，將不利於設計層面之可靠度檢驗。

因此，本領域亟需一種凸塊接點之電阻測量結構，使可於量測總電阻的同時，觀察到各分段之電阻，並可減少大量凱文結構同時存在時所需之量測用金屬墊數量，大幅縮減試片面積、降低可靠度測試成本、降低缺陷分析之定位難度、降低測試試片之生產成本、與降低參數最佳化所

需之時間，使可大幅提升現有封裝與測試產業之可靠度分析效率。

【發明內容】

為達成上述目的，本發明提供了一種凸塊接點之電阻測量結構，包括：複數個連接凸塊，係排列呈一線；至少一第一連接墊；以及至少一第二連接墊；其中，該複數個連接凸塊中之第 n 個連接凸塊與第 $n+1$ 個連接凸塊係以該第一連接墊電性連接，該第 $n+1$ 個連接凸塊與第 $n+2$ 個連接凸塊係以該第二連接墊電性連接， n 係為1以上之奇數(即， $n=1,3,5,\dots$ 等)；該第一連接墊係與一第一電壓量測墊連接；該第二連接墊係與一輔助連接墊連接，該輔助連接墊係與一輔助凸塊(auxiliary bump)連接，一第二電壓量測墊係連接至該輔助凸塊。

以本發明之凸塊接點之電阻測量結構測量電阻，當欲測量 n 個錒錫凸塊的電阻時，僅需提供 $n/2$ 個輔助凸塊、 n 個電壓量測墊、以及1對電流線路。相較於習知技術中(須提供 n 個輔助凸塊、 $2n$ 個電壓量測墊、以及 $2n$ 個電流線路)，本發明之凸塊接點之電阻測量結構可降低輔助凸塊的使用量(僅需習之技術中一半數量的輔助凸塊)、可降低電壓量測墊的使用量(僅需習之技術中一半數量的電壓量測墊)。再者，本發明之凸塊接點之電阻測量結構可大幅降低可靠度測試之成本、降低缺陷分析之定位難度、降低測試試片之生產成本、與降低參數最佳化所需之時間，於封裝與測試

產業將有重大助益，且可大幅提升現有封裝與測試產業之可靠度分析效率。

本發明之凸塊接點之電阻測量結構係結合了凱文結構與花環結構。

如圖3所示，其係為一種花環結構之示意圖，其中複數鉚錫接點互相連接，測量時係量測結構之總電阻。此花環結構係經常用以作為可靠度分析之工具，於測試結果中可取得大量鉚錫接點可靠度之整體結果，並可了解無鉛鉚錫接點早期變化特性。然而，相對上，因結構迴路之總電阻值(數個歐姆)遠大於單一接點(數個微歐姆)，因此受限於結構迴路總電阻值之雜訊與誤差(如下圖12.3b所示)，對於單一接點之特性與其對電阻變化之關聯無法做精確觀測，亦無法確認結構迴路上單一接點之變化。

本發明之凸塊接點之電阻測量結構，係結合了花環結構與凱文結構之優點，在測試結構迴路之頭尾兩側量測結構迴路之總阻值，並於測試結構中之鉚錫接點間加入量測小區域電位降之電壓量測墊，藉此分析小區域電阻值變化與微觀結構之關係。本發明之凸塊接點之電阻測量結構中，此一結合可同時取得巨觀之統計性分析結果與微觀之小區域變化。並且，將此凸塊接點之電阻測量結構稱之為凱文-花環複合結構(Kelvin-daisy composite structure)，將花環結構中之電遷移測試結構體依鉚錫接點的分布分段，並於各分段點加入量測電位用的導線，即可於量測總電阻的同時，觀察到各分段之電阻，此分段電阻即可用於推得各

銲錫接點之微結構變化，同時保留兩種結構之優點，並可減少大量凱文結構同時存在時所需之量測用金屬墊數量，大幅縮減試片面積、降低測試成本。

本發明之凸塊接點之電阻測量結構中，該連接凸塊及/或輔助凸塊較佳為一銲錫凸塊。

本發明之凸塊接點之電阻測量結構中，該第一連接墊、第一電壓量測墊、及/或第二電壓量測墊較佳係設於一印刷電路板之表面。

本發明之凸塊接點之電阻測量結構中，該第二連接墊較佳係設於一晶片之表面。

本發明之凸塊接點之電阻測量結構，較佳可更包括：一電流導入線，係與複數個連接凸塊一端之連接凸塊連接；以及一電流導出線，係與複數個連接凸塊另一端之連接凸塊連接。

本發明之凸塊接點之電阻測量結構中，該第一連接墊及該第二連接墊之材質較佳可為可導電之材質，例如銅、鎳、錫等金屬。

本發明另提供一種封裝基板，其係具有一凸塊接點之電阻測量結構，該封裝基板包括：一印刷電路板，其表面係包括有至少一第一連接墊；一晶片，其表面係包括有至少一第二連接墊；以及複數個連接凸塊，係排列呈一線；其中，該複數個連接凸塊中之第 n 個連接凸塊與第 $n+1$ 個連接凸塊係以該第一連接墊電性連接，該第 $n+1$ 個連接凸塊與第 $n+2$ 個連接凸塊係以該第二連接墊電性連接， n 係為1以上

之奇數(即, $n=1,3,5,\dots$ 等); 該第二連接墊係與一輔助連接墊連接, 該輔助連接墊係與一輔助凸塊(auxiliary bump)連接。

本發明之封裝基板中, 其所具有之凸塊接點之電阻測量結構係為一種結合了凱文結構與花環結構之凱文-花環複合結構, 因此可同時取得巨觀之統計性分析結果與微觀之小區域變化, 同時保留兩種結構之優點, 並可減少大量凱文結構同時存在時所需之量測用金屬墊數量, 大幅縮減試片面積、降低測試成本。

本發明之封裝基板較佳可更包括一第一電壓量測墊, 該第一電壓量測墊係與該第一連接墊連接。

本發明之封裝基板較佳可更包括一第二電壓量測墊, 該第二電壓量測墊係連接至該輔助凸塊。

本發明之封裝基板中, 該連接凸塊較佳係一鎳錫凸塊。

本發明之封裝基板中, 該輔助凸塊較佳係一鎳錫凸塊。

本發明之封裝基板中, 該第一電壓量測墊、及/或第二電壓量測墊較佳係設於印刷電路板之表面。

本發明之封裝基板較佳可更包括: 一電流導入線, 係與複數個連接凸塊之第一個連接凸塊連接; 以及一電流導出線, 係與複數個連接凸塊之第最後一個連接凸塊連接。

本發明之封裝基板中, 該第一連接墊及該第二連接墊之材質較佳可為可導電之材質, 例如銅、鎳、錫等金屬。

【實施方式】

[實施例1]

如圖4所示，其係本實施例之凸塊接點之電阻測量結構之連接示意圖，係包括有：第1個至第5個鐳錫凸塊B1-B5，排列呈一線；第一連接墊C1,C3,C5；以及第二連接墊C2,C4,C6；第1個鐳錫凸塊B1與第2個鐳錫凸塊B2係以該第一連接墊C1電性連接，該第2個鐳錫凸塊B2與第3個鐳錫凸塊B3係以該第二連接墊C2電性連接，第一連接墊C1係與一第一電壓量測墊P1連接；第二連接墊C2係與一輔助連接墊P2'連接，該輔助連接墊P2'係與一輔助凸塊(auxiliary bump)B2'連接，一第二電壓量測墊P2係連接至該輔助凸塊B2'。

第3個鐳錫凸塊B3與第4個鐳錫凸塊B4係以該第一連接墊C3電性連接，該第4個鐳錫凸塊B4與第5個鐳錫凸塊B5係以該第二連接墊C4電性連接，第一連接墊C3係與一第一電壓量測墊P3連接；第二連接墊C4係與一輔助連接墊P4'連接，該輔助連接墊P4'係與一輔助凸塊B4'連接，一第二電壓量測墊P4係連接至該輔助凸塊B4'。

電流I由結構3之左端的電流導入線導入，並由結構3右端的電流導出線導出。

當欲測量第2個鐳錫凸塊B2之電阻R2時，係由第一電壓量測墊P1及第二電壓量測墊P2分別測得電壓值V1,V2，並藉由以下公式計算電阻R2：

$$\Delta V2 = V2 - V1;$$

$$R2 = \Delta V2 / I。$$

另外，當欲測量第3個鉚錫凸塊B3之電阻R3時，係由第一電壓量測墊P3及第二電壓量測墊P2分別測得電壓值V3,V2，並藉由以下公式計算：

$$\Delta V3 = V3 - V2;$$

$$R3 = \Delta V3 / I。$$

本發明之凸塊接點之電阻測量結構係結合了凱文結構與花環結構，藉此，可同時取得巨觀之統計性分析結果與微觀之小區域變化，使得大幅降低可靠度測試之成本、降低缺陷分析之定位難度、降低測試試片之生產成本、與降低參數最佳化所需之時間，於封裝與測試產業將有重大助益，且可大幅提升現有封裝與測試產業之可靠度分析效率。

[實施例2]

如圖5所示，其係本實施例之封裝基板之凸塊接點之電阻測量結構之電性連接示意圖，而圖6係圖5中線X-X'之剖面圖。請同時參閱圖5及6，本實施例中，如圖5所示，輔助凸塊B2',B4'、第一電壓量測墊P1,P3、以及第二電壓量測墊P2,P4係位於第1個至第5個鉚錫凸塊B1-B5之同一側。第一連接墊C1,C3、第一電壓量測墊P1,P3、以及第二電壓量測墊P2,P4係位於印刷電路板31(如圖6所示)之表面，第二連接墊C2,C4係位於半導體晶片32(如圖6所示)之表面。該些鉚錫凸塊B1-B5則配置於第一連接墊與第二連接墊之間。

測試時，電流係由鉚錫凸塊B1-B5左端之電流導入線33導入，並由右端之電流導出線34導出，並使用第一電壓量測墊P1,P3、以及第二電壓量測墊P2,P4測量電壓，已如同實

施例1之相同公式計算電阻。當測試完成後，可由切割線L處進行切割，將第一電壓量測墊P1,P3、以及第二電壓量測墊P2,P4切除，減少封裝基板之整體體積。

本發明之凸塊接點之電阻測量結構及/或封裝基板結合了凱文結構與花環結構，凱文-花環複合結構之優點在於，可取得測試結構之統計性分析結果與早期變化結果，亦可針對各欲觀測分段或錫錫接點做詳細的電阻分析，精確定位於可靠度測試中受破壞之位置，結合參數化之結構設計，可大幅縮減可靠度測試所需之時間、縮小測試試片面積、降低測試試片生產之成本。

使用本發明之凸塊接點之電阻測量結構及/或封裝基板，當欲測量 n 個錫錫凸塊的電阻時，僅需提供 $n/2$ 個輔助凸塊、 n 個電壓量測墊、以及1對電流線路。相較於習知技術中(須提供 n 個輔助凸塊、 $2n$ 個電壓量測墊、以及 $2n$ 個電流線路)，本發明之凸塊接點之電阻測量結構及/或封裝基板可降低輔助凸塊的使用量(僅需習之技術中一半數量的輔助凸塊)、可降低電壓量測墊的使用量(僅需習之技術中一半數量的電壓量測墊)。

綜上所述，本發明之凸塊接點之電阻測量結構及/或封裝基板可同時取得巨觀之統計性分析結果與微觀之小區域變化，使得大幅降低可靠度測試之成本、降低缺陷分析之定位難度、降低測試試片之生產成本、與降低參數最佳化所需之時間，於封裝與測試產業將有重大助益，且可大幅提升現有封裝與測試產業之可靠度分析效率。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係習知四點探針結構示意圖。

圖2係習知凱文結構應用於連接半導體晶片與印刷電路板之鐸錫球之電阻測量結構示意圖。

圖3係本發明中之花環結構示意圖。

圖4係本發明實施例1之凸塊接點之電阻測量結構之連接示意圖。

圖5係本發明實施例2之封裝基板之凸塊接點之電阻測量結構之電性連接示意圖。

圖6係圖5中線X-X'之處之剖面圖。

【主要元件符號說明】

10 待測物

11,12,13,14 探針

B1,B2,B3,B4,B5 連接凸塊

B1',B2',B4' 輔助凸塊

P1,P2,P3,P4 電壓量測墊

P2', P4' 輔助連接墊

C1,C3,C5 第一連接墊

C2,C4,C6 第二連接墊

$V1^+, V1^-, V2^+, V2^-, V1, V2$ 電壓

$I1, I2$ 電流線路

I 電流

31 印刷電路板

32 半導體晶片

33 電流導入線

34 電流導出線

$X-X'$ 線

七、申請專利範圍：

1. 一種凸塊接點之電阻測量結構，包括：

複數個連接凸塊，係排列呈一線；

至少一第一連接墊；以及

至少一第二連接墊；

其中，該複數個連接凸塊中之第 n 個連接凸塊與第 $n+1$ 個連接凸塊係以該第一連接墊電性連接，該第 $n+1$ 個連接凸塊與第 $n+2$ 個連接凸塊係以該第二連接墊電性連接， n 係為1以上之奇數；

該第一連接墊係與一第一電壓量測墊連接；

該第二連接墊係與一輔助連接墊連接，該輔助連接墊係與一輔助凸塊(auxiliary bump)連接，一第二電壓量測墊係連接至該輔助凸塊。

2. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該連接凸塊係一鍍錫凸塊。

3. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該輔助凸塊係一鍍錫凸塊。

4. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該第一連接墊係設於一印刷電路板之表面。

5. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該第二連接墊係設於一晶片之表面。

6. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該第一電壓量測墊係設於一印刷電路板之表面。

7. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該第二電壓量測墊係設於一印刷電路板之表面。

8. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，更包括：一電流導入線，係與複數個連接凸塊一端之連接凸塊連接；以及一電流導出線，係與複數個連接凸塊另一端之連接凸塊連接。

9. 如申請專利範圍第1項所述之凸塊接點之電阻測量結構，其中，該第一連接墊及該第二連接墊之材質係金屬。

10. 一種封裝基板，其係具有一凸塊接點之電阻測量結構，該封裝基板包括：

一印刷電路板，其表面係包括有至少一第一連接墊；

一晶片，其表面係包括有至少一第二連接墊；以及

複數個連接凸塊，係排列呈一線；

其中，該複數個連接凸塊中之第 n 個連接凸塊與第 $n+1$ 個連接凸塊係以該第一連接墊電性連接，該第 $n+1$ 個連接凸塊與第 $n+2$ 個連接凸塊係以該第二連接墊電性連接， n 係為1以上之奇數；

該第二連接墊係與一輔助連接墊連接，該輔助連接墊係與一輔助凸塊連接。

11. 如申請專利範圍第10項所述之封裝基板，更包括一第一電壓量測墊，該第一電壓量測墊係與該第一連接墊連接。

12. 如申請專利範圍第10項所述之封裝基板，更包括一第二電壓量測墊，該第二電壓量測墊係連接至該輔助凸塊。

13. 如申請專利範圍第10項所述之封裝基板，其中，該連接凸塊係一鉚錫凸塊。

14. 如申請專利範圍第10項所述之封裝基板，其中，該輔助凸塊係一鉚錫凸塊。

15. 如申請專利範圍第11項所述之封裝基板，其中，該第一電壓量測墊係設於一印刷電路板之表面。

16. 如申請專利範圍第12項所述之封裝基板，其中，該第二電壓量測墊係設於一印刷電路板之表面。

17. 如申請專利範圍第10項所述之封裝基板，更包括：一電流導入線，係與複數個連接凸塊之第一個連接凸塊連接；以及一電流導出線，係與複數個連接凸塊之第最後一個連接凸塊連接。

18. 如申請專利範圍第10項所述之封裝基板，其中，該第一連接墊及該第二連接墊之材質係金屬。

八、圖式 (請見下頁)：

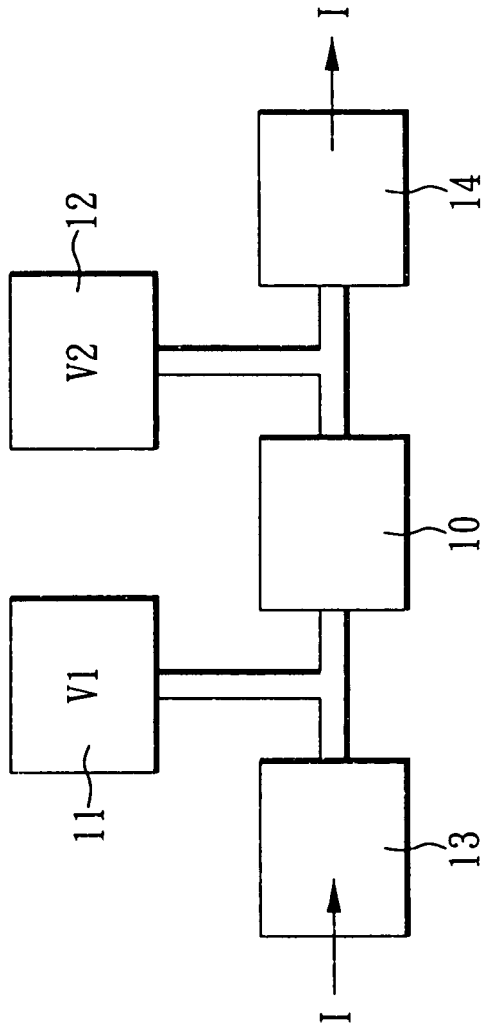


圖1

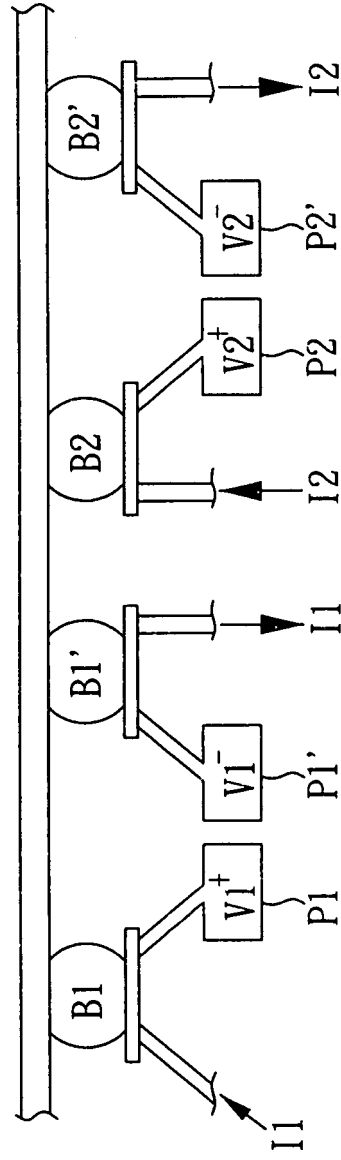


圖2

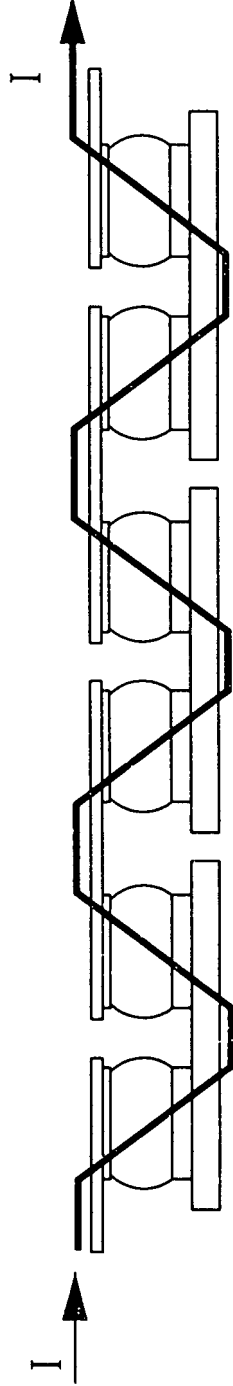


圖 3

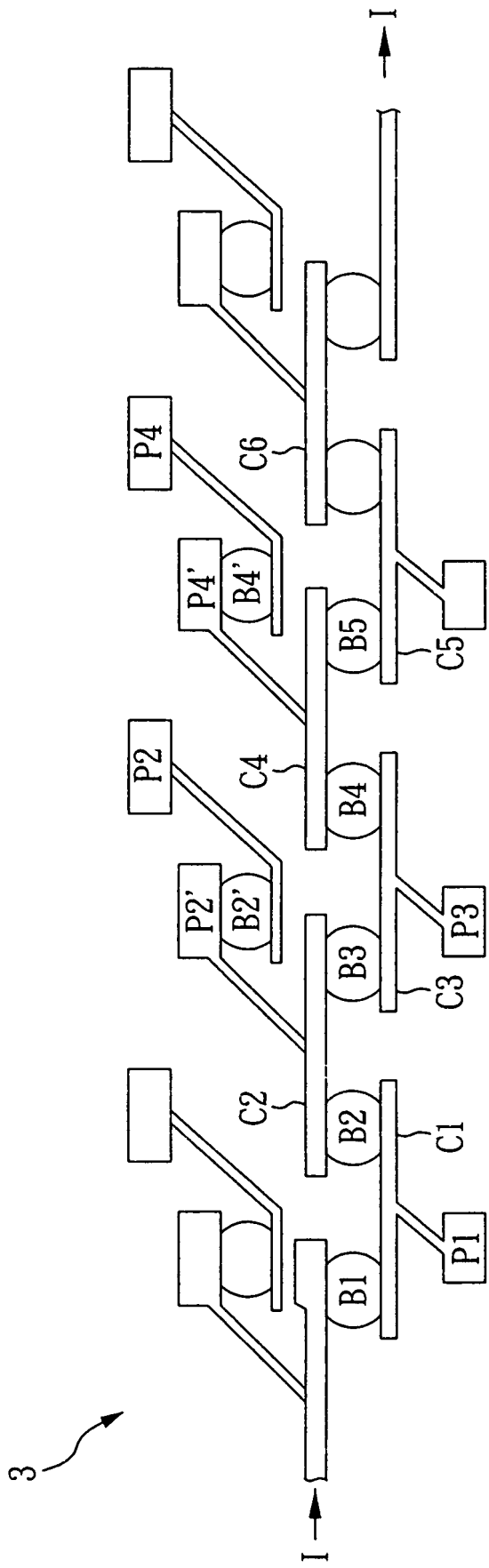


圖4

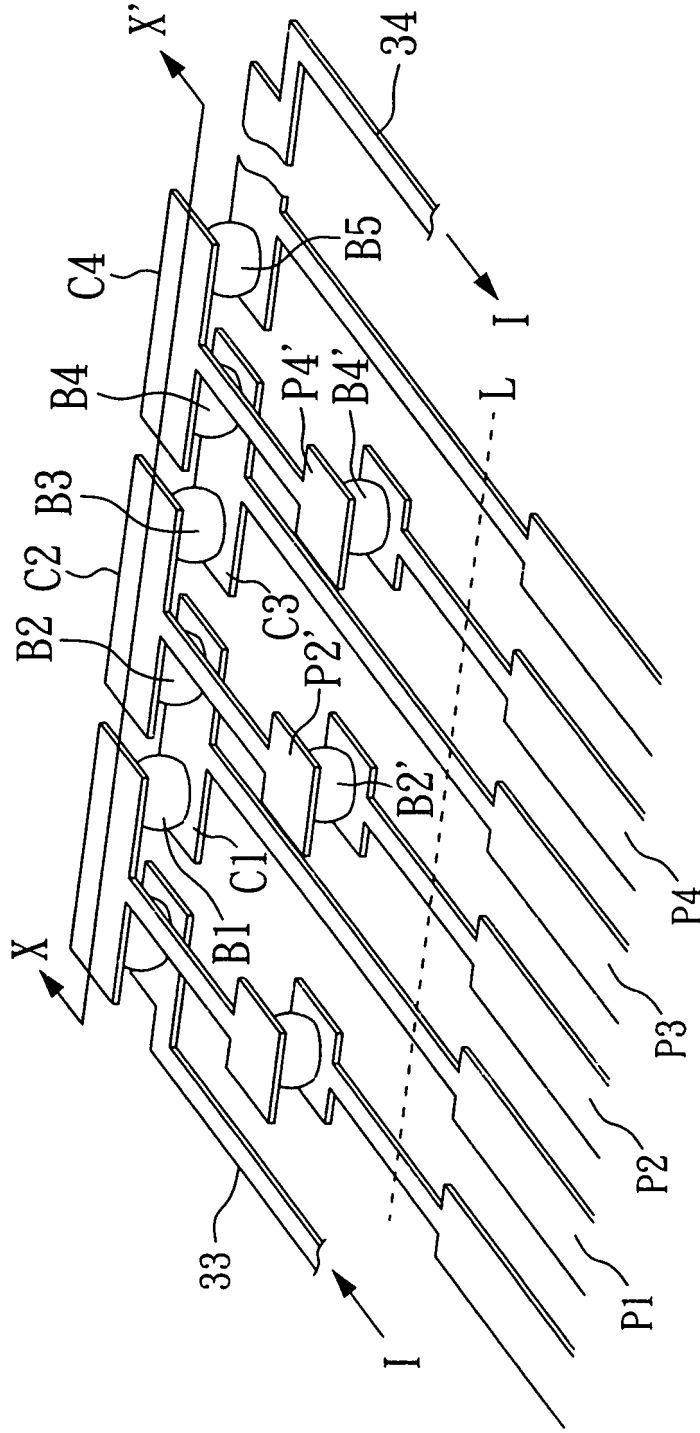


圖5

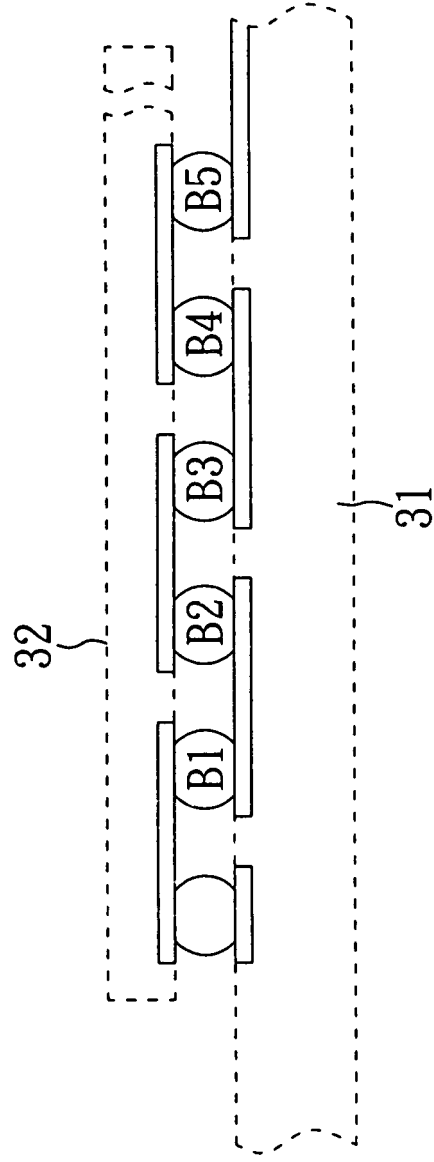


圖6