

(21)申請案號：100107526

(22)申請日：中華民國 100 (2011) 年 03 月 07 日

(51)Int. Cl. : H03L7/081 (2006.01)

H03L7/085 (2006.01)

H03L7/16 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：謝忠穎 HSIEH, CHUNG YING (TW)；張銘宏 CHANG, MING HUNG (TW)；黃

威 HWANG, WEI (TW)

(74)代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：7 項 圖式數：5 共 33 頁

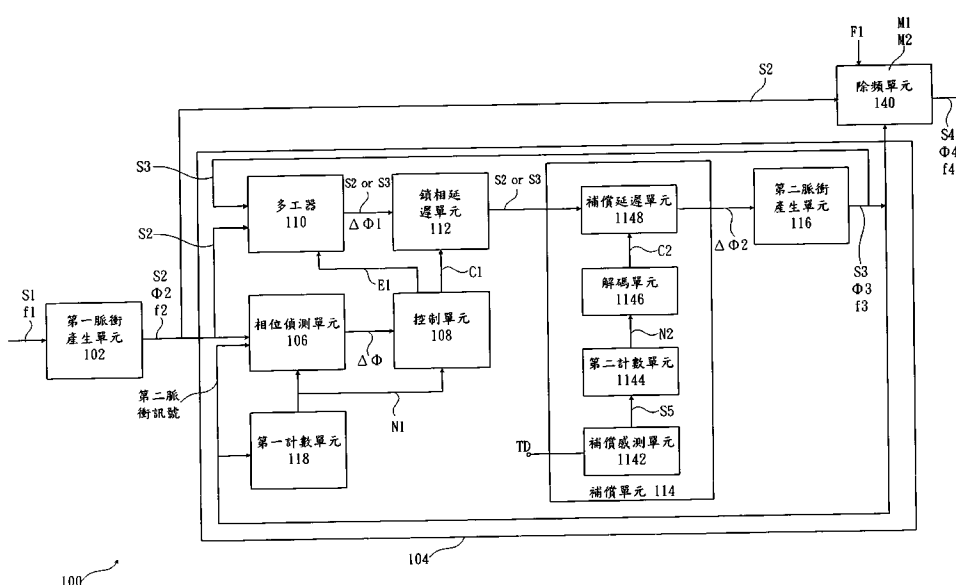
(54)名稱

用於次臨界 / 近臨界動態電壓與頻率調節系統之可程式化時脈產生器

A PROGRAMMABLE CLOCK GENERATOR FOR BEING USED IN DYNAMIC-VOLTAGE-AND-FREQUENCY-SCALING (DVFS) OPERATED IN SUB- AND NEAR-THRESHOLD REGION

(57)摘要

一種可程式化時脈產生器，係適用於次臨界/近臨界之動態電壓與頻率調節系統，其包含：第一脈衝產生單元以及脈衝乘法器。第一計數單元係產生第一計數訊號，以控制相位偵測單元比較第一脈衝訊號與第二脈衝訊號之相位差，控制單元係根據相位差訊號以傳送第一控制訊號，並控制鎖相延遲單元調整第二脈衝訊號之相位，以使第二脈衝訊號與第一脈衝訊號相差一預定相位，藉此，可程式化時脈產生器可補償在低壓狀況下，關於製程、電壓以及溫度之變異，使得可程式化時脈產生器在低壓下仍可產生預期的頻率。



100：可程式化時脈產生器

102：第一脈衝產生單元

104：脈衝乘法器

106：相位偵測單元

108：控制單元

110：多工器

112：鎖相延遲單元

114：補償單元

116：第二脈衝產生單元

118：第一計數單元

140：除頻單元

1142：補償感測單元

1144：第二計數單元

1146：解碼單元

1148：補償延遲單元

C1：第一控制訊號

C2：第二控制訊號

E1：選擇訊號

F1：輸入頻率選擇訊號

f1：輸入頻率

f2：第一頻率

f3：第二頻率

f4：輸出頻率

M1：第一參數

M2：第二參數

N1：第一計數訊號

N2：第二計數訊號

S1：輸入訊號

S2：第一脈衝訊號

S3：第二脈衝訊號

S4：輸出訊號

S5：第三時脈訊號

TD：參考時脈訊號

$\Phi 2$ ：第一相位

$\Phi 3$ ：第二相位

$\Phi 4$ ：輸出相位

$\Delta\Phi$ ：相位差訊號

$\Delta\Phi 1$ ：第一預定相位

$\Delta\Phi 2$ ：第二預定相位

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100107526

H03L 7/081 (2006.01)

※申請日： 100.3.07

※IPC分類： H03L 7/085 (2006.01)

H03L 7/16

一、發明名稱：(中文/英文)

用於次臨界/近臨界動態電壓與頻率調節系統之可程式化

時脈產生器/A programmable clock generator for being used
in dynamic-voltage-and-frequency-scaling (DVFS) operated
in Sub- and Near-Threshold region

二、中文發明摘要：

一種可程式化時脈產生器，係適用於次臨界/近臨界之動態電壓與頻率調節系統，其包含：第一脈衝產生單元以及脈衝乘法器。第一計數單元係產生第一計數訊號，以控制相位偵測單元比較第一脈衝訊號與第二脈衝訊號之相位差，控制單元係根據相位差訊號以傳送第一控制訊號，並控制鎖相延遲單元調整第二脈衝訊號之相位，以使第二脈衝訊號與第一脈衝訊號相差一預定相位，藉此，可程式化時脈產生器可補償在低壓狀況下，關於製程、電壓以及溫度之變異，使得可程式化時脈產生器在低壓下仍可產生預期的頻率。

三、英文發明摘要：

A programmable clock generator, which is used in

- dynamic-voltage-and-frequency-scaling (DVFS) operated in Sub- and Near-Threshold region. The programmable clock generator includes first pulse generating unit and a pulse multiplier. A first counter is configured to generate a first counting signal, so as to control the phase detector comparing the phase difference between a first pulse signal and a second pulse signal. A first control signal is transmitted by a control unit in accordance with a phase difference signal, and the phase of the second pulse signal is adjusted by a lock-in delay unit, so that a predetermined phase is generated between the second pulse signal and the second pulse signal. The PVT variation may be compensated by the programmable clock generator during the sub threshold region. Therefore, the period of reference clock is in the locking range of lock-in delay line.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 可程式化時脈產生器

102 第一脈衝產生單元

104 脈衝乘法器

106 相位偵測單元

108 控制單元

110 多工器

112 鎖相延遲單元

114 補償單元

116 第二脈衝產生單元

118 第一計數單元

140 除頻單元

S1 輸入訊號

f1 輸入頻率

S2 第一脈衝訊號

$\Phi 2$ 第一相位

f2 第一頻率

$\Delta \Phi$ 相位差訊號

C1 第一控制訊號

C2 第二控制訊號

E1 選擇訊號

S3 第二脈衝訊號

$\Phi 3$ 第二相位

f3 第二頻率
S4 輸出訊號
 $\Phi 4$ 輸出相位
f4 輸出頻率
 $\Delta \Phi 1$ 第一預定相位
M1 第一參數
M2 第二參數
S5 第三時脈訊號
N1 第一計數訊號
N2 第二計數訊號
 $\Delta \Phi 2$ 第二預定相位
F1 輸入頻率選擇訊號
TD 參考時脈訊號
1142 補償感測單元
1144 第二計數單元
1146 解碼單元
1148 補償延遲單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種可程式化時脈產生器，更特別的是關於一種操作於次臨界/近臨界之動態電壓與頻率調節系統，並可補償製程、電壓、溫度變異之可程式化時脈產生器。

【先前技術】

無線行為感測器網絡技術逐漸已在生活中漸漸佔有重要的影響，且在現今節能與環保意識主流下，各科技大廠無不紛紛鑽研降低耗能之方法，同時亦可延長裝置的工作時間。因此，以極低的電壓電路設計日趨重要，欲達到極低功率消耗的技術，故而將電路可操作在次臨界電壓附近，無疑將是很重要的課題。

且隨著互補式金氧半導體 (Complementary Metal-Oxide-Semiconductor, CMOS) 積體電路製程技術的演進，電晶體閘極氧化層 (gate-oxide) 的厚度越來越薄，其所能承受的最大跨壓，包括閘極-源極電壓 (V_{gs}) 和閘極-汲極電壓 (V_{gd}) 也跟著變小。為增快電路的工作速度，以及降低能源的消耗，近來的積體電路設計所使用之工作電壓也跟著降低。傳統技術中，為減少電路功率的消耗，需經常降低電路的操作電壓與頻率，在低電壓下，因為電壓係以二次方減少動態功率消耗，其可大大降低裝置的功率消耗，但是在極低電壓下，電路受到製程、電壓、溫度變異

影響極大，進而使時脈產生器的頻率鎖定範圍變化。當頻率鎖定範圍不能涵蓋參考頻率時，則有可能會造成電路功能上之錯誤，而使時脈產生器無法運作。

因此，需要一種可操作於極低電壓之可程式化時脈產生器，以針對可程式化時脈產生器因於低電壓環境下，所受到製程、電壓、溫度變異產生之頻率鎖定變化。

【發明內容】

本發明係提出一種具有動態頻率鎖定之可程式化時脈產生器，其係用以調節於操作於低電壓區域所產生製程、電壓、溫度變異之頻率鎖定偏移，有鑒於此，本發明係提供一種可程式化時脈產生器，其係適用於次臨界/近臨界之動態電壓與頻率調節系統，其包含：第一脈衝產生單元以及脈衝乘法器。第一脈衝產生單元係用以接收具有一輸入頻率之一輸入訊號，以產生具有一第一相位以及一第一頻率之一第一脈衝訊號。

脈衝乘法器係電連接該第一脈衝產生單元，該脈衝乘法器係包含：相位偵測單元、控制單元、多工器、鎖相延遲單元、補償單元、第二脈衝產生單元、以及第一計數單元。相位偵測單元係電連接該一脈衝產生單元，並接收第一脈衝訊號，用以產生一相位差訊號。控制單元係電連接該相位偵測單元，用以產生一第一控制訊號以及一選擇訊號。多工器係電連接於控制單元、第一脈衝產生單元，以及第二脈衝產生單元，用以接收選擇訊號、第一脈衝訊號，以及第二脈衝訊號。其中，控制單元係以選擇訊號控制多

工器傳送第一脈衝訊號或第二脈衝訊號。

鎖相延遲單元係電連接控制單元以及多工器，鎖相延遲單元係用以延遲自多工器接收之第一脈衝訊號或第二脈衝訊號第一預定相位。補償單元係電連接鎖相延遲單元，用以補償第一脈衝訊號或第二脈衝訊號一第二預定相位。第二脈衝產生單元係電連接補償單元以及相位偵測單元，係用以產生第二脈衝訊號，其中第二脈衝訊號係具有第二相位以及第二頻率。第一計數單元其係電連接第二脈衝產生單元、控制單元以及相位偵測單元，第一計數單元係用以計算第一計數值，並傳送第一計數訊號至相位偵測單元與控制單元。

於本發明實施例中，當第一計數單元所計算得之第一計數值為 8 時，第一計數單元係產生一第一計數訊號，以控制相位偵測單元比較第一脈衝訊號與第二脈衝訊號之一相位差，以傳送相位差訊號給控制單元，控制單元係根據相位差訊號以傳送第一控制訊號至鎖相延遲單元，並控制鎖相延遲單元調整第二脈衝訊號之相位，以使第二脈衝訊號與第一脈衝訊號相差一預定相位。

據此，本發明所提供之可程式化時脈產生器，可使可程式化時脈產生器操作於低電壓之次臨界/近臨界區域，以動態調節針對製程、電壓、溫度變異所造成之頻率鎖定範圍之引響提出補償，使得時脈產生器能鎖定住參考頻率。此外，本發明實現一個製程、電壓、溫度補償單元，用於調整時脈產生器的鎖定範圍。

【實施方式】

以下係藉由特定的具體實施說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以實行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參考第 1 圖，其係為本發明一較佳實施例之可程式化時脈產生器之電路方塊圖。本發明係提供一可程式化時脈產生器(Programmable Clock Generator)100，其係適用於次臨界/近臨界(Sub- and Near-Threshold)之動態電壓與頻率調節系統(Dynamic Voltage and Frequency Scaling system, DVFS system)，故該可程式化時脈產生器 100 係包含以下元件：第一脈衝產生單元 102、脈衝乘法器 104。其中，具有一輸入頻率 f_1 之一輸入訊號 S1 係輸入第一脈衝產生單元 102，同時產生第一脈衝訊號 S2，第一脈衝訊號 S2 具有一第一相位 Φ_2 ，以及第一頻率 f_2 ，其中，第一頻率 f_2 係與輸入頻率 f_1 相等。脈衝乘法器 104 係電連接第一脈衝產生單元 102。

於本發明實施例第 1 圖中，脈衝乘法器 104 係包含：相位偵測單元 106、控制單元 108、多工器 110、鎖相延遲單元 112、補償單元 114、第二脈衝產生單元 116、第一計數單元 118。其中相位偵測單元 106 係電連接第一脈衝產生單元 102，並接收第一脈衝訊號 S2，用以產生一相位差訊號 $\Delta\Phi$ 。控制單元 108 係電連接相位偵測單元 106。控

制單元 108 係用以產生第一控制訊號 C1 以及一選擇訊號 E1。多工器 110 係電連接於控制單元 108、第一脈衝產生單元 102，以及第二脈衝產生單元 116。同時，多工器 110 係用以接收選擇訊號 E1、第一脈衝訊號 S2，以及第二脈衝訊號 S3，其中控制單元 108 係以選擇訊號 E1 控制多工器 110 傳送第一脈衝訊號 S2 或第二脈衝訊號 S3。

仍如第 1 圖中，鎖相延遲單元 112 係電連接控制單元 108 以及多工器 110。鎖相延遲單元 112 係用以延遲自多工器 110 接收之第一脈衝訊號 S2 或第二脈衝訊號 S3 一第一預定相位 $\Delta\Phi 1$ 。補償單元 114 係電連接鎖相延遲單元 112，其係用以補償第一脈衝訊號 S2 或第二脈衝訊號 S3 一第二預定相位 $\Delta\Phi 2$ 。第二脈衝產生單元 116 係電連接補償單元 114 以及相位偵測單元 106，係用以產生第二脈衝訊號 S3，其中第二脈衝訊號 S3 係具有第二相位 $\Phi 3$ 以及第二頻率 $f3$ 。第一計數單元 118 係電連接第二脈衝產生單元 116、控制單元 108 以及相位偵測單元 106，第一計數單元 118 係用以計算一第一計數值，並傳送一第一計數訊號 N1 至相位偵測單元 106 與控制單元 108。需說明的是，補償單元 114 係包含一製程、電壓、溫度補償單元，其係針對該第一脈衝訊號或該第二脈衝訊號因製程、電壓、溫度變異而相位偏移，以提供第二預定相位之補償。

於本實施例第 1 圖中，當第一計數單元 118 所計算得之第一計數值為 8 時，第一計數單元 118 係產生第一計數訊號 N1，以控制相位偵測單元 106 比較第一脈衝訊號 S2 與第二脈衝訊號 S3 之一相位差，以傳送相位差訊號 $\Delta\Phi$ 給

該控制單元 108，控制單元 108 係根據相位差訊號 $\Delta \Phi$ 以傳送第一控制訊號 C1 至鎖相延遲單元 112，並控制鎖相延遲單元 112 調整第二脈衝訊號 S3 之相位，以使第二脈衝訊號 S3 與第一脈衝訊號 S2 相差一預定相位。於此實施例中，第二脈衝訊號 S3 之第二頻率 f_3 係為第一頻率 f_2 之 8 倍。

於另一實施例中，請參考第 1 圖以及第 2 圖，其中第 2 圖為頻率選擇信號與輸出訊號 S4 以及輸入訊號關係表。可程式化時脈產生器 100 更包含一除頻單元 140。除頻單元 140 係電連接第一脈衝產生單元 102、第二脈衝產生單元 116、相位偵測單元 106 以及計數單元 118，除頻單元 140 係具有第一參數 M1 以及第二參數 M2，除頻單元 140 用以輸出輸出訊號 S4。其中，輸出訊號 S4 係具有輸出頻率 f_4 。第一參數 M1 係包含數值 1 以及 8。第二參數 M2 係包含數值 2、4、6 以及 8。輸出頻率 f_4 除以輸入頻率 f_1 係等於第一參數 M1 除以第二參數 M2，即 $M1 / M2 = f_4 / f_1$ 。於此實施例可知，本發明係提出一次臨界/近臨界可程式時脈產生器 100，因此，可程式時脈產生器 100 之輸出訊號 S4 之輸出頻率即為 1/8 到 4 倍輸入頻率 f_1 的輸出訊號 S1，且其係為輸入頻率選擇訊號 F1 所控制，而仍如第 2 圖所示。

又於實施例第 2 圖中，為產生輸出訊號 S4 之輸出頻率 f_4 為輸入訊號 S1 之輸入頻率 f_1 之 8 倍，本發明係採用一循環結構(circulating scheme)，每一第一脈衝訊號 S2 將進入循環路徑，並循環 8 次。此循環路徑係為選擇訊號 E1 所決定，請參考第 1 圖，當選擇訊號 E1 之值為 1 時，

選擇訊號 E1 係控制多工器 110 使第一脈衝訊號 S2 進入鎖相延遲單元 112。當選擇訊號 E1 之值不為 1 時，循環路徑則被建立。第一計數單元 118 係用以計數訊號經過循環路徑之次數，並藉由第一計數訊號 N1 通知相位偵測單元 106 以及控制單元 108 是否第一計數值等於 8。當第一計數值等於 8 時，第一計數單元 118 係傳送第一計數訊號 N1，並控制相位偵測單元 106 比較輸出訊號 S4 之輸出相位 $\Phi 4$ 以及第一時脈訊號 S2 之相位 $\Phi 2$ 。控制單元 108 係根據相位偵測單元 106 比較之結果，如相位領先或相位落後，修改相位偵測單元 106 之相位差訊號 $\Delta \Phi$ ，並改變第一控制訊號 C1 之值。

又於第 1 圖中之一實施例，補償單元 114 更包含補償感測單元 1142、第二計數單元 1144、解碼單元 1146、以及補償延遲單元 1148。其中之補償感測單元 1142 係用以接收參考時脈訊號 TD，並輸出第三時脈訊號 S5。第二計數單元 1144 係電連接補償感測單元 1142。第二計數單元 1144 係計數第三時脈訊號 S5，以得第二計數值，並根據第二計數值相對應產生第二計數訊號 N2。解碼單元 1146 係電連接第二計數單元 1144。解碼單元 1146 接收第二計數訊號 N2 並解碼，以產生第二控制訊號 C2。補償延遲單元 1148 係電連接解碼單元 1146、鎖相延遲單元 112 以及第二脈衝產生單元 116，補償延遲單元 1148 係接收第二控制訊號 C2。其中，第二控制訊號 C2 係控制補償延遲單元 1148，以針對第一脈衝訊號 S2 或第二脈衝訊號 S3 補償第二預定相位 $\Delta \Phi 2$ ，以使第一脈衝訊號 S2 或第二脈衝訊號 S3 落於

可程式化時脈產生器之鎖定範圍。

於第 1 圖中，鎖相延遲單元 112 以及補償單元 1148 係為晶格延遲線(lattice delay line)結構，且其為反及閘(NAND gate)所組成。需說明的是，鎖相延遲單元包含一鎖相延遲線(Lock-In Delay Line)裝置。補償單元 1148 係包含一製程、電壓、溫度補償延遲線(Process, Voltage and Temperature (PVT) compensation Delay Line)裝置。

請參考第 3 圖，係為本發明一較佳實施例之相位補償方法流程圖。於此補償方法中，首先重置步驟 S302。由於操作電壓區域落於超低電壓之次臨界/近臨界(Sub- and Near-Threshold)區域，相對於操作於臨限區(super-threshold)，其製程、電壓、溫度變異影響相對嚴重，即製程、電壓、溫度變異導致鎖相延遲單元 112 具有非常大的延遲，因此，可程式化時脈產生器 100 中之補償單元 114 係主要針對製程、電壓、溫度作補償，以提供鎖相延遲單元 112 適當之延遲，步驟 S304。接著，控制單元 108 利用二分搜尋演算法(binary search algorithm)為基礎，達到成功逼近(success approximation register, SAR)控制，並根據相位偵測單元 106 比較之結果，如相位領先或相位落後，改變第一控制訊號 C1。藉由成功逼近(success approximation register, SAR)控制，輸入訊號 S1 之相位將落於鎖相延遲單元 112 之鎖定範圍內，步驟 S306。最終，可程式時脈產生器 100 鎖定相位，變成鎖定狀態，步驟 S308，其中輸出訊號 S4 之時脈係為輸入訊號 S1 乘或除一頻率。從輸出至相位偵測單元 106、控制單元 108 之回授

迴圈(feedback loop)，第一控制訊號 C1 仍舊保持固定。控制單元 108 將利用第一計數單元 118 對第一控制訊號 C1 每次加 1 或減 1 以繼續追蹤其相位，甚至在電壓以及溫度變異存在之情況下，確保可程式時脈產生器 100 於封閉回授迴圈中，可鎖定輸入時脈。

請參考第 1 圖、第 4A 圖、以及第 4B 圖，其中第 4A 圖、第 4B 圖分別為根據本發明第 1 圖較佳實施例之可程式化時脈產生器 100 之補償感測單元 1142、補償延遲單元 1148 之電路圖所產生。於第 4A 圖實施例中，補償單元 114 係包括了補償感測單元 1142、第二計數單元 1144、解碼單元 1146。需說明的是，補償感測單元 1142 係為一製程、電壓、溫度感測電路，其為環形震盪器(ring oscillator)所構成，以切換於開或關。當可程式時脈產生器 100 於補償步驟時，其切換訊號係開啟一時脈週期，第二計數單元 1144 記錄其震盪週期次數。其中，鎖相延遲單元 112 以及補償單元 114 係為一晶格延遲線(lattice delay line)結構，且其係為反及閘(NAND gate) D_{NAND} 所組成。

於第 1 圖之鎖相延遲單元 112 係為一晶格延遲線(lattice delay line)結構，且其係為反及閘(NAND gate) D_{NAND} 所組成，而第 4A 圖之補償感測單元 1142 係為反相器閘(inverter gate) D_{INV} 所組成。

復參考第 4A 圖與第 4B 圖，該補償感測單元 1142 為 64 級(64stage)反相器延遲，其第二計數值等於以下的第 (1) 式：

$$\frac{T_D}{128 \times D_{INV}} \quad (1)$$

而反相器閘 (inverter gate) D_{INV} 與反及閘 (NAND gate) D_{NAND} 間關係式為以下的第(2)式：

$$D_{NAND} = 2 \times D_{INV} \quad (2)$$

因此得出第(3)式：

$$count = \frac{T_D}{64 \times D_{NAND}} \quad (3)$$

由於可程式化時脈產生器 100 係採用 8 倍輸出頻率 f_4 之循環架構，因此，其將透過鎖相延遲單元 112 與補償單元 114 傳遞 8 次。為鎖定輸入訊號 S1，鎖相延遲單元 112 與補償單元 114 之目標延遲係等於 $1/8T_D$ ，因此，由第(3)式中可得到以下的第(4)式：

$$\begin{aligned} \frac{T_D}{8} &= count \times 8 \times D_{NAND} \\ &= \underbrace{(count \times 8 - 64) \times D_{NAND}}_{\text{Delay provided by PVT-comp delay line}} + \underbrace{64 \times D_{NAND}}_{\text{Delay provided by lock-in delay line}} \end{aligned} \quad (4)$$

由上式可知，延遲可分為兩部份，分別為鎖相延遲單元 112 以及補償延遲單元 1148 所提供，其鎖相延遲單元 112 鎖定之範圍介於 $4 \times D_{NAND}$ 至 $130 \times D_{NAND}$ 。其中，第(4)式中之 $64 \times D_{NAND}$ 代表鎖相延遲單元 112 之延遲係位於鎖定範圍之中間值。而其餘之延遲係由補償延遲單元 1148 所提供。補償延遲單元 1148 之單元延遲為 $32 \times D_{NAND}$ ，為計算第二控制訊號 C2 係為以下的第(5)式：

$$l = \frac{1}{32 \times D_{NAND,FO2}} [(count \times 8 - 64) \times D_{NAND,FO2}] = \frac{count}{4} - 2 \quad (5)$$

由於此延遲為補償延遲單元 1148 所提供，因此其值不可為負值，且其最小值係為 0。

請參考第 5A 圖，第 5B 圖，第 5C 圖至第 5D 圖，其係分別顯示本發明另一較佳實施例之可程式化時脈產生器 100 於 0.2V TT、0.2V FF、0.5V TT 以及 0.5V FF 經製程、電壓、溫度補償(PVT compensation)後之鎖定範圍改善比較圖。其中，(a)為補償前，(b)為補償後。故可觀察到，在第 5A 圖至第 5D 圖中之(a)圖中，由於環境變異之影響，輸入訊號 S1 以及參考時脈訊號 TD 之參考時脈係不介於鎖定範圍，導致可程式化時脈產生器 100 不可輸出多重時脈。第 5A 圖至第 5D 途中之(b)，在多重環境影像下，經補償製程、電壓、溫度補償後，輸入訊號 S1 以及參考時脈訊號 TD 之參考時脈則落於鎖定範圍。

藉由以上之實施例，本發明係提出統一的邏輯努力模型，其係建立於四個不同的 CMOS 奈米世代和環境參數的變異，包括供應電壓從 0.1 到 1 伏特(V)和溫度從攝氏-50 到 125 度。且，模型的最多平均誤差不超過 8.4%。藉著使用統一的邏輯模型，提出一個溫度強健之緩衝時脈樹，用以減輕溫度所造成的時脈相位差。邏輯努力——傳遞延遲的指標，跟隨著溫度與供應電壓變化，藉由可調寬度之緩衝器來控制。在這個設計裡面，溫度感測器測得不同部位的溫度並且動態調整相對應的緩衝器的邏輯努力，來減少脈衝相位差。

本發明係提出一個次臨界/近臨界可程式時脈產生器，它可以產生 $1/8$ 倍到 4 倍輸入頻率 f_1 的輸出時脈。變異感知的邏輯設計在這個時脈產生器已被執行。又本發明所採用之脈衝循環結構，係減少製程變異所造成的輸出時脈抖動。此外，本發明係實現一個製程、電壓、溫度補償單元，用於調整時脈產生器的鎖定範圍。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖係為本發明一較佳實施例之可程式化時脈產生器之電路方塊圖；

第 2 圖為頻率選擇信號與輸出訊號以及輸入訊號關係表；

第 3 圖為本發明一較佳實施例之相位補償方法流程圖；

第 4A 圖為根據本發明圖 1 較佳實施例之可程式化時脈產生器之補償感測單元電路圖；

第 4B 圖為根據本發明圖 1 較佳實施例之可程式化時脈產生器之補償延遲單元 1148 電路圖；以及

第 5A 圖，第 5B 圖，第 5C 圖至第 5D 圖，其係分別顯示本發明另一較佳實施例之可程式化時脈產生器於 $0.2V_{TT}$ 、 $0.2V_{FF}$ 、 $0.5V_{TT}$ 以及 $0.5V_{FF}$ 經製程、電壓、溫度補償後之鎖定範圍改善比較圖。

【主要元件符號說明】

100 可程式化時脈產生器

102 第一脈衝產生單元

104 脈衝乘法器

106 相位偵測單元

108 控制單元

110 多工器

112 鎖相延遲單元

114 補償單元

116 第二脈衝產生單元

118 第一計數單元

140 除頻單元

S1 輸入訊號

f1 輸入頻率

S2 第一脈衝訊號

$\Phi 2$ 第一相位

f2 第一頻率

$\Delta\Phi$ 相位差訊號

C1 第一控制訊號

C2 第二控制訊號

E1 選擇訊號

S3 第二脈衝訊號

$\Phi 3$ 第二相位

f3 第二頻率

S4 輸出訊號

$\Phi 4$ 輸出相位

f4 輸出頻率

$\Delta \Phi 1$ 第一預定相位

M1 第一參數

M2 第二參數

S5 第三時脈訊號

N1 第一計數訊號

N2 第二計數訊號

$\Delta \Phi 2$ 第二預定相位

F1 輸入頻率選擇訊號

TD 參考時脈訊號

1142 補償感測單元

1144 第二計數單元

1146 解碼單元

1148 補償延遲單元

D_{NAND} 反及閘(NAND gate)

D_{INV} 反相器閘(inverter gate)

402 虛擬反及閘(dummy NAND gate)

S301、S302、S304、S306、S308、S309 方法步驟

七、申請專利範圍：

1. 一種可程式化時脈產生器，係適用於次臨界/近臨界之動態電壓與頻率調節系統，其包含：

一第一脈衝產生單元，該第一脈衝產生單元係接收具有一輸入頻率之一輸入訊號，以產生具有一第一相位以及一第一頻率之一第一脈衝訊號；以及

一脈衝乘法器，該脈衝乘法器係電連接該第一脈衝產生單元，該脈衝乘法器係包含：

一相位偵測單元，係電連接該第一脈衝產生單元，並接收該第一脈衝訊號，用以產生一相位差訊號；

一控制單元，係電連接該相位偵測單元，用以產生一第一控制訊號以及一選擇訊號；

一多工器，係電連接於該控制單元、該第一脈衝產生單元，以及該第二脈衝產生單元，用以接收該選擇訊號、該第一脈衝訊號，以及該第二脈衝訊號，其中該控制單元係以該選擇訊號控制該多工器傳送該第一脈衝訊號或該第二脈衝訊號；

一鎖相延遲單元，係電連接該控制單元以及該多工器，該鎖相延遲單元係用以延遲自該多工器接收之該第一脈衝訊號或該第二脈衝訊號一第一預定相位；

一補償單元，係電連接該鎖相延遲單元，用以補償該第一脈衝訊號或該第二脈衝訊號一第二預定相位；

一 第二脈衝產生單元，係電連接該補償單元以及該相位偵測單元，係用以產生一第二脈衝訊號，其中該第二脈衝訊號係具有一第二相位以及一第二頻率；以及

一 第一計數單元，其係電連接該第二脈衝產生單元、該控制單元以及該相位偵測單元，該第一計數單元係用以計算一第一計數值，並傳送一第一計數訊號至該相位偵測單元與該控制單元；

其中，當該第一計數單元所計算得之該第一計數值為 8 時，該第一計數單元係產生一第一計數訊號，以控制該相位偵測單元比較該第一脈衝訊號與該第二脈衝訊號之一相位差，以傳送該相位差訊號給該控制單元，該控制單元係根據該相位差訊號以傳送該第一控制訊號至該鎖相延遲單元，並控制該鎖相延遲單元調整該第二脈衝訊號之相位，以使該第二脈衝訊號與該第一脈衝訊號相差一預定相位。

2. 如申請專利範圍第 1 項所述之可程式化時脈產生器，其中該補償單元係包含一製程、電壓、溫度補償單元，其係針對該第一脈衝訊號或該第二脈衝訊號因製程、電壓、溫度變異而相位偏移，以提供該第二預定相位之補償。
3. 如申請專利範圍第 1 項所述之可程式化時脈產生器，其中該第二頻率係為該第一頻率之 8 倍。
4. 如申請專利範圍第 1 項所述之可程式化時脈產生器，其中該補償單元更包含：

一補償感測單元，係接收一參考時脈訊號，並輸出一第三時脈訊號；

一第二計數單元，係電連接該補償感測單元，該第二計數單元係用以計數該第三時脈訊號以得一第二計數值，並相對應產生一第二計數訊號；以及

一解碼單元，係電連接該第二計數單元，用以接收該第二計數訊號，並解碼以產生一第二控制訊號；以及一補償延遲單元，係電連接該解碼單元、鎖相延遲單元以及該第二脈衝產生單元，該補償延遲單元係接收該第二控制訊號；

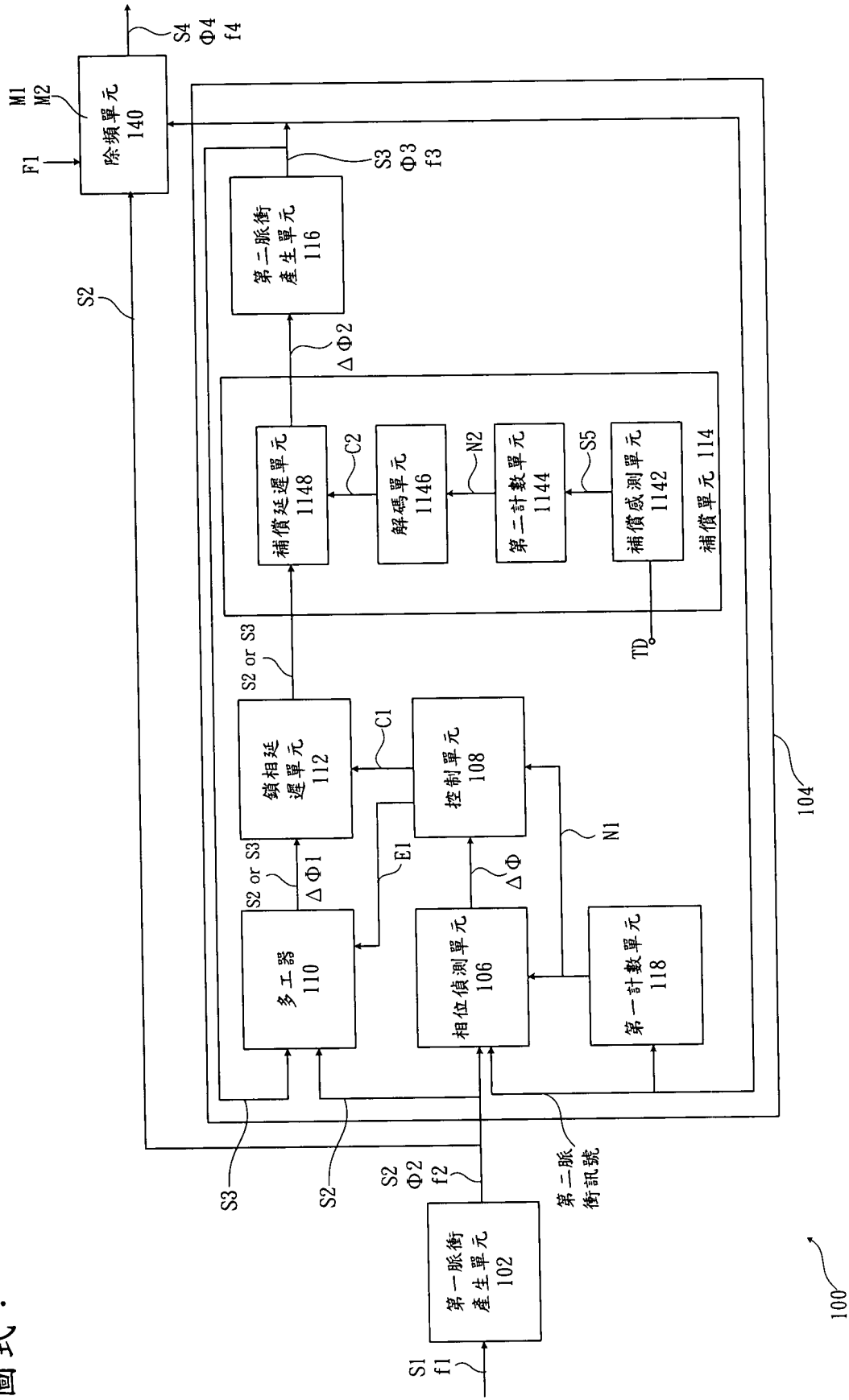
其中，該第二控制訊號係控制該補償延遲單元補償該第一脈衝訊號或該第二脈衝訊號該第二預定相位，以使該第一脈衝訊號或該第二脈衝訊號落於該可程式化時脈產生器之鎖定範圍。

5. 如申請專利範圍第 1 項所述之可程式化時脈產生器，更包含一除頻單元，係電連接該第一脈衝產生單元、該第二脈衝產生單元、該相位偵測單元以及該計數單元，該除頻單元係具有一第一參數以及一第二參數，該除頻單元用以輸出具有一輸出頻率之一輸出訊號，其中該第一參數係包含數值 1 以及 8，該第二參數係包含數值 2、4、6 以及 8，且該輸出頻率除以該輸入頻率係等於該第一參數除以該第二參數。
6. 如申請專利範圍第 1 項所述之可程式化時脈產生器，其中該鎖相延遲單元以及該補償單元係為一晶格延遲線 (lattice delay line) 結構，且其係為反及閘 (NAND gate)

• 所組成。

7. 如申請專利範圍第 1 項所述之可程式化時脈產生器，其中該鎖相延遲單元係為一晶格延遲線(lattice delay line)結構，且其係為反及閘(NAND gate)所組成，且該補償感測單元係為反相器(inverter)所組成。

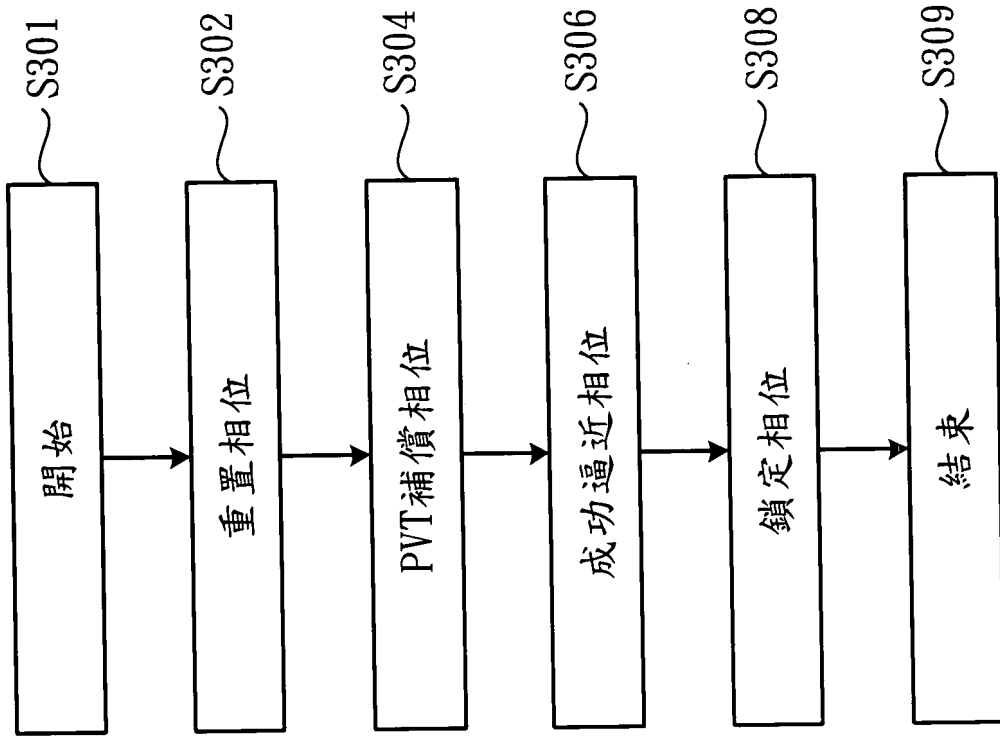
八、圖式：



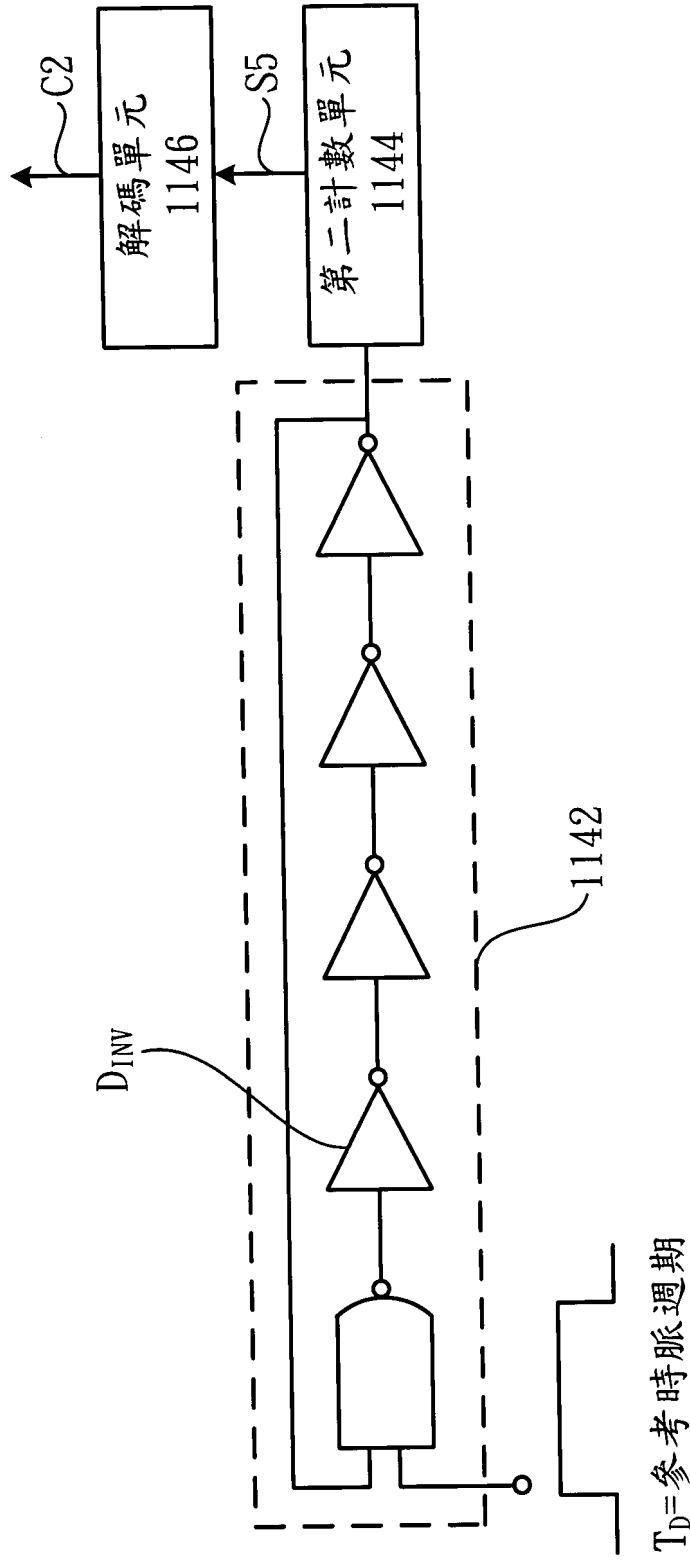
第 1 圖

F1	M1	M2	f4 / f1
000	1	8	0.125
001	1	6	0.167
010	1	4	0.250
011	1	2	0.5
100	8	8	1
101	8	6	1.333
110	8	4	2
111	8	2	4

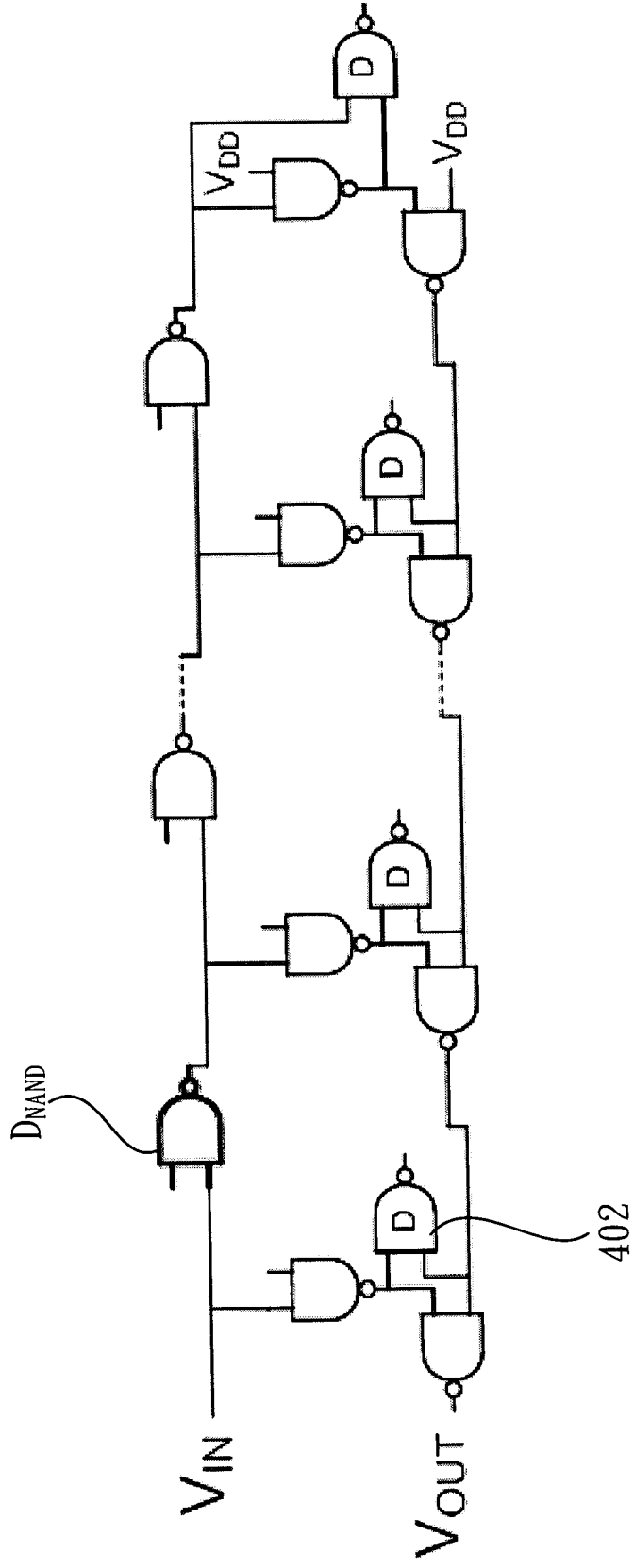
第 2 圖



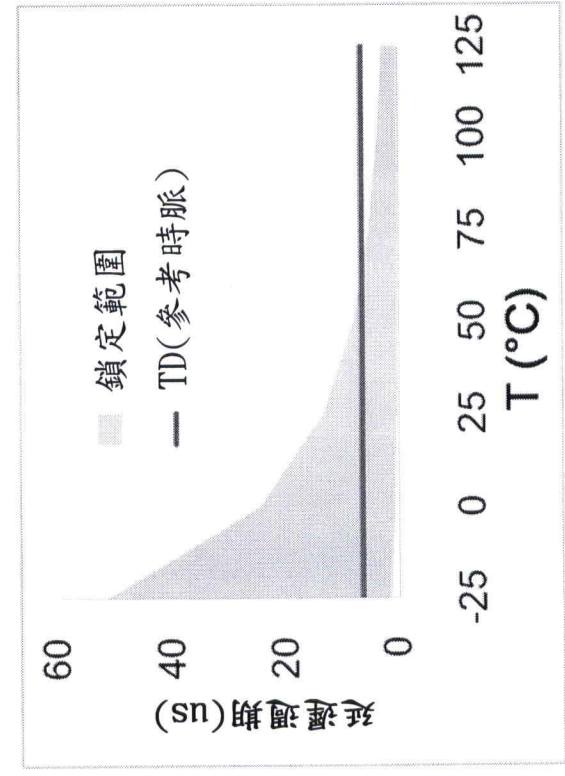
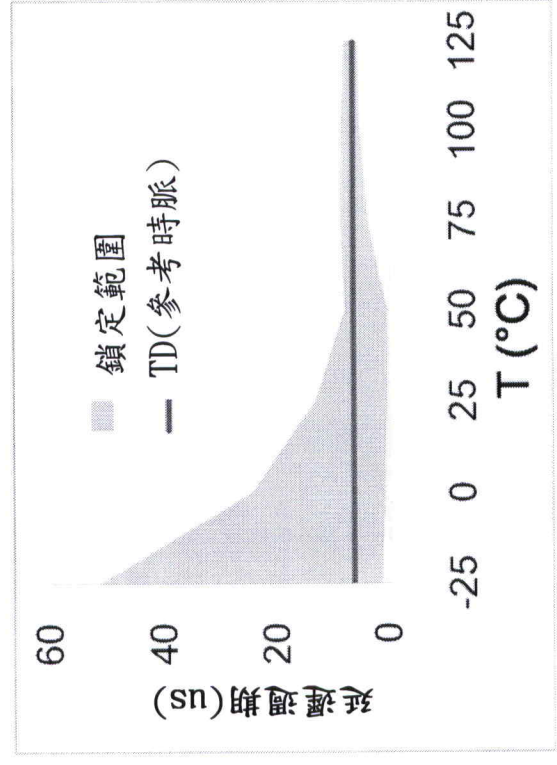
第 3 圖



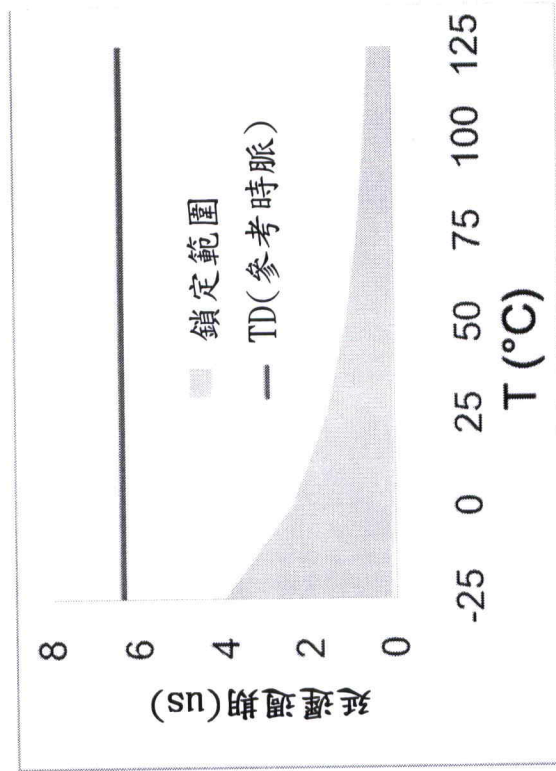
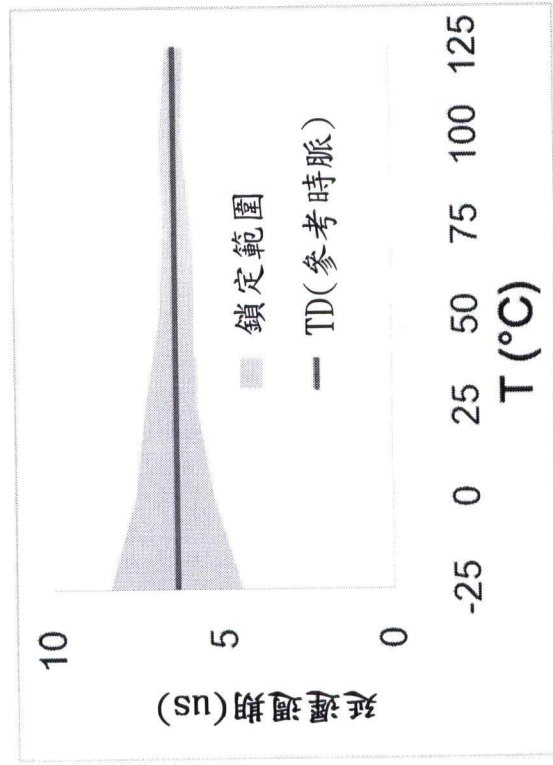
第 4A 圖



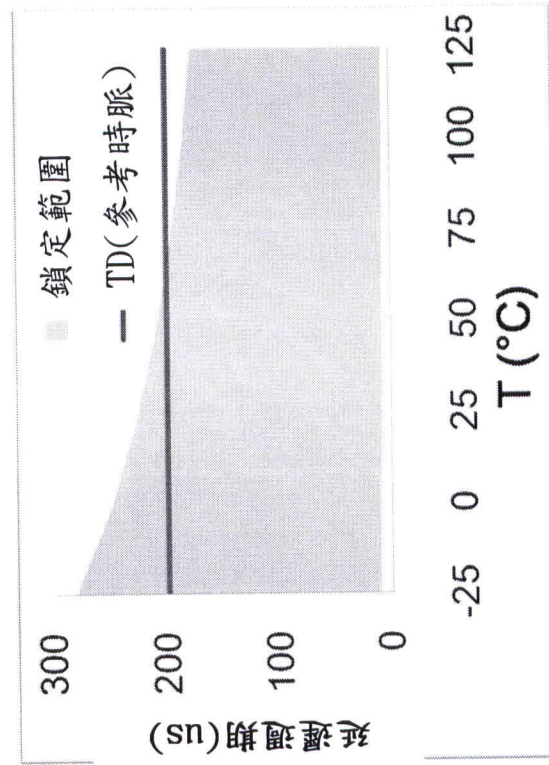
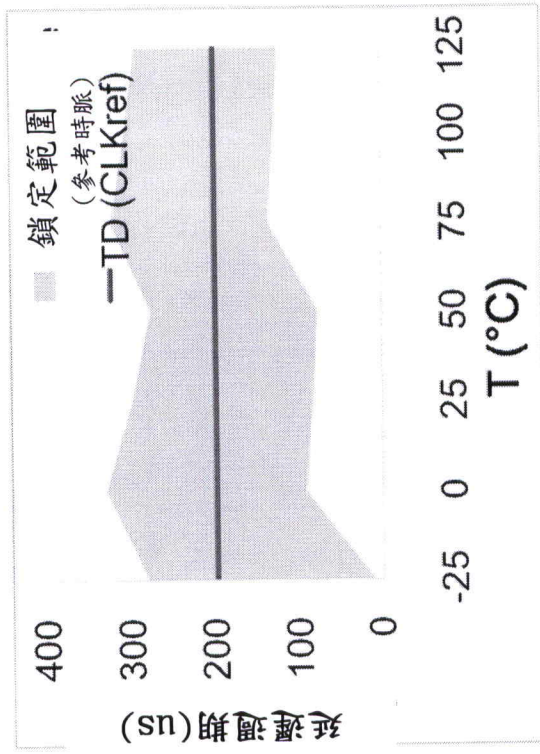
第 4B 圖



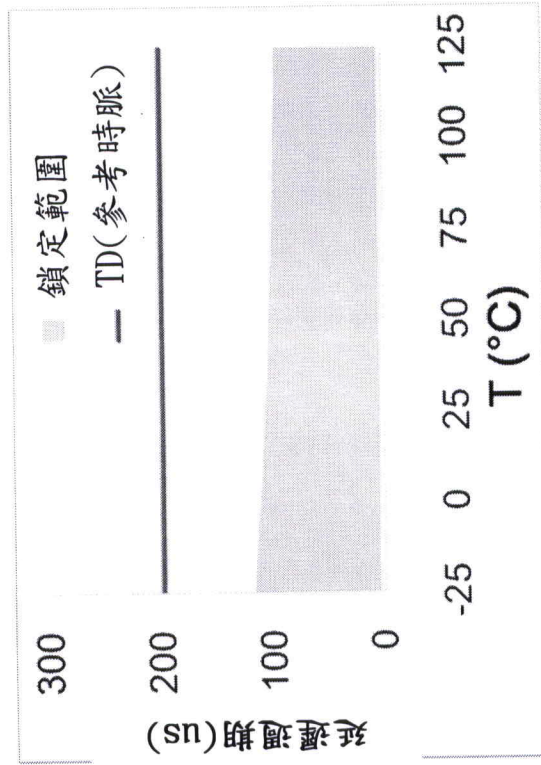
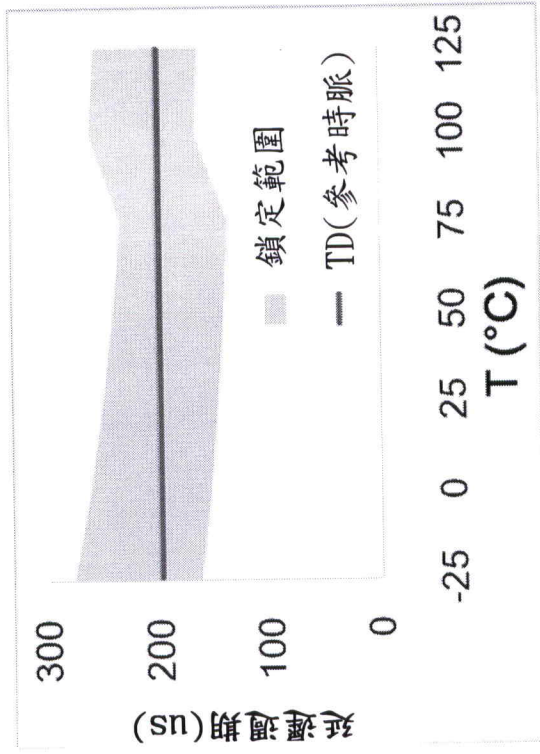
第 5A 圖



第 5B 圖



第 5C 圖



第 5D 圖

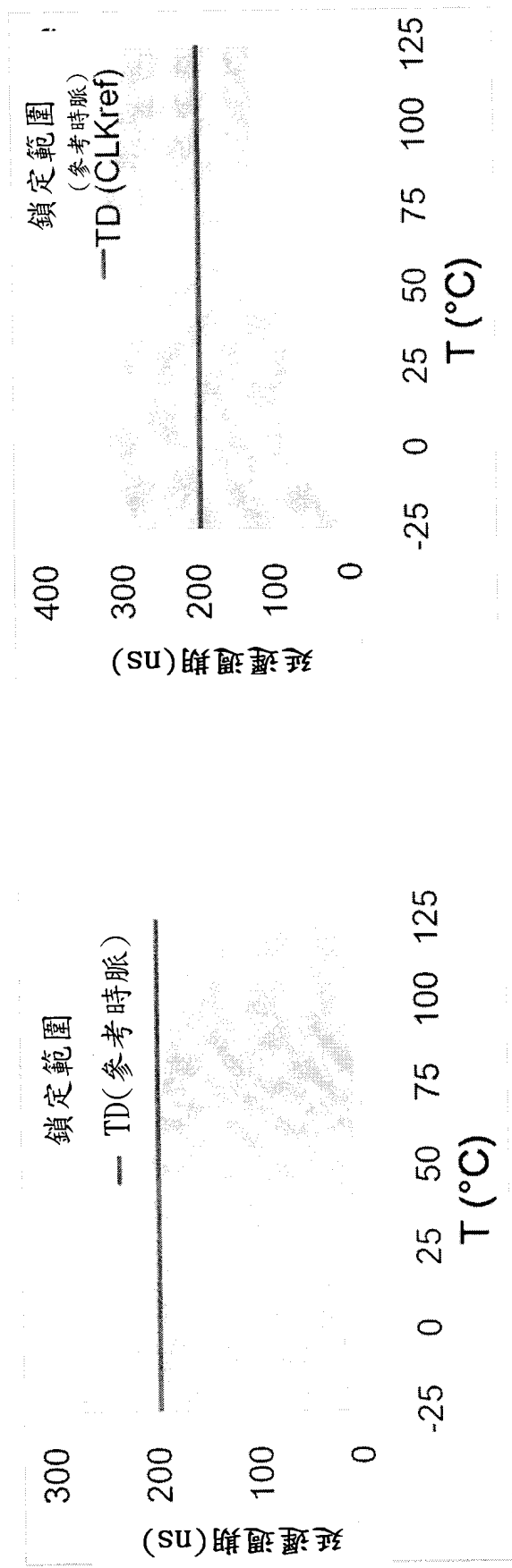
$$\frac{1}{32 \times D_{NAND,FO2}} [(count \times 8 - 64) \times D_{NAND,FO2}] = \frac{count}{4} - 2 \quad (5)$$

由於此延遲為補償延遲單元 1148 所提供，因此其值不可為負值，且其最小值係為 0。

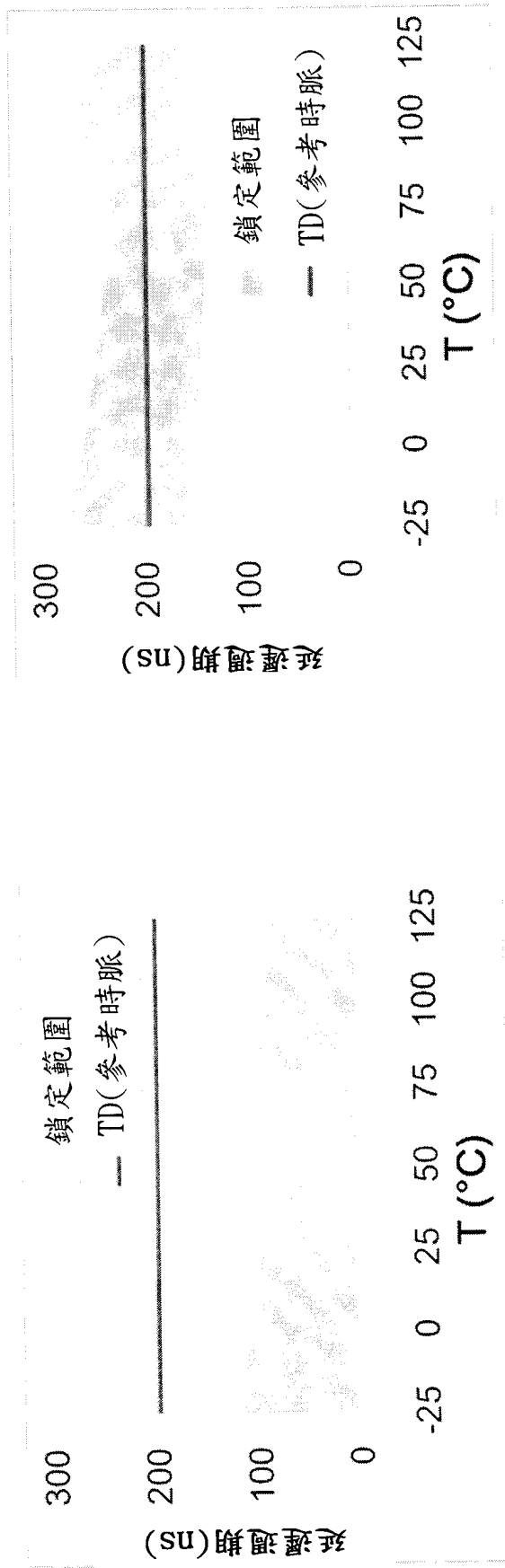
請參考第 5A 圖，第 5B 圖，第 5C 圖至第 5D 圖，其係分別顯示本發明另一較佳實施例之可程式化時脈產生器 100 於 0.2V TT、0.2V FF、0.5V TT 以及 0.5V FF 經製程、電壓、溫度補償(PVT compensation)後之鎖定範圍改善比較圖。其中，(a)為補償前，(b)為補償後。故可觀察到，在第 5A 圖至第 5D 圖中之(a)圖中，由於環境變異之影響，輸入訊號 S1 以及參考時脈訊號 TD 之參考時脈係不介於鎖定範圍，導致可程式化時脈產生器 100 不可輸出多重時脈。第 5A 圖至第 5D 途中之(b)，在多重環境影像下，經補償製程、電壓、溫度補償後，輸入訊號 S1 以及參考時脈訊號 TD 之參考時脈則落於鎖定範圍。

藉由以上之實施例，本發明係提出統一的邏輯努力模型，其係建立於四個不同的 CMOS 奈米世代和環境參數的變異，包括供應電壓從 0.1 到 1 伏特(V)和溫度從攝氏-50 到 125 度。且，模型的最多平均誤差不超過 8.4%。藉著使用統一的邏輯模型，提出一個溫度強健之緩衝時脈樹，用以減輕溫度所造成的時脈相位差。邏輯努力——傳遞延遲的指標，跟隨著溫度與供應電壓變化，藉由可調寬度之緩衝器來控制。在這個設計裡面，溫度感測器測得不同部位的溫度並且動態調整相對應的緩衝器的邏輯努力，來減少脈衝相位差。

100. 5. 05 修正
年 月 日 補充



第 5C 圖



第 5D 圖