

(21)申請案號：100108298

(22)申請日：中華民國 100 (2011) 年 03 月 11 日

(51)Int. Cl. : **H01L23/52 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：陳冠能 CHEN, KUAN NENG (TW)；張耀仁 CHANG, YAO JEN (TW)

(74)代理人：林火泉

申請實體審查：有 申請專利範圍項數：11 項 圖式數：2 共 17 頁

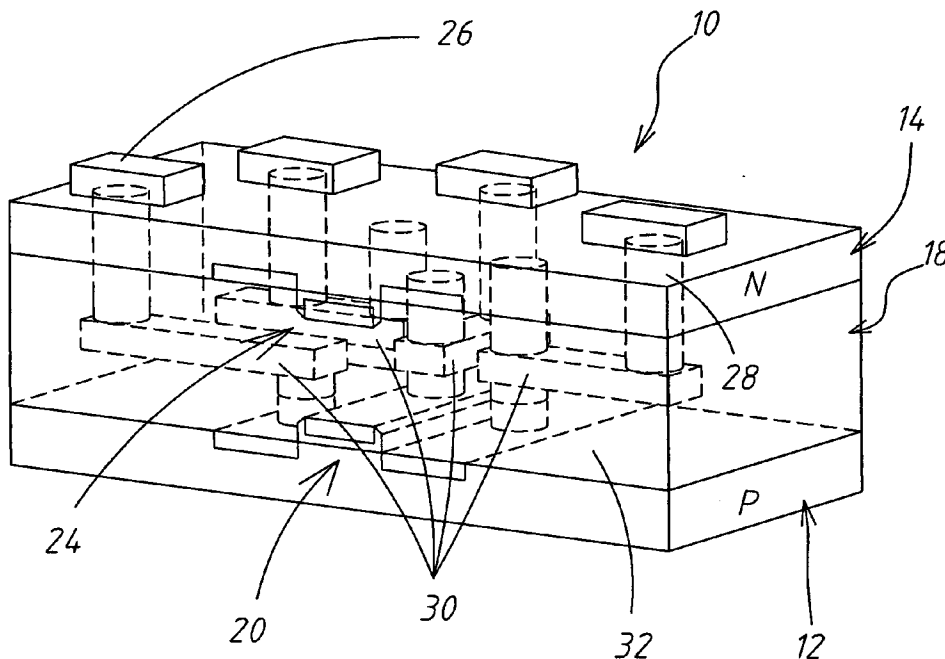
(54)名稱

三維互補式金屬氧化物半導體元件

THREE-DIMENSIONAL COMPLEMENTARY METAL OXIDE SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種三維互補式金屬氧化物半導體元件，其包含有一底部晶圓，其上形成含有一應力製程的第一型金屬氧化物半導體(MOS)；一採面對面或背對面堆疊於底部晶圓上方之頂部晶圓，其上形成一含有應力製程且正對第一型 MOS 的第二型 MOS 與數個金屬襯墊，頂部晶圓內形成有數個連接至金屬襯墊的 TSV；以及一混合式接合層，其位於底部晶圓與頂部晶圓間且包含有金屬接合區與非金屬接合區，金屬接合區是用以電性連接第一與第二型 MOS 至 TSV，非金屬接合區是填充於金屬接合區外的剩餘空間，以接合底部晶圓與頂部晶圓。



10：三維互補式金屬  
氧化物半導體元件

12：P 型基底

14：N 型基底

18：混合式接合層

20：N 型 MOS

24：P 型 MOS

26：襯墊

28：TSV

30：金屬接合區

32：非金屬接合區

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100108298

※申請日：100-03-11

※IPC 分類：

H01L 23/52

一、發明名稱：(中文/英文)

2006.01

三維互補式金屬氧化物半導體元件 / three-dimensional complementary metal oxide semiconductor device

二、中文發明摘要：

本發明提供一種三維互補式金屬氧化物半導體元件，其包含有一底部晶圓，其上形成含有一應力製程的第一型金屬氧化物半導體 (MOS)；一採面對面或背對面堆疊於底部晶圓上方之頂部晶圓，其上形成一含有應力製程且正對第一型 MOS 的第二型 MOS 與數個金屬襯墊，頂部晶圓內形成有數個連接至金屬襯墊的 TSV；以及一混合式接合層，其位於底部晶圓與頂部晶圓間且包含有金屬接合區與非金屬接合區，金屬接合區是用以電性連接第一與第二型 MOS 至 TSV，非金屬接合區是填充於金屬接合區外的剩餘空間，以接合底部晶圓與頂部晶圓。

三、英文發明摘要：

A three-dimensional complementary metal oxide semiconductor device, comprising: a bottom wafer having a first-type strained-MOS; a top wafer, stacked on the bottom wafer face to face or face to back, wherein a second-type strained-MOS corresponding to the first-type strained-MOS and a plurality of pads formed on the top wafer, and several TSVs connecting to the pads and formed in the top wafer; and a hybrids-bonding layer, located between the bottom wafer and the top wafer, and the hybrid-bonding layer having metallic-bonding areas connecting the first-type and second-type MOS to the TSVs, and a non-metallic-bonding area filling in all space except the metallic-bonding areas, so as to bond the bottom and top wafers.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1A ) 圖。

(二)本代表圖之元件符號簡單說明：

- 10 三維互補式金屬氧化物半導體元件
- 12 P 型基底
- 14 N 型基底
- 18 混合式接合層
- 20 N 型 MOS
- 24 P 型 MOS
- 26 襯墊
- 28 TSV
- 30 金屬接合區
- 32 非金屬接合區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種三維互補式金屬氧化物半導體元件，特別是指一種採面對面或背對面並利用混合式接合的三維互補式金屬氧化物半導體元件。

### 【先前技術】

為了獲得運作快速的互補式金屬氧化物半導體（C-MOS）積體電路，勢必要減少電晶體的開關時間與內連接線的傳輸延遲。減少開關時間可以藉由減少電晶體內連線長度與增加半導體內載體遷移率來達成。在增加半導體內載體的遷移率方面上，可以藉由使用具有不同軸向或晶格常數造成應力變化之半導體材料來作適當調整。舉例來說，在美國專利號為 US 7763915 之專利案就揭示了三種使用混合基材來組構此種快速運作之互補式金屬氧化物半導體積體電路的實施例。第一種方式是先於一基板上利用化學氣相沈積法形成一矽化鍍層，接續於矽化鍍層上利用磊晶法形成一單晶矽層。於矽化鍍層形成 p-MOS 電晶體，於單晶矽層形成 n-MOS 電晶體。PMOS 與 NMOS 間利用一內連接線。但在此種方式下，具有下列四種缺失：  
1.兩層間之 p-MOS 電晶體與 n-MOS 電晶體的摻雜物容易擴散，熱積存（thermal budget）會在連續的製程步驟下持續累積；2.n-MOS 電晶體下方為矽化鍍，因此電子容易從下方造成漏電流；3.產品的產出率（throughput）低；以及 4.此種堆疊結構應力效果會因沈積多層薄膜而釋放。

第二種方式是利用於 SOI 的晶圓層轉換與 smart cut 的接合技術於一基板上形成具（100）與（110）軸向，並於不同軸向區分別形成 p-MOS 電晶

體或 n-MOS 電晶體。但於此種方式下會因製程連續導致低產出率，再者同樣會累積熱積存。

第三種方式是採用局部的彈性變形。舉例來說是於一相同材質內形成鄰接的 p-MOS 電晶體與 n-MOS 電晶體。而 p-MOS 電晶體與 n-MOS 電晶體各位於張應力或壓縮應力區域。但在此方式下，p-MOS 電晶體與 n-MOS 電晶體是採用相同的材料，因此彈性較少。

有鑑於此，本發明遂針對上述習知技術之缺失，提出一種嶄新的三維互補式金屬氧化物半導體元件，以有效克服上述之該等問題。

### 【發明內容】

本發明之主要目的在提供一種三維互補式金屬氧化物半導體元件，其大幅縮小整個元件的面積，並降低 P 型 MOS 與 N 型 MOS 間的導線連接長度，以提高運作速度。

本發明之另一目的在提供一種三維互補式金屬氧化物半導體元件，其係分別製作 P 型 MOS 與 N 型 MOS，因此可降低元件內的熱積存及製程整合之成本，並簡化基底上應力層的製作。

本發明之再一目的在提供一種三維互補式金屬氧化物半導體元件，其可以使用不同的晶圓材料、晶圓軸向或者製作過程，來改變應力，增加載體的遷移速率。

本發明之又一目的在提供一種三維互補式金屬氧化物半導體元件，其 C-MOS 的製作上無使用井 (well) 摻雜，且製作方式符合半導體製程材料機台，能有效降低製程成本。

本發明之又一目的在提供一種三維互補式金屬氧化物半導體元件，其

採二個晶圓堆疊的方式，因此可施行於異質堆疊，達到異質整合之目的，也就是可利用不同之基板，如砷化鎵 (GaAs)、石英玻璃 (Quartz)、鍺 (Ge) 或碳化矽 (SiC) 等基板，來結合光電、電子及微機電元件。

為達上述之目的，本發明提供一種三維互補式金屬氧化物半導體元件，其包含有：一底部晶圓，其上形成有一含有應力製程的第一型金屬氧化物半導體 (MOS)；一採面對面或背對面堆疊於底部晶圓上方之頂部晶圓，其上形成有一含有應力製程且正對第一型 MOS 的第二型 MOS 與數個金屬襯墊，頂部晶圓內形成有數個連接至金屬襯墊的 TSV；以及一會於底部晶圓與頂部晶圓間的混合性接合層，其包含有金屬接合區與非金屬接合區，金屬接合區是用以電性連接第一型 MOS 與第二型 MOS 至 TSV，非金屬接合區是填充於金屬接合區外的剩餘空間，以接合底部晶圓與頂部晶圓。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

以下係以一實施例來說明本發明之精神，但並不以此侷限本發明之實施範疇僅能如下列實施例所示。

請一併參閱第 1A 圖與第 1B 圖，其係各為本發明之高特性三維互補式金屬氧化物半導體 (C-MOS) 元件的立體圖與剖視圖。如圖所示，本發明之三維互補式金屬氧化物半導體元件 10 主要包含有一軸向為 (100) 之 P 型底部晶圓 12；一採面對面方式或者背對面方式堆疊於 P 型底部晶圓 12 上方且軸向為 (110) 之 N 型頂部晶圓 14；以及一位於底部晶圓 12 與頂部晶圓 14 間的混合式接合層 (hybrid bonding layer) 18。混合式接合層 18 之

材料可採用沉積或電鍍方式製作而成。

底部晶圓 12 之表面形成一含有應力製程之 N 型金屬氧化物半導體 (MOS) 20。而頂部晶圓 14 上形成有形成一正對 N-MOS 20 且含有應力製程之 P 型 MOS 24 與數個金屬襯墊 26。頂部晶圓 14 內形成有數個連接至金屬襯墊 26 的 TSV (through-silicon via) 28。

混合式接合層 18 包含有金屬接合區 30 與非金屬接合區 32。金屬接合區 30 是用以電性連接 N-MOS 20 與 P-MOS 24 至 TSV 28，非金屬接合區 32 是填充於底部晶圓 12 與頂部晶圓 14 間扣除金屬接合區 30 外的剩餘空間，用以接合底部晶圓 12 與頂部晶圓 14。此外，非金屬接合區 30 更可包含有介電層 (於圖中未示)。

上述之金屬接合區 30 用以電性連接 N-MOS 20 與 P-MOS 24 至 TSV 28 的部分，如圖所示金屬接合區 30 包含有金屬接合區 301、302、303 與 304。金屬接合區 301 電性連接 N 型 MOS 20 之閘極 34 與 P 型 MOS 24 之閘極 36，並經由 TSV 281 連接至襯墊 261，作為輸入端。金屬接合區 302 電性連接 N 型 MOS 20 之汲極 38 與 P 型 MOS 24 之汲極 40，並經由 TSV 282 連接至襯墊 262，作為輸出端。金屬接合區 303 電性連接 N 型 MOS 20 之源極 42，並經由 TSV 283 連接至襯墊 263。金屬接合區 304 電性連接 P 型 MOS 24 之源極端 44，並經由 TSV 284 連接至襯墊 264。

再者，底部晶圓 12 內可包含有一舒張形變層，頂部晶圓 14 內可包含有一壓縮形變層，以增加 MOS 元件內載體的遷移率。頂部晶圓 12 之材質可以為砷化鎵 (GaAs)、石英玻璃 (Quartz)、鍺 (Ge) 或碳化矽 (SiC)。底部晶圓 14 之材質可以為砷化鎵 (GaAs)、石英玻璃 (Quartz)、鍺 (Ge)

或碳化矽 (SiC)。頂部晶圓 12 與底部晶圓 14 可以是不同之基板，以達到異質整合之目的，來結合光電、電子及微機電元件。N 型 MOS 20 與 P 型 MOS 24 之閘極結構 34、36 可以是由高介電常數之金屬材料所形成。

混合式接合層之金屬接合區 30 的材質選自於錫、銀或銅，而非金屬接合區 32 若是膠體時，其材料係選自於 BCB (苯並環丁烯)、SU8、聚合物或聚醯亞胺 (PI)，若是非膠體時可使用沈積的矽化物，利用矽化物的凡得瓦力鍵結將頂部晶圓 14 與底部晶圓 12 接合。

在上述之架構下，N 型 MOS 與 P 型 MOS 的閘極可以藉由接合做短距離的垂直連接，P 型 MOS 的源極與 N 型 MOS 的汲極可藉由接合做短距離連接，以減少導線 (內連接線) 的傳輸延遲，進而獲得運作快速的互補式金屬氧化物半導體 (MOS) 積體電路。

再者，本發明之 C-MOS 是採面對面或背對面接合的方式，相較於習知一般平面式的 C-MOS，本發明可以只要一半的面積就可以達到同樣的特性，並且連線長度也大幅下降。

請再一併參閱第 2A 至第 2E 圖，其係上述本發明之三維互補式金屬氧化物半導體的各步驟剖面示意圖。而先前所提過之各元件特性，例如材質的選用，於此將不再贅述。

首先，如第 2A 圖所示，提供一軸向為 (100) 之 P 型底部晶圓 12，並於底部晶圓 12 形成一含有應力的 N 型 MOS 20。提供一軸向為 (110) 之 N 型頂部晶圓 14，並於此頂部晶圓 14 上形成有一含有應力的 P 型 MOS 24。

如第 2B 圖所示，於底部晶圓 12 上形成連接 N 型 MOS 20 之閘極 34、源極 42 與汲極 38 之次金屬接合區 46。於頂部晶圓 14 上形成連接 P 型 MOS



24 之閘極 24、源極 40 與汲極 44 之次金屬接合區 48。

如第 2C 圖所示，採面對面方式將頂部晶圓 14 堆疊於底部晶圓 12 上，並使 N 型 MOS 20 與 P 型 MOS 24 正相對，使次金屬接合區 46 與次金屬接合區 48 接合，形成金屬接合區 30。如第 2D 圖所示，於頂部晶圓 14 與底部晶圓 12 間金屬接合區外的剩餘空隙填入或沈積形成一非金屬接合材料，以形成非金屬接合區 32，以接合頂部晶圓 14 與底部晶圓 12。當然此處次金屬接合區 46 與次金屬接合區 48 接合時的溫度是 300~450°C，壓力為 8~13 牛頓/平方公分，時間為 30 分鐘至 1 小時。以上壓力及溫度依基板尺寸材料有所變易。

接續，於對頂部晶圓 14 形成 TSV 28 與襯墊 26，TSV 28 係連接至金屬接合區 30，以形成先前所述之輸入端、輸出端等，如第 2E 圖所示。

由上述製程步驟，可發現本發明之 P 型 MOS 與 N 型 MOS 是採分開製作的，因此可以節省熱積存。此外，也使得底部晶圓與頂部晶圓的應力層更為簡便。舉例來說，可以使用不同的晶圓材料、晶圓軸向或者製作過程，來提升應力，增加載體的遷移速率。本發明無使用井 (well) 摻雜來製作 C-MOS，且製作方式符合半導體製程材料機台，能有效降低製程成本。再者，本發明是採二個晶圓堆疊的方式，因此可達到異質整合之目的，利用不同之晶圓來結合光電及電子元件。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1A 圖係本發明之三維互補式金屬氧化物半導體元件的立體圖。

第 1B 圖係本發明之三維互補式金屬氧化物半導體元件的剖視圖。

第 2A～第 2E 圖係本發明之一實施例的各步驟剖面示意圖。

**【主要元件符號說明】**

10 三維互補式金屬氧化物半導體

12 P 型基底

14 N 型基底

18 混合式接合層

20 N 型 MOS

24 P 型 MOS

26 襯墊

261 襯墊

262 襯墊

263 襯墊

264 襯墊

28 TSV

281 TSV

282 TSV

283 TSV

284 TSV

30 金屬接合區

301 金屬接合區

- 302 金屬接合區
- 303 金屬接合區
- 304 金屬接合區
- 32 非金屬接合區
- 34 閘極
- 36 閘極
- 38 汲極
- 40 汲極
- 42 源極
- 44 源極
- 46 次金屬接合區
- 48 次金屬接合區

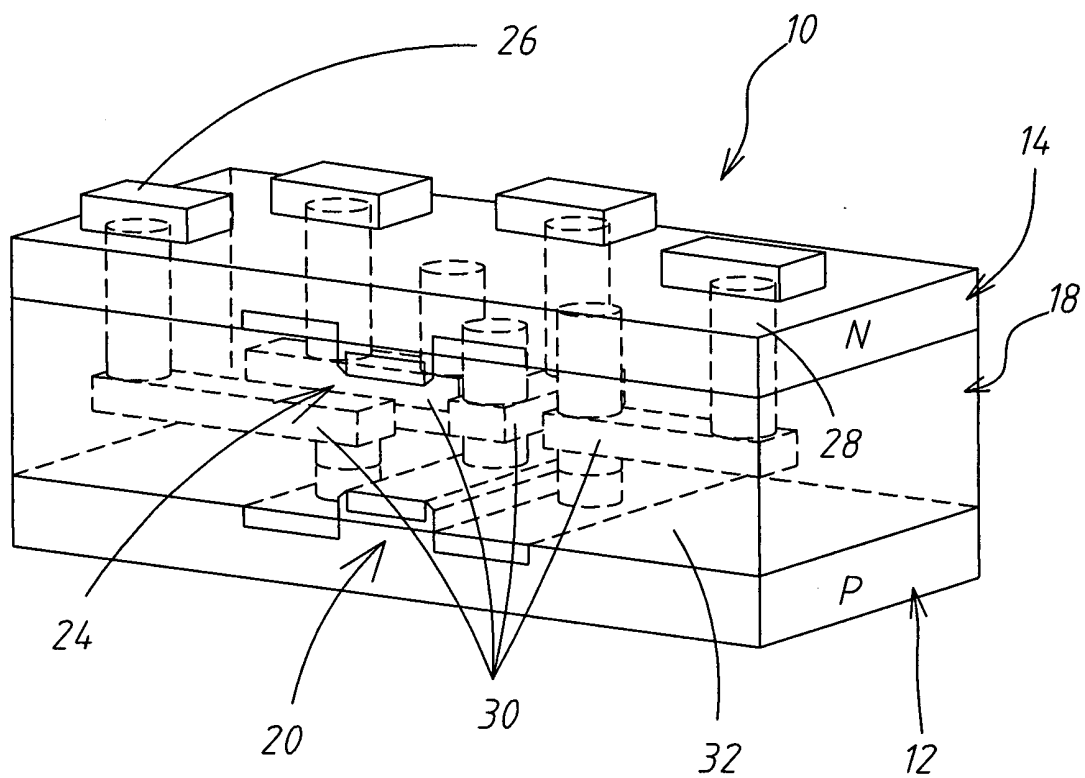
## 七、申請專利範圍：

1. 一種三維互補式金屬氧化物半導體元件，其包含有：
  - 一底部晶圓，其上形成有一含有應力製程的第一型金屬氧化物半導體 (MOS)；
  - 一頂部晶圓，其面對面或背對面堆疊於該底部晶圓上方，該頂部晶圓之上形成一含有應力製程且正對該第一型 MOS 之一第二型 MOS 與數個金屬襯墊，該頂部晶圓內形成有數個連接至該金屬襯墊的 TSV；以及
  - 一混合式接合層，其位於該頂部晶圓與頂部晶圓間，該混合式接合層包含有數個金屬接合區與一非金屬接合區，該金屬接合區是用以電性連接該第一型 MOS 與第二型 MOS 至該 TSV，該非金屬接合區是該填充於金屬接合區外的剩餘空間，以接合該底部晶圓與該頂部晶圓。
2. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該頂部晶圓為第一型，該底部晶圓為第二型，第一型為 N 型，該第二型為 P 型，該底部晶圓之軸向為 (100)，該頂部晶圓之軸向為 (110)。
3. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該金屬接合區電性連接該第一型 MOS 與該第二型 MOS 之閘極，以及電性連接該第一型 MOS 之汲極與該第二型 MOS 之汲極。
4. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該底部晶圓之材質為砷化鎵 (GaAs)、石英玻璃 (Quartz)、鍺 (Ge) 或碳化矽 (SiC)。
5. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該頂部晶圓之材質為砷化鎵 (GaAs)、石英玻璃 (Quartz)、鍺 (Ge) 或

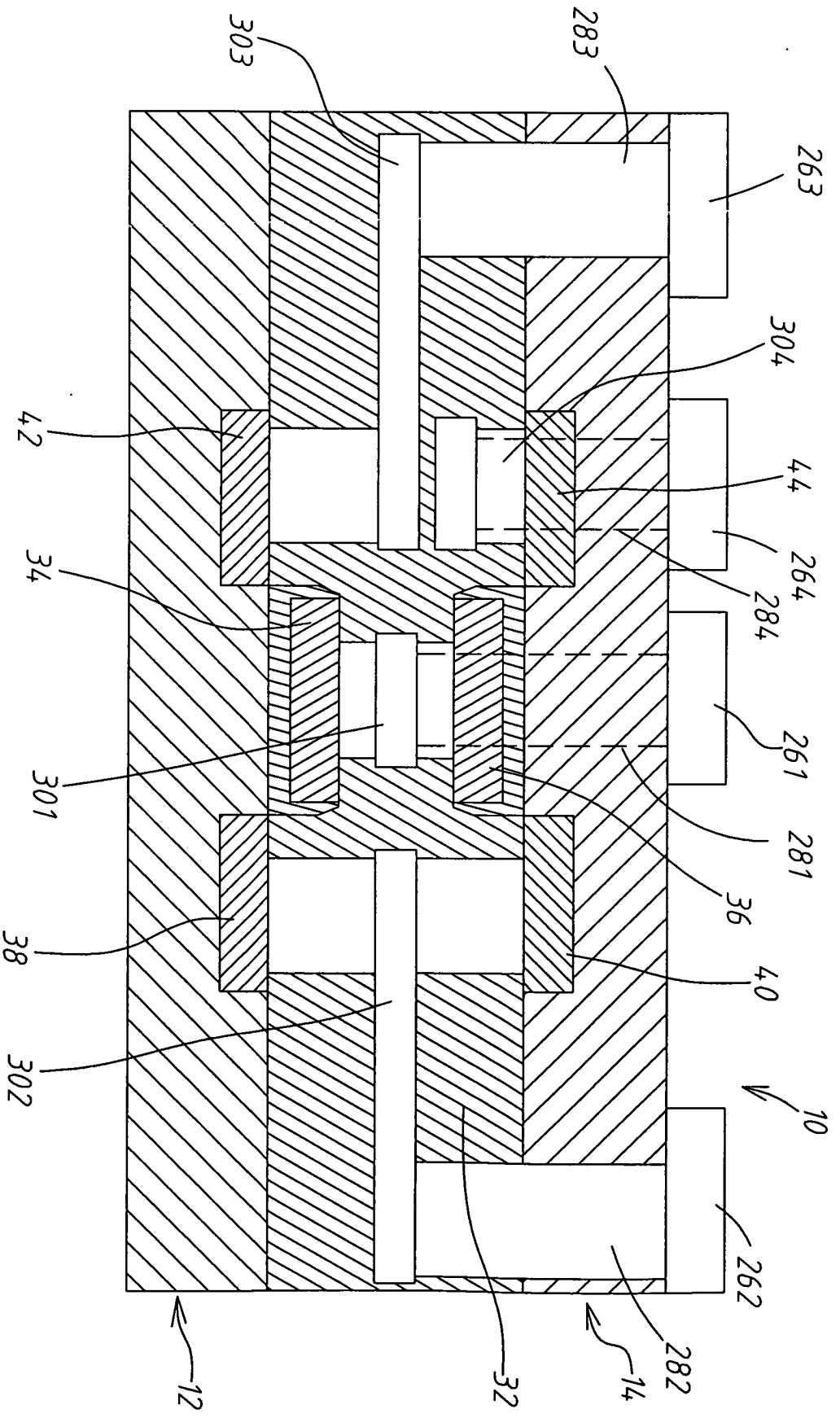
碳化矽 (SiC)。

6. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該第二型 MOS 之閘極是由高介電常數之金屬材料所形成。
7. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該第一型 MOS 之閘極是由高電常數之金屬材料所形成。
8. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層是混合式金屬-膠體接著層，該金屬選自於錫或銅，該膠體之材料係選自於 BCB (苯並環丁烯)、SU8、聚合物或聚醯亞胺 (PI)。
9. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層是混合式金屬-矽化物接著層，該金屬選自於錫、銀或銅。
10. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層之材料採用沉積或電鍍方式製作而成。
11. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該金屬接合區之材質為銅時，固化接合的溫度是 300~450°C，壓力為 8~13 牛頓/平方公分，時間為 30 分鐘至 1 小時。

八、圖式：

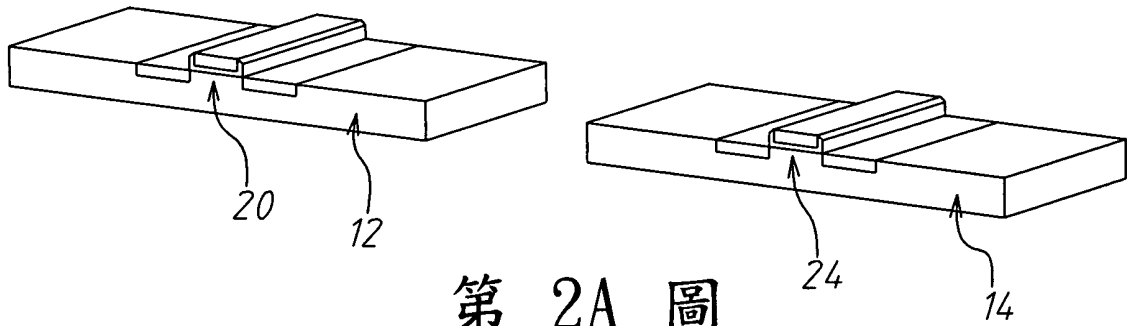


第 1A 圖

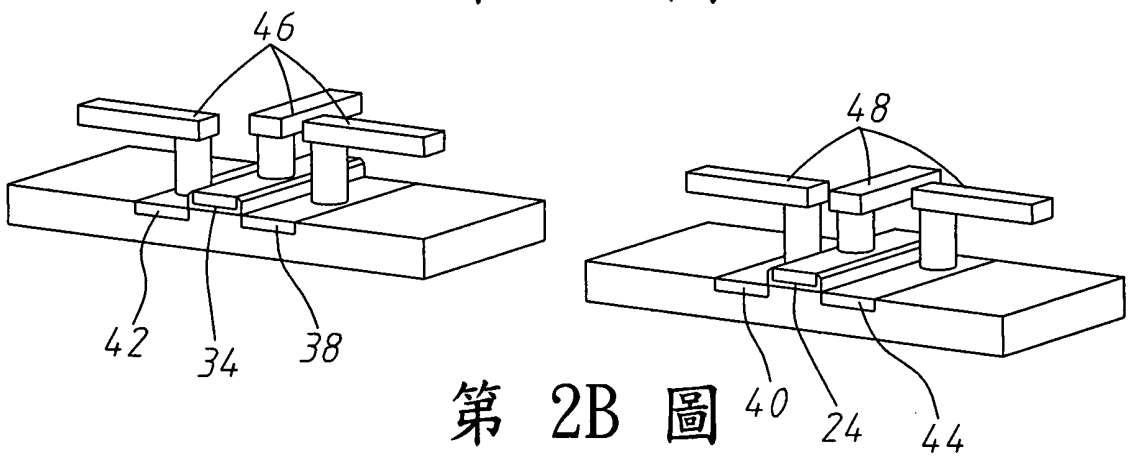


第 1B 圖

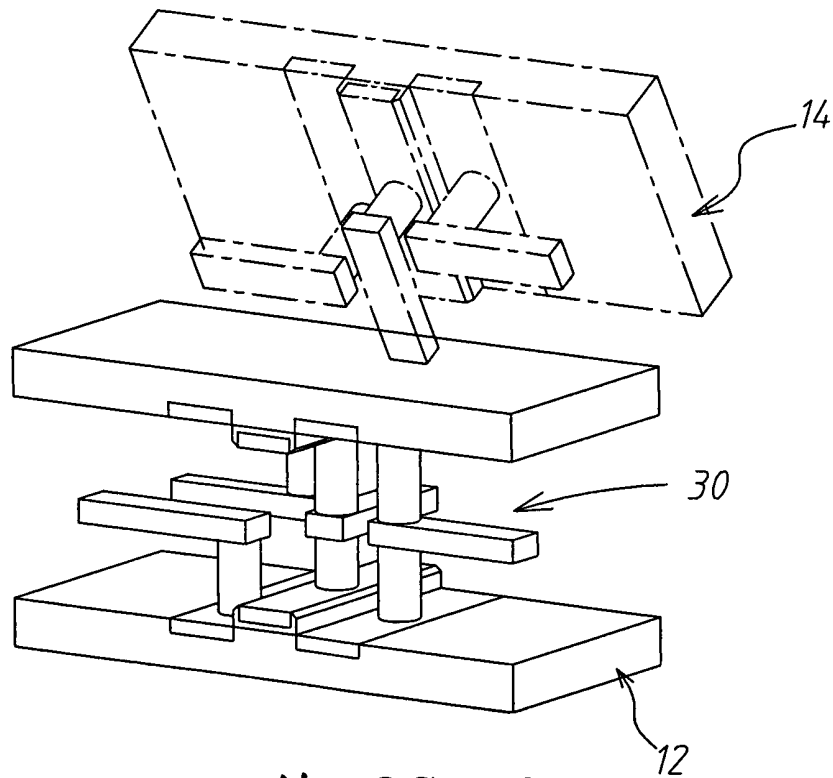




第 2A 圖

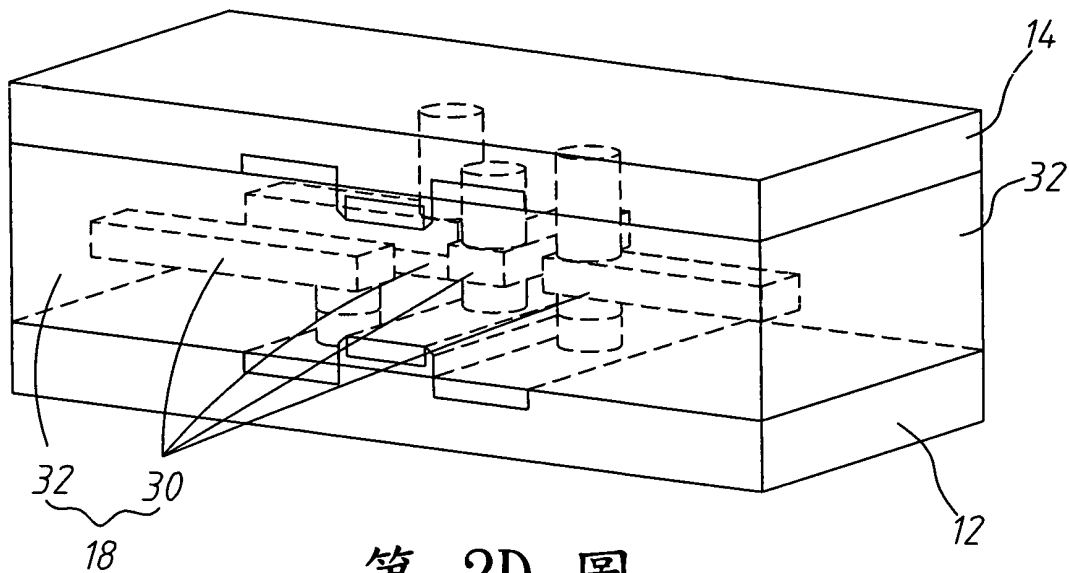


第 2B 圖

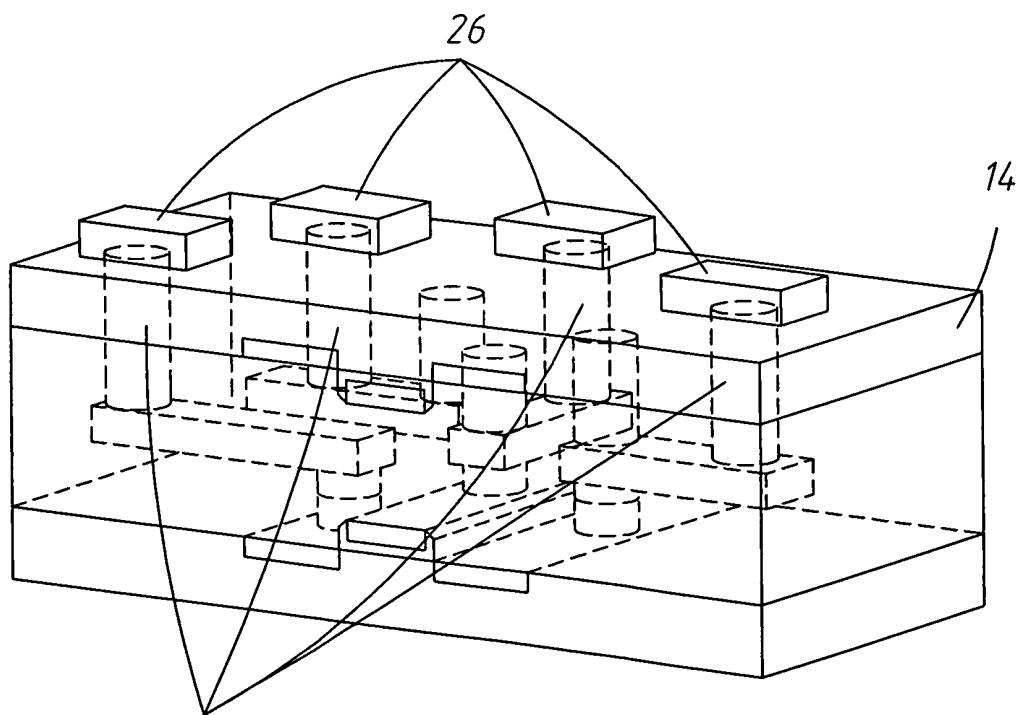


第 2C 圖





第 2D 圖



第 2E 圖

201238024

採二個晶圓堆疊的方式，因此可施行於異質堆疊，達到異質整合之目的，也就是可利用不同之基板，如矽(Si)、砷化鎵(GaAs)、石英玻璃(Quartz)、鍺(Ge)或碳化矽(SiC)等基板，來結合光電、電子及微機電元件。

為達上述之目的，本發明提供一種三維互補式金屬氧化物半導體元件，其包含有：一底部晶圓，其上形成有一含有應力製程的第一型金屬氧化物半導體(MOS)；一採面對面或背對面堆疊於底部晶圓上方之頂部晶圓，其上形成有一含有應力製程且正對第一型MOS的第二型MOS與數個金屬襯墊，頂部晶圓內形成有數個連接至金屬襯墊的TSV；以及一會於底部晶圓與頂部晶圓間的混合性接合層，其包含有金屬接合區與非金屬接合區，金屬接合區是用以電性連接第一型MOS與第二型MOS至TSV，非金屬接合區是填充於金屬接合區外的剩餘空間，以接合底部晶圓與頂部晶圓。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

以下係以一實施例來說明本發明之精神，但並不以此侷限本發明之實施範疇僅能如下列實施例所示。

請一併參閱第1A圖與第1B圖，其係各為本發明之高特性三維互補式金屬氧化物半導體(C-MOS)元件的立體圖與剖視圖。如圖所示，本發明之三維互補式金屬氧化物半導體元件10主要包含有一軸向為(100)之P型底部晶圓12；一採面對面方式或者背對面方式堆疊於P型底部晶圓12上方且軸向為(110)之N型頂部晶圓14；以及一位於底部晶圓12與頂部晶圓14間的混合式接合層(hybrid bonding layer)18。混合式接合層18之

材料可採用沉積或電鍍方式製作而成。

底部晶圓 12 之表面形成一含有應力製程之 N 型金屬氧化物半導體 (MOS) 20。而頂部晶圓 14 上形成有形成一正對 N-MOS 20 且含有應力製程之 P 型 MOS 24 與數個金屬襯墊 26。頂部晶圓 14 內形成有數個連接至金屬襯墊 26 的 TSV (through-silicon via) 28。

混合式接合層 18 包含有金屬接合區 30 與非金屬接合區 32。金屬接合區 30 是用以電性連接 N-MOS 20 與 P-MOS 24 至 TSV 28，非金屬接合區 32 是填充於底部晶圓 12 與頂部晶圓 14 間扣除金屬接合區 30 外的剩餘空間，用以接合底部晶圓 12 與頂部晶圓 14。此外，非金屬接合區 30 更可包含有介電層 (於圖中未示)。

上述之金屬接合區 30 用以電性連接 N-MOS 20 與 P-MOS 24 至 TSV 28 的部分，如圖所示金屬接合區 30 包含有金屬接合區 301、302、303 與 304。金屬接合區 301 電性連接 N 型 MOS 20 之閘極 34 與 P 型 MOS 24 之閘極 36，並經由 TSV 281 連接至襯墊 261，作為輸入端。金屬接合區 302 電性連接 N 型 MOS 20 之汲極 38 與 P 型 MOS 24 之汲極 40，並經由 TSV 282 連接至襯墊 262，作為輸出端。金屬接合區 303 電性連接 N 型 MOS 20 之源極 42，並經由 TSV 283 連接至襯墊 263。金屬接合區 304 電性連接 P 型 MOS 24 之源極端 44，並經由 TSV 284 連接至襯墊 264。

再者，底部晶圓 12 內可包含有一舒張形變層，頂部晶圓 14 內可包含有一壓縮形變層，以增加 MOS 元件內載體的遷移率。頂部晶圓 12 之材質可以為矽(Si)、砷化鎵(GaAs)、石英玻璃(Quartz)、鍺(Ge)或碳化矽(SiC)。底部晶圓 14 之材質可以為矽(Si)、砷化鎵(GaAs)、石英玻璃(Quartz)、

鍺 (Ge) 或碳化矽 (SiC)。頂部晶圓 12 與底部晶圓 14 可以是不同之基板，以達到異質整合之目的，來結合光電、電子及微機電元件。N 型 MOS 20 與 P 型 MOS 24 之閘極結構 34、36 可以是由高介電常數之金屬材料所形成。

混合式接合層之金屬接合區 30 的材質選自於錫、銀或銅，而非金屬接合區 32 若是膠體時，其材料係選自於 BCB (苯並環丁烯)、SU8、聚合物或聚醯亞胺 (PI)，若是非膠體時可使用沈積的矽化物，利用矽化物的凡得瓦力鍵結將頂部晶圓 14 與底部晶圓 12 接合。

在上述之架構下，N 型 MOS 與 P 型 MOS 的閘極可以藉由接合做短距離的垂直連接，P 型 MOS 的源極與 N 型 MOS 的汲極可藉由接合做短距離連接，以減少導線 (內連接線) 的傳輸延遲，進而獲得運作快速的互補式金屬氧化物半導體 (MOS) 積體電路。

再者，本發明之 C-MOS 是採面對面或背對面接合的方式，相較於習知一般平面式的 C-MOS，本發明可以只要一半的面積就可以達到同樣的特性，並且連線長度也大幅下降。

請再一併參閱第 2A 至第 2E 圖，其係上述本發明之三維互補式金屬氧化物半導體的各步驟剖面示意圖。而先前所提過之各元件特性，例如材質的選用，於此將不再贅述。

首先，如第 2A 圖所示，提供一軸向為 (100) 之 P 型底部晶圓 12，並於底部晶圓 12 形成一含有應力的 N 型 MOS 20。提供一軸向為 (110) 之 N 型頂部晶圓 14，並於此頂部晶圓 14 上形成有一含有應力的 P 型 MOS 24。

如第 2B 圖所示，於底部晶圓 12 上形成連接 N 型 MOS 20 之閘極 34、源極 42 與汲極 38 之次金屬接合區 46。於頂部晶圓 14 上形成連接 P 型 MOS

24 之閘極 24、源極 40 與汲極 44 之次金屬接合區 48。

如第 2C 圖所示，採面對面方式將頂部晶圓 14 堆疊於底部晶圓 12 上，並使 N 型 MOS 20 與 P 型 MOS 24 正相對，使次金屬接合區 46 與次金屬接合區 48 接合，形成金屬接合區 30。如第 2D 圖所示，於頂部晶圓 14 與底部晶圓 12 間金屬接合區外的剩餘空隙填入或沈積形成一非金屬接合材料，以形成非金屬接合區 32，以接合頂部晶圓 14 與底部晶圓 12。當然此處次金屬接合區 46 與次金屬接合區 48 接合時的溫度是 300~450°C，壓力為 8~13 牛頓/平方公分，時間為 30 分鐘至 1 小時。以上壓力及溫度依基板尺寸材料有所變易。

接續，於對頂部晶圓 14 形成 TSV 28 與襯墊 26，TSV 28 係連接至金屬接合區 30，以形成先前所述之輸入端、輸出端等，如第 2E 圖所示。

由上述製程步驟，可發現本發明之 P 型 MOS 與 N 型 MOS 是採分開製作的，因此可以節省熱積存。此外，也使得底部晶圓與頂部晶圓的應力層更為簡便。舉例來說，可以使用不同的晶圓材料、晶圓軸向或者製作過程，來提升應力，增加載體的遷移速率。本發明無使用井（well）摻雜來製作 C-MOS，且製作方式符合半導體製程材料機台，能有效降低製程成本。再者，本發明是採二個晶圓堆疊的方式，因此可達到異質整合之目的，利用不同之晶圓來結合光電及電子元件。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

201238024

## 七、申請專利範圍：

1. 一種三維互補式金屬氧化物半導體元件，其包含有：
  - 一底部晶圓，其上形成有一含有應力製程的第一型金屬氧化物半導體 (MOS)；
  - 一頂部晶圓，其面對面或背對面堆疊於該底部晶圓上方，該頂部晶圓之上形成一含有應力製程且正對該第一型 MOS 之一第二型 MOS 與數個金屬襯墊，該頂部晶圓內形成有數個連接至該金屬襯墊的 TSV；以及
  - 一混合式接合層，其位於該頂部晶圓與頂部晶圓間，該混合式接合層包含有數個金屬接合區與一非金屬接合區，該金屬接合區是用以電性連接該第一型 MOS 與第二型 MOS 至該 TSV，該非金屬接合區是該填充於金屬接合區外的剩餘空間，以接合該底部晶圓與該頂部晶圓。
2. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該頂部晶圓為第一型，該底部晶圓為第二型，第一型為 N 型，該第二型為 P 型，該底部晶圓之軸向為 (100)，該頂部晶圓之軸向為 (110)。
3. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該金屬接合區電性連接該第一型 MOS 與該第二型 MOS 之閘極，以及電性連接該第一型 MOS 之汲極與該第二型 MOS 之汲極。
4. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該底部晶圓之材質為矽(Si)、砷化鎵(GaAs)、石英玻璃(Quartz)、鍺(Ge)或碳化矽(SiC)。
5. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該頂部晶圓之材質為矽(Si)、砷化鎵(GaAs)、石英玻璃(Quartz)、鍺(Ge)

或碳化矽 (SiC)。

6. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該第二型 MOS 之閘極是由高介電常數之金屬材料所形成。
7. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該第一型 MOS 之閘極是由高電常數之金屬材料所形成。
8. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層是混合式金屬-膠體接著層，該金屬選自於錫或銅，該膠體之材料係選自於 BCB (苯並環丁烯)、SU8、聚合物或聚醯亞胺 (PI)。
9. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層是混合式金屬-矽化物接著層，該金屬選自於錫、銀或銅。
10. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該混合式接著層之材料採用沉積或電鍍方式製作而成。
11. 如申請專利範圍第 1 項所述之三維互補式金屬氧化物半導體元件，其中該金屬接合區之材質為銅時，固化接合的溫度是 300~450°C，壓力為 8~13 牛頓/平方公分，時間為 30 分鐘至 1 小時。