

(21)申請案號：099144420

(22)申請日：中華民國 99 (2010) 年 12 月 17 日

(51)Int. Cl. : G06N3/02 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：陳秋國 CHEN, CHIU KUO (TW)；方偉騏 FANG, WAI CHI (TW)；李鴻溝 CHUA, ERICSON (PH)；傅致中 FU, CHIH CHUNG (TW)；曾少彥 TSENG, SHAO YEN (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：13 項 圖式數：6 共 31 頁

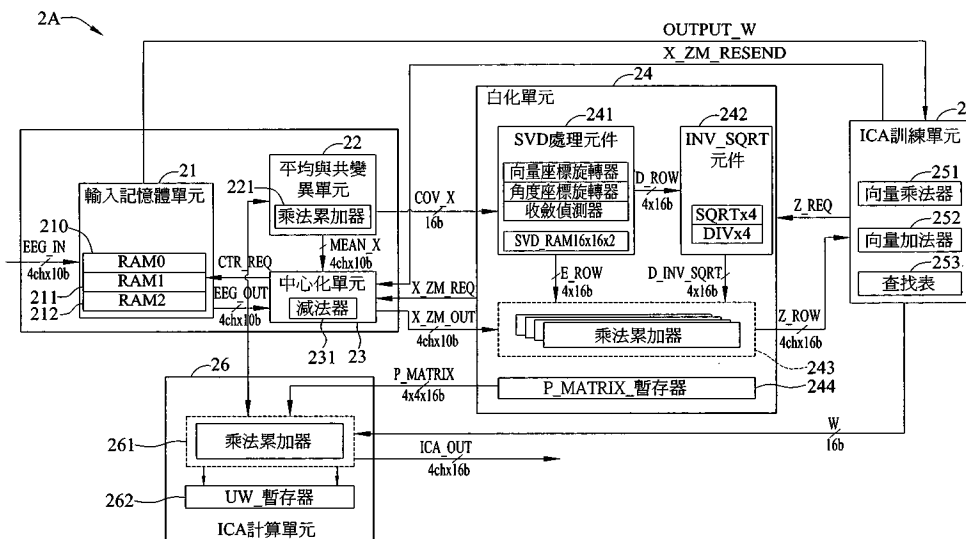
(54)名稱

獨立成分分析處理器

INDEPENDENT COMPONENT ANALYSIS PROCESSOR

(57)摘要

一種獨立成分分析處理器，係用以對多通道平行信號進行即時獨立成分分析(independent component analysis)之運算，包括接收及儲存該多通道平行信號之輸入記憶體單元、平均與共變異單元、去除該多通道平行信號中的直流成分之中心化單元、進行白化處理之白化單元、及進行獨立成分分析運算之 ICA 訓練單元和 ICA 計算單元，俾計算出該多通道平行信號之獨立成分，以分離出信號中的雜訊。據此，藉由本發明之運用，得以實現以低成本及低複雜度之硬體即時進行獨立成分分析運算之功效。



2A：獨立成分分析處理器(ICA 處理器)

21：輸入記憶體單元

22：平均與共變異單元

23：中心化單元

24：白化單元

25：ICA 訓練單元

26：ICA 計算單元

210：第一記憶庫
RAM0

211：第二記憶庫
RAM1

212：第三記憶庫
RAM2

221：乘法累加器

231：減法器

241：奇異值分解處理
元件(SVD 處理元件)

242：平方根倒數元件
(INV_SQRT 元件)

243：乘法累加器

244：P_MATRIX 暫
存器

251：向量乘法器

252：向量加法器

253：查找表

261：乘法累加器

262：UW 暫存器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99144420

※ 申請日：99.12.17 ※IPC 分類：G06N3/02 (2006.01)

一、發明名稱：(中文/英文)

獨立成分分析處理器

INDEPENDENT COMPONENT ANALYSIS PROCESSOR

二、中文發明摘要：

一種獨立成分分析處理器，係用以對多通道平行信號進行即時獨立成分分析(independent component analysis)之運算，包括接收及儲存該多通道平行信號之輸入記憶體單元、平均與共變異單元、去除該多通道平行信號中的直流成分之中心化單元、進行白化處理之白化單元、及進行獨立成分分析運算之 ICA 訓練單元和 ICA 計算單元，俾計算出該多通道平行信號之獨立成分，以分離出信號中的雜訊。據此，藉由本發明之運用，得以實現以低成本及低複雜度之硬體即時進行獨立成分分析運算之功效。

三、英文發明摘要：

Disclosed is an independent component analysis processor for conducting algorithms of multiple channels parallel signals, comprising an input buffering unit for receiving and storing multiple channels parallel signals; a mean_covariance unit, a centering unit for removing direct current components of raw data embracing in the multiple channels parallel signals; a whitening unit for whitening processing; an ICA training unit and an ICA calculating unit for calculating independent components of the multiple channels parallel signals such as separating artifacts from the signals in real time, thereby implementing independent component analysis algorithms with low-cost and low-complexity hardware.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

2A	獨立成分分析處理器(ICA 處理器)
21	輸入記憶體單元
210	第一記憶庫 RAM0
211	第二記憶庫 RAM1
212	第三記憶庫 RAM2
22	平均與共變異單元
221	乘法累加器
23	中心化單元
231	減法器
24	白化單元
241	奇異值分解處理元件(SVD 處理元件)
242	平方根倒數元件(INV_SQRT 元件)
243	乘法累加器
244	P_MATRIX 暫存器
25	ICA 訓練單元
251	向量乘法器
252	向量加法器
253	查找表
26	ICA 計算單元
261	乘法累加器
262	UW 暫存器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明關於一種獨立成分分析處理器，尤係涉及一種將量測或監控的信號作即時獨立成分分離之獨立成分分析處理器。

【先前技術】

腦電波圖(Electroencephalography；EEG)，為藉由醫學儀器將人類腦神經細胞活動所產生的微弱生物電，放大記錄而得到的曲線圖。在腦電波信號處理的過程中，通常採用主成分分析(principle component analysis；PCA)和獨立成分分析(independent component analysis；ICA)進行信號處理，其中ICA運算可用於腦電波中信號與雜訊的分離。

例如美國第 US6799170 號專利案提供一種信號分離的系統及方法，該系統包括用以接收混合信號之多重探測器組、處理器和獨立成分模組，該處理器將對混合信號取樣及儲存成向量資料，該獨立成分模組對該儲存成向量資料之混合信號執行獨立成分分析，以從混合信號中分離出獨立成分，惟此案實現於電腦上時不具輕巧及可攜性。另外，美國第 US7519512 號專利案提供一種動態盲點信號分離的方法，將初始資料藉著 Jacobi 技巧以小的更新角度執行去關聯性，以產生去關聯性的正規信號，接著進行初始化及獨立成分分析，進而進行信號分離，即係以小角度分析使用高於二階的統計而產生分離的信號，惟此案實現於電腦上時亦不具輕巧及可攜性。其次，相關文獻如“FPGA

Implementation of FastICA based on Floating-Point Arithmetic Design for Real-Time Blind Source Separation”係使用元件可編程邏輯閘陣列 (Field Programmable Gate Array ; FPGA) 以浮點數的方式實現 2 通道的 FastICA 而對語音信號進行信號分離，其所使用的記憶體為乒乓式 (ping-pong) 記憶體階層式架構，而其中所提出之關於特徵向量的分解方法不易實施於 2 通道以上。另外，文獻“FPGA implementation of 4-channel ICA for on-line EEG signal separation”雖可實現於 4 通道 ICA 通道，然沒有前處理架構，則進行獨立成分分析之運算時收斂時間較長。

因此，如何以硬體實現信號即時獨立成分分析之運算，並增加運算效率及降低硬體成本，為目前信號處理領域的一大挑戰。

【發明內容】

本發明提出一種獨立成分分析處理器，得以實現以低成本及低複雜度之硬體進行獨立成分分析之目的。

本發明之一種獨立成分分析處理器，係用以對多通道平行信號進行獨立成分分析之運算，包括：輸入記憶體單元，係接收及儲存該多通道平行信號，其中，該多通道平行信號具有初始資料，且該輸入記憶體單元輸出該初始資料；平均與共變異單元，係計算該初始資料的平均值和共變異值；中心化單元，係依據該初始資料的平均值對該初始資料進行中心化而取得零均值資料；白化單元，係接收該初始資料的共變異值和該零均值資料以進行白化處理，

以得到白化矩陣和不相關資料流；ICA 訓練單元，係從該白化單元接收該不相關資料流，並據以計算出非混合權重矩陣；以及 ICA 計算單元，係接收該非混合權重矩陣和該白化矩陣以計算出白化非混合矩陣，再依據該白化非混合矩陣及該初始資料計算出該多通道平行信號之獨立成分。

上述之白化單元包括：奇異值分解(SVD)處理元件，係接收該初始資料的共變異值以計算出該共變異值的特徵值矩陣和特徵向量矩陣；平方根倒數元件，係接收該特徵值矩陣以計算出該特徵值矩陣的平方根倒數；及乘法累加器，係依據該特徵向量矩陣和該特徵值矩陣的平方根倒數，計算出該白化矩陣，再依據該白化矩陣和該零均值資料流計算出不相關資料流。

於一實施態樣中，上述之輸入記憶體單元係包含交錯的記憶體。於又一實施態樣中，該記憶體具有至少三個記憶庫，以供依序填充該多通道平行信號中的初始資料，且該輸入記憶體單元採用該具有至少三個記憶庫的記憶體之架構來實現滑動的視窗。

其次，該 ICA 計算單元係透過疊代法來計算該非混合權重矩陣，若執行該疊代法之結果未符合一預定值，則該 ICA 計算單元發出一通知至該輸入記憶體單元，以令該輸入記憶體單元輸出同一個視窗中的初始資料，若執行該疊代法之結果符合該預定值，則令該 ICA 訓練單元輸出該非混合權重矩陣至該 ICA 計算單元。

相較於習知技術，本發明之獨立成分分析處理器係以

循環交錯的記憶體來實現滑動窗的架構，且依據計算的時序及複雜度分配硬體的負載，以在即時的時序規格限制下，對高計算複雜度的運算給予較高的平行度，對低計算複雜度的運算則採用序列計即可，因而可節省硬體成本及功耗。

【實施方式】

以下係藉由較佳的具體實施形態說明本發明之實施方式，熟悉此技術之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效，亦可藉由其他不同的具體實施形態加以施行或應用。

請參閱第 1 圖，其為本發明之獨立成分分析 (independent component analysis; ICA) 處理器 (以下簡稱 ICA 處理器) 之應用架構，ICA 處理器 2A 係包含於信號處理裝置 2 中，而信號處理裝置 2 與信號接收電路 1、無線通訊模組 3，如 Zigbee 無線通訊模組，和多個用於組態設定控制或電源管理的模組配置成信號處理系統，可應用於如腦電波、心臟電波等生物電波或其他語音等盲點信號分離 (blind signal separation, BSS) 之處理。

信號接收電路 1 包括低通濾波器、放大器、高通濾波器和類比數位轉換器 (此圖未顯示)，可將所接收之類比信號 (例如 4 通道的信號 4CH) 轉為數位信號，並對所接收的信號採樣 (sample) 而取得初始資料，而以串列信號的形式傳送到信號處理裝置 2。信號處理裝置 2 先將該串列信號轉成多通道的平行信號以傳送至 ICA 處理器 2A 進行獨立

成分信號分離，接著將所分離出的信號轉成串列信號，而傳送至壓縮處理器 2B，例如 Golomb-Rice 無損失壓縮處理器，以提昇資料傳送的有效頻寬及降低無線通訊模組 3 的發射功耗，最後再透過該無線通訊模組 3 與無線接收端 4 溝通。於該信號處理系統用以分析心電圖或腦電波等生理資訊之實施態樣時，無線接收端 4 可為筆記型電腦或其他如 PDA 等手持電子裝置，以將生理資訊發送至居家護理站、診所或醫院結合為健康管理系統。

其中，ICA 處理器 2A 可分離出信號中的雜訊，以下係以第 2 圖說明 ICA 處理器 2A 的基本架構。

如第 2 圖所示，ICA 處理器 2A 主要包括輸入記憶體單元 21、平均與共變異單元 22、中心化單元 23、白化單元 24、ICA 訓練單元 25、及 ICA 計算單元 26。

輸入記憶體單元(input buffering unit, IBU)21 接收及儲存該多通道平行信號，其中，該信號中具有信號接收電路 1 所採樣的初始資料 X。於第 2 圖中，以腦電波圖(Electroencephalography；EEG)為例，輸入記憶體單元 21 接收的為信號 EEG_in，為一種 4 通道(4-channel)平行信號，輸出的為信號 EEG_OUT，初始資料(Raw data) X 在信號 EEG_OUT 中被輸出。

具體言之，輸入記憶體單元 21 採用交錯的靜態隨機存取記憶體 (Static Random Access Memory；SRAM) 來儲存和管理該初始資料 X。於一實施態樣中，輸入記憶體單元 21 可採用具三個記憶庫(memory bank)的循環記憶體之

架構來實現滑動窗(sliding window)，如第 2 圖所示分別為第一記憶庫 RAM0 210、第二記憶庫 RAM1 211 和第三記憶庫 RAM2 212。須說明的是，視窗尺寸(window size)可為 64 筆資料量，記憶庫尺寸(memory bank size)可為 32 筆資料量，因此，可循序選擇兩個記憶庫作為一工作視窗。

詳言之，輸入記憶體單元 21 所接收的初始資料 X 可依次填充至第一、第二及第三記憶庫 RAM0 210、RAM1 211 及 RAM2 212 中。即初始資料 X 填滿第二記憶庫 RAM1 211，接著開始填第三記憶庫 RAM2 212 時，輸入記憶體單元 21 將初始資料輸出至中心化單元 23、白化單元 24、乘法累加器 243、ICA 訓練單元 25 和 ICA 計算單元 26 的運算以供進行處理。換言之，所接收的初始資料 X 繼續填充第三記憶庫 RAM2 212 時，儲存在第一及第二記憶庫 RAM0 210 和 RAM1 211 中的初始資料 X 會開始依次輸出，而當初始資料 X 填滿第三記憶庫 RAM2 212 時，所輸入的初始資料 X 將循環至原點繼續填充第一記憶庫 RAM0 210，且儲存在第二記憶庫 RAM1 211 中的初始資料 X 便開始輸出以進行運算。

因此，如此以合適大小記憶庫所組成之循環記憶體來實現滑動窗，相較於以往的乒乓記憶體(ping-pong memory)而言，由於採用乒乓記憶體所需的記憶體架構架較大，反觀本案可將記憶體切的較小區塊，即將 64 筆資料量的記憶體分成兩個 32 筆資料量的記憶庫，可利用滑動的視窗於三個記憶庫中循序選擇兩者為工作的視窗，據此節省資料儲

存的空間，達到低硬體複雜度及較低功耗的設計。

平均與共變異(mean_covariance)單元 22 計算初始資料 X 的平均值 MEAN_X 和共變異值 COV_X。於第 2 圖中，信號 EEG_OUT 自輸入記憶體單元 21 傳輸至平均與共變異單元 22 中，則平均與共變異單元 22 對信號 EEG_OUT 中的初始資料 X 計算平均值 MEAN_X 和共變異值 COV_X。具體言之，平均與共變異單元 22 採用共享的乘法累加器(multiply-accumulator; MAC)221 來計算該初始資料的平均值 MEAN_X 和共變異值 COV_X。

中心化單元(centering)23 依據初始資料 X 的平均值 MEAN_X 對初始資料 X 進行移除各通道的直流成分的處理。具體言之，中心化單元 23 可利用減法器(subtractor)231 移除初始資料 X 中各通道的直流成分，所得到的資料具備零均值(zero-mean)，稱之為零均值資料 X_ZM_OUT。於第 2 圖中，信號 EEG_OUT 自輸入記憶體單元 21 傳輸至中心化單元 23 中，則中心化單元 23 對信號 EEG_OUT 中的初始資料 X 進行中心化的處理。

中心化的數學式為 $X(j) = X(j) - E\{X(m)\} = X(j) - \frac{1}{64} \sum_{i=1}^{64} X(i)$ ，其中 $j=1 \cdots 4$ ，而 $i=1 \cdots 64$ ，且 j 的數值可視該信號處理裝置 2 所轉成的通道數量而定， i 亦隨 j 改變。

白化(whitening)單元 24 接收初始資料 X 的共變異值 COV_X 和零均值資料 X_ZM_OUT 以進行白化處理而得到白化矩陣 P_MATRIX 和不相關(uncorrelated)矩陣 Z_ROW。

此外，白化單元 24 包含奇異值分解(singular value decomposition ; SVD)處理元件 241(以下簡稱 SVD 處理元件)、平方根倒數(inverse square root ; INV_SQRT)元件 242(以下簡稱 INV_SQRT 元件)及多個乘法累加器 243 及 P_MATRIX 暫存器 244。

具體實施時，SVD 處理元件 241 接收初始資料 X 的共變異值 COV_X 以計算出共變異值 COV_X 的特徵值矩陣 D_ROW 和特徵向量矩陣 E_ROW，INV_SQRT 元件 242 接收特徵值矩陣 D_ROW 以計算出特徵值矩陣 D 的平方根倒數 D_INV_SQRT，則乘法累加器 243 依據特徵向量矩陣 E_ROW 和特徵值矩陣 D 的平方根倒數 D_INV_SQRT 計算出白化矩陣(whitening matrix)P_MATRIX，而乘法累加器 243 復再依據白化矩陣 P_MATRIX 和零均值資料 X_ZM 計算出不相關資料流 Z_ROW，且將該白化矩陣 P_MATRIX 儲存於 P_MATRIX 暫存器 244。此外，白化的數學式為 $Cov(X) = E(XX^T) = EDE^T$ ， $P = ED^{-1/2}E^T$ ， $Z = PX$ 。

ICA 訓練單元 25 接收不相關資料流 Z_ROW，以計算出非混合(unmixing)矩陣。於第 2 圖中，ICA 訓練單元 25 可採用共享的向量乘法器 251、向量加法器 252 和查找表(lookup table ; LUT)253 以計算出非混合權重矩陣 W 並將該非混合權重矩陣 W 傳輸至 ICA 計算單元 26，其中，ICA 訓練單元 25 將所計算出的非混合權重矩陣 W 暫存於暫存器(此圖未顯示)，直到收到輸入記憶體單元 21 所輸出的 OUTPUT_W 才輸出該非混合權重矩陣 W。

ICA 計算單元 26 接收該非混合權重矩陣 W 、白化矩陣 P_MATRIX 和初始資料 X 以計算出白化非混合矩陣 UW ，並輸出自 ICA 處理器 2A 所接收之平行信號中所分離出之獨立成分信號 ICA_OUT 。ICA 計算單元 26 包括乘法累加器 261 和 UW 暫存器 262，ICA 計算單元 26 將所計算出的白化非混合矩陣 UW 儲存於 UW 暫存器 262。

具體言之，ICA 訓練單元 25 向白化單元 24 發出 Z_REQ ，當白化單元 24 收到 Z_REQ 時會向中心化單元 23 發出 X_ZM_REQ ，當中心化單元 23 收到 X_ZM_REQ 時會向輸入記憶體單元 21 發出 CTR_REQ ，當輸入記憶體單元 21 收到 CTR_REQ 時會送出初始資料 X 至中心化單元 23 以去除直流成分，接著輸出 X_ZM_OUT 至白化單元 24 以進行白化計算，之後輸出不相關資料流 Z_ROW 至 ICA 訓練單元 25。此外，輸入記憶體單元 21 在送初始資料 X 到 ICA 計算單元 26 及中心化單元 23 之前，輸入記憶體單元 21 會發出一通知 $OUTPUT_W$ ，以令 ICA 訓練單元 25 將前一個視窗所算出的非混合權重矩陣 W （例如，由輸入記憶體單元 21 中的 $RAM0$ 和 $RAM1$ 的初始資料所計算出的非混合權重矩陣 W ）送至 ICA 計算單元 26 以進行 ICA 的計算。

再者，為了找出可用來預估該獨立成分信號之非混合權重矩陣 W ，ICA 訓練單元 25 和 ICA 計算單元 26 係執行 Infomax ICA 演算法，數學式如下：

(a) $u(n) = W(n) * Z(n)$ ，其中 $u(n)$ 為估計的信號， $W(n)$ 為非混合權重矩陣 W ， $Z(n)$ 為白化資料。

$$(b) \phi(u(n)) = \text{diag}(Lrate) + Lrate * \left(1 - \frac{2}{1 + \exp(-u(n))} * u(n)^T \right), \text{ 於 ICA}$$

處理器 2A 對腦電波進行處理的實施態樣中， $\phi(u(n))$ 採用 $Lrate$ ，其中 $Lrate$ 係指學習率 (learning rate)。

$$(c) W(n+1) = W(n) + \phi(u(n)) * W(n)$$

$$(d) W_change = W(n+1) - W(n)$$

(e) 於 $\|W_change\| < 8.9407 \times 10^{-8}$ 時進至數學式 (g)，否則進至數學式 (f)

(f) $W(n) \leftarrow W(n+1)$ ，接著進至數學式 (a)

(g) $UW(k) = W(k) * P(k)$ ， $ICA_OUT(k+1) = UW(k) * X(k+1)$ ，其中，前述 (a) 至 (f) 為在第 k 視窗中所進行的疊代， n 表示疊代的次數，(g) 為在 $k+1$ 視窗所進行的運算， UW 為經過白化處理的非混合矩陣，則 ICA_OUT 為自 ICA 處理器 2A 所接收之信號中所分離出之獨立成分信號。

詳言之，數學式 (c) 至 (e) 表示利用疊代 (iteration) 法計算非混合權重矩陣 W ，即判斷第 k 次視窗中前、後次疊代所算出的非混合權重矩陣之差值 $W(n)$ 、 $W(n+1)$ 是否小於一預定值。於非混合權重矩陣 $W(n)$ 、 $W(n+1)$ 之差值小於 8.9407×10^{-8} 時，ICA 訓練單元 25 將 $W(n+1)$ 儲存於暫存器，當開始計算 $W(n+2)$ 時，由於接收到輸入記憶體單元 21 的通知而將 $W(n+1)$ 輸出至 ICA 計算單元 26，故本發明之 ICA 處理器可進行即時獨立成分分析。若 ICA 訓練單元 25 在進行上述數學式 (c) 至 (e) 時其差值沒有小於該預定值，則送出一通知 X_ZM_RESEND 經中心化單元 23 至輸入記憶體單元 21，使輸入記憶體單元 21 可送出同一個視窗中的初始資料以

重新進行計算。此外，由於平均與共變異單元 22、SVD 處理元件 241 和 INV_SORT 元件 242 對於同一視窗的初始資料亦只需計算一次，故白化單元 24 不須再重新計算白化矩陣 P_MATRIX。

接著請參閱第 3 圖，其為本發明之 ICA 處理器之 ICA 訓練單元的基本架構圖。於第 3 圖所示之實施態樣中，ICA 訓練單元 25 可包括向量乘法器 251、向量加法器 252 和查找表 253，其中向量加法器 252 和向量乘法器 251 分別由十六個加法器和十六個乘法器所組成，以便提昇運算效率。

第 4 圖為本發明之 ICA 處理器之白化單元的 SVD 處理元件的基本架構圖，於第 4 圖所示之實施態樣中，SVD 處理元件 241 可包括八個座標旋轉器(cordic)2410，即以八個 cordic-base 為核心的 Jacobi 奇異值分解進行平行運算，如此可加速處理速度，以達即時的功能。

再者，本發明之 ICA 處理器 2A 可以超大型積體電路 (vary large scale integration ; LSI) 的方式實現 Infomax ICA 演算法，即 ICA 處理器可製作為一個面積約 $1133 \times 1133 \mu\text{m}^2$ 的晶片，其頻率最高可到 60MHz，具輕巧及可攜式特性，以便於應用於醫療器材。

另一方面，本發明之 ICA 處理器 2A 可應用於腦電波獨立成分信號及超高斯信號的分離。第 5A 圖係繪示應用於腦電波之進行信號獨立成分分析運算的實驗例，其中，EEG channel 1 至 EEG channel 4 為所量測到的腦電波信號大小，[EEGLab]component 1 至 [EEGLab]component 4 為透

過美國加州大學聖地牙哥分校所發展的公開軟體(EEGLab)進行獨立成分分析之腦波信號大小，[Chip] component 1 至 [Chip] component 4 為由本發明之 ICA 處理器 2A 所製作的晶片進行獨立成分分析之腦電波信號大小。由第 5A 圖可知，利用本發明之 ICA 處理器所進行之信號獨立成分分析運算其結果與透過美國加州大學聖地牙哥分校所發展的公開軟體(EEGLab)進行獨立成分分析運算的結果頗為相近。第 5B 圖係繪示應用於腦電波之移除其中雜訊的實驗例，Original EEG Ch1 至 Original EEG Ch4 為所量測到的腦電波，其中，在第 20 至 40 筆腦電波初始資料中顯示信號突然升高，表示眨眼睛所產生的雜訊，而 EEGLab-Artifact Removed Ch1 至 EEGLab-Artifact Removed Ch4 為透過標準軟體移除雜訊後的腦電波信號，Chip-Artifact Removed Ch1 至 Chip-Artifact Removed Ch4 為利用本發明之 ICA 處理器進行獨立成分分析運算以將雜訊移除後的腦電波信號。由第 5B 圖可知，藉由本發明之應用亦可準確移除雜訊。因此，由第 5A 和 5B 圖可知，本發明之 ICA 處理器能將量測或監控的信號作即時獨立成分分離，應用時僅需將所分離的雜訊移除並進行向後投影(Back-projection)計算(可能配合其他的離線運算)，即可得到無雜訊的信號。

再者，第 6A 至 6C 圖為超高斯信號(super-Gaussian)的模擬結果，所示圖形為一個記憶庫的初始資料的信號大小。第 6A 圖為超高斯原始測試信號，第 6B 圖為分離的獨

立成分分析信號，第 6C 圖為超高斯原始測試信號與分離的獨立成分分析信號之關聯性，其中一個記憶庫(bank)有 32 筆資料量，此圖顯示約 101 個 bank 的初始資料。由第 6C 圖可知，超高斯原始測試信號與分離的獨立成分分析信號之關聯性平均為 0.9044 以上。

綜上所述，本發明所提出之 ICA 處理器可針對所接收之信號進行獨立成分信號的分離，以供應用時去除信號中的雜訊，可應用於盲點信號分離或例如腦電波、心電圖等生理信號。此外，ICA 處理器的輸入記憶體單元採用滑動的視窗來實現初始資料的填充，以達到信號分析的即時性。再者，ICA 處理器的白化單元可以加速 ICA 訓練單元進行 ICA 計算時的收斂。因此，藉由本發明獨立成分分析處理器對多通道平行信號進行獨立成分分析之運算，可分離出信號中的雜訊，以於應用時將所分離的雜訊移除並進行向後投影計算即可得到無雜訊的信號。

上述實施例僅例示性說明本發明之原理及功效，而非用於限制本發明。任何熟習此項技術之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係包含本發明之 ICA 處理器之信號處理裝置之應用架構圖；

第 2 圖係本發明之 ICA 處理器之基本架構圖；

第 3 圖係本發明之 ICA 處理器之 ICA 訓練單元之基本架構圖；

第 4 圖係本發明之 ICA 處理器之白化單元之 SVD 處理元件之基本架構圖；

第 5A 圖係本發明之 ICA 處理器應用於腦電波之獨立成分分析之實驗圖例；

及 5B 圖係本發明之 ICA 處理器之應用於腦電波之雜訊移除之實驗圖例；以及

第 6A 至 6C 圖係本發明之 ICA 處理器之利用超高斯信號的模擬示意圖。

【主要元件符號說明】

- 1 信號接收電路
- 2 信號處理裝置
- 2A 獨立成分分析處理器(ICA 處理器)
- 21 輸入記憶體單元
- 210 第一記憶庫 RAM0
- 211 第二記憶庫 RAM1
- 212 第三記憶庫 RAM2
- 22 平均與共變異單元
- 221 乘法累加器
- 23 中心化單元
- 231 減法器
- 24 白化單元
- 241 奇異值分解處理元件(SVD 處理元件)

- 2410 座標旋轉器
- 242 平方根倒數元件(INV_SQRT 元件)
- 243 乘法累加器
- 244 P_MATRIX 暫存器
- 25 ICA 訓練單元
- 251 向量乘法器
- 252 向量加法器
- 253 查找表
- 26 ICA 計算單元
- 261 乘法累加器
- 262 UW 暫存器
- 2B 壓縮處理器
- 3 無線通訊模組
- 4 無線接收端

七、申請專利範圍：

1. 一種獨立成分分析處理器，係用以對多通道平行信號進行獨立成分分析之運算，包括：

輸入記憶體單元，係接收及儲存該多通道平行信號，其中，該多通道平行信號具有初始資料，且該輸入記憶體單元輸出該初始資料；

平均與共變異單元，係計算該初始資料的平均值和共變異值；

中心化單元，係依據該初始資料的平均值對該初始資料進行中心化而取得零均值資料；

白化單元，係接收該初始資料的共變異值和該零均值資料以進行白化處理，以得到白化矩陣和不相關資料流；

ICA 訓練單元，係從該白化單元接收該不相關資料流，並據以計算出非混合權重矩陣；以及

ICA 計算單元，係接收該非混合權重矩陣和該白化矩陣以計算出白化非混合矩陣，再依據該白化非混合矩陣及該初始資料計算出該多通道平行信號之獨立成分。

2. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該輸入記憶體單元係包含交錯的記憶體。
3. 如申請專利範圍第 2 項所述之獨立成分分析處理器，其中，該記憶體具有至少三個記憶庫，以供依序填充該多通道平行信號中的初始資料，且其中，該輸入記憶體單元採用該具有至少三個記憶庫的記憶體之架構來實現

滑動的視窗。

4. 如申請專利範圍第 3 項所述之獨立成分分析處理器，其中，該 ICA 訓練單元係透過疊代法來計算該非混合權重矩陣，其中，若該 ICA 訓練單元執行該疊代法所得之結果未符合一預定值，則發出一通知至該輸入記憶體單元，以令該輸入記憶體單元輸出同一個視窗中的初始資料，而若執行該疊代法所得之結果符合該預定值，則令該 ICA 訓練單元輸出該非混合權重矩陣至該 ICA 計算單元。
5. 如申請專利範圍第 3 項所述之獨立成分分析處理器，其中，該輸入記憶體單元在傳輸該初始資料至該 ICA 計算單元及該中心化單元之前，發出一通知至該 ICA 訓練單元以令該 ICA 訓練單元將由前一個視窗所算出的非混合權重矩陣送至該 ICA 計算單元。
6. 如申請專利範圍第 3 項所述之獨立成分分析處理器，其中，該輸入記憶體單元中所執行之該初始資料之依序填充、該中心化單元之中心化、該白化單元之白化處理、該 ICA 訓練單元及該 ICA 計算單元之計算係平行處理。
7. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該平均與共變異單元包含乘法累加器，而該平均與共變異單元利用該乘法累加器計算該初始資料的平均值和共變異值。
8. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該中心化單元包含減法器，而該中心化單元利用該

減法器去除該初始資料中各通道的直流成分。

9. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該白化單元包括：

奇異值分解處理元件，係接收該初始資料的共變異值以計算出該共變異值的特徵值矩陣和特徵向量矩陣；

平方根倒數元件，係接收該特徵值矩陣以計算出該特徵值矩陣的平方根倒數；及

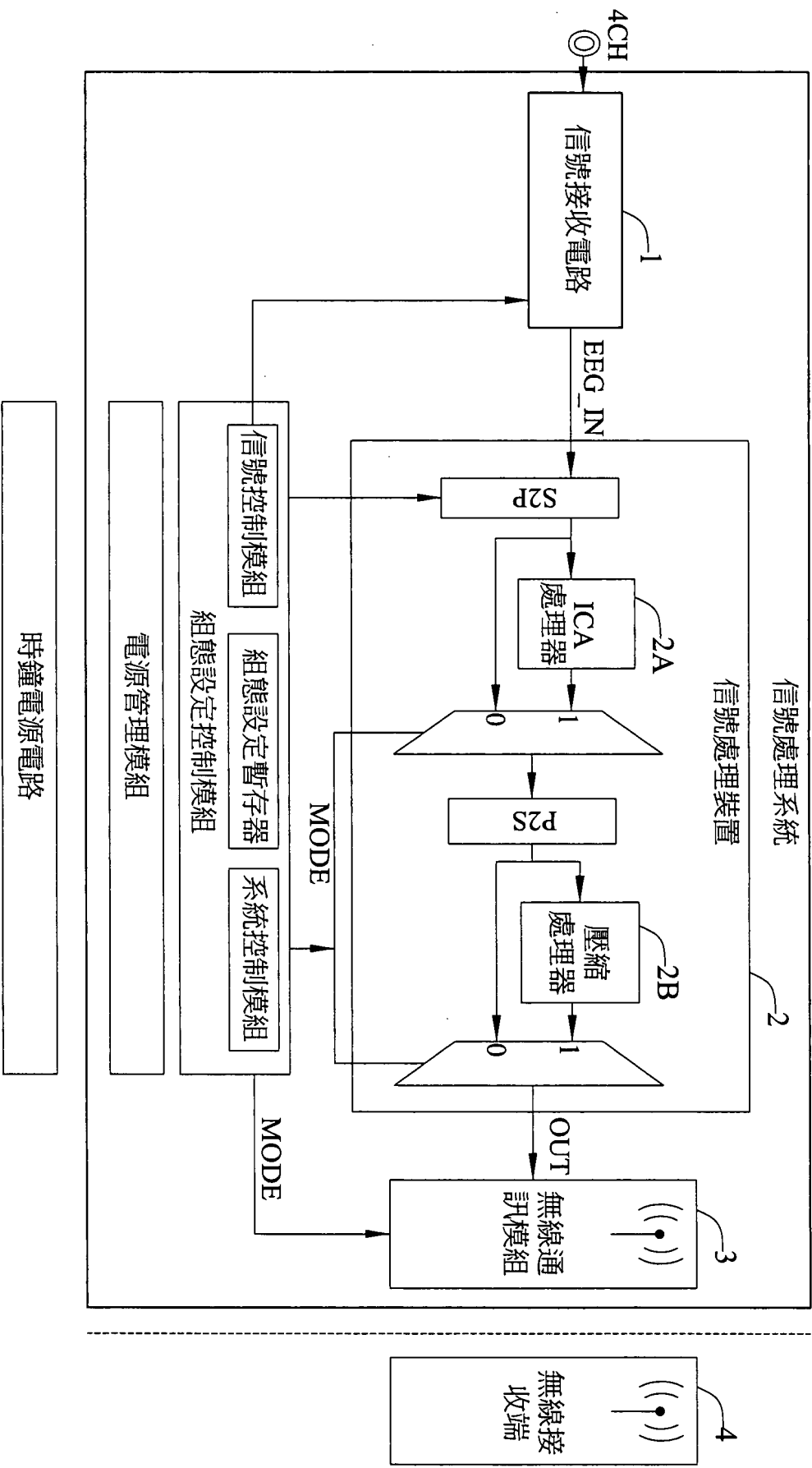
乘法累加器，係依據該特徵向量矩陣和該特徵值矩陣的平方根倒數，計算出該白化矩陣，再依據該白化矩陣和該零均值資料計算出不相關資料流。

10. 如申請專利範圍第 9 項所述之獨立成分分析處理器，其中，該奇異值分解處理元件包括複數個座標旋轉器。

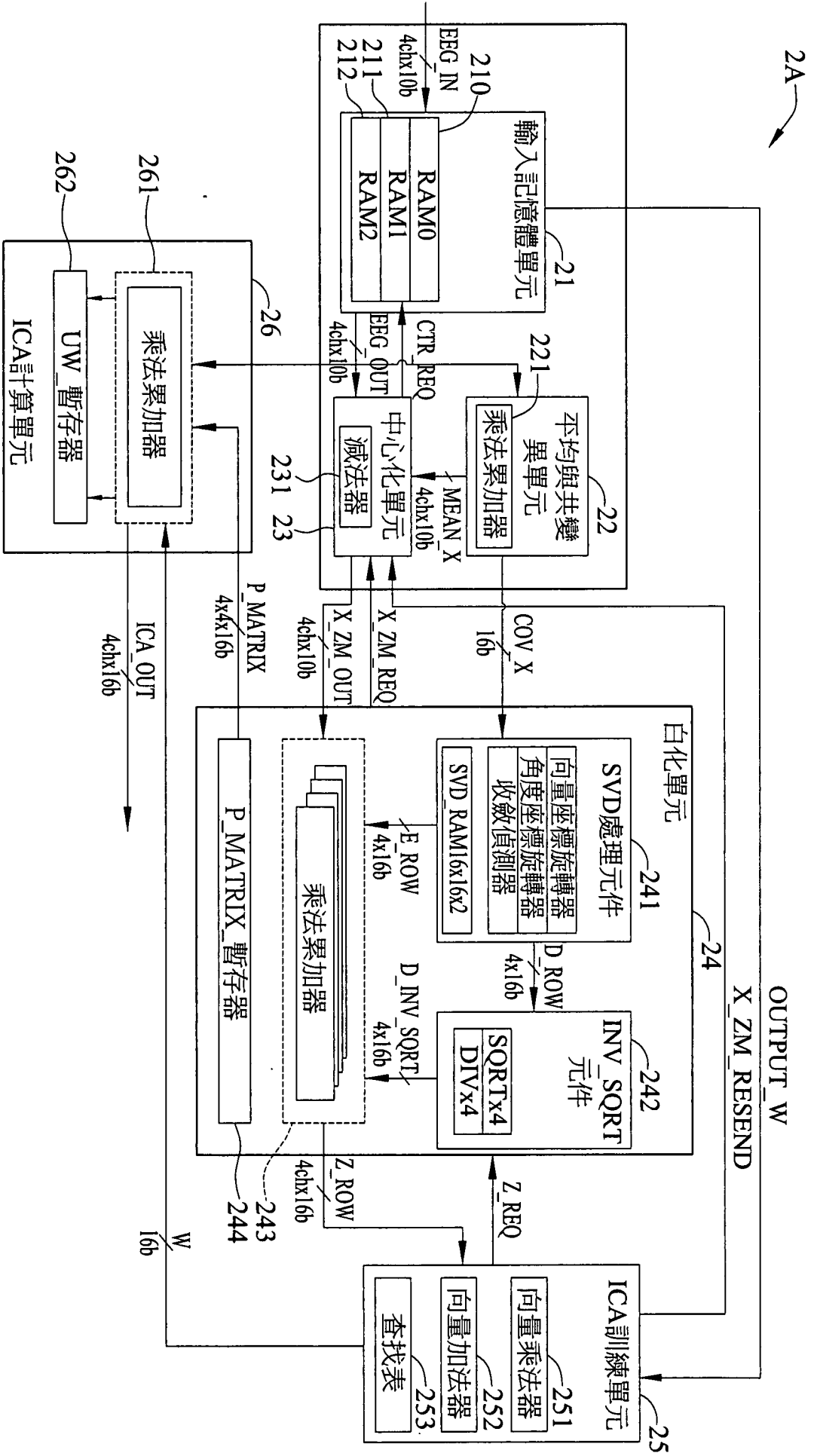
11. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該 ICA 訓練單元包括向量乘法器、向量加法器及查找表，而該 ICA 訓練單元利用該向量乘法器、該向量加法器及該查找表計算出該非混合權重矩陣。

12. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該 ICA 計算單元包括乘法累加器，而該 ICA 計算單元利用該乘法累加器計算出該白化非混合矩陣。

13. 如申請專利範圍第 1 項所述之獨立成分分析處理器，其中，該 ICA 訓練單元和該 ICA 計算單元係執行 Infomax ICA 演算法。

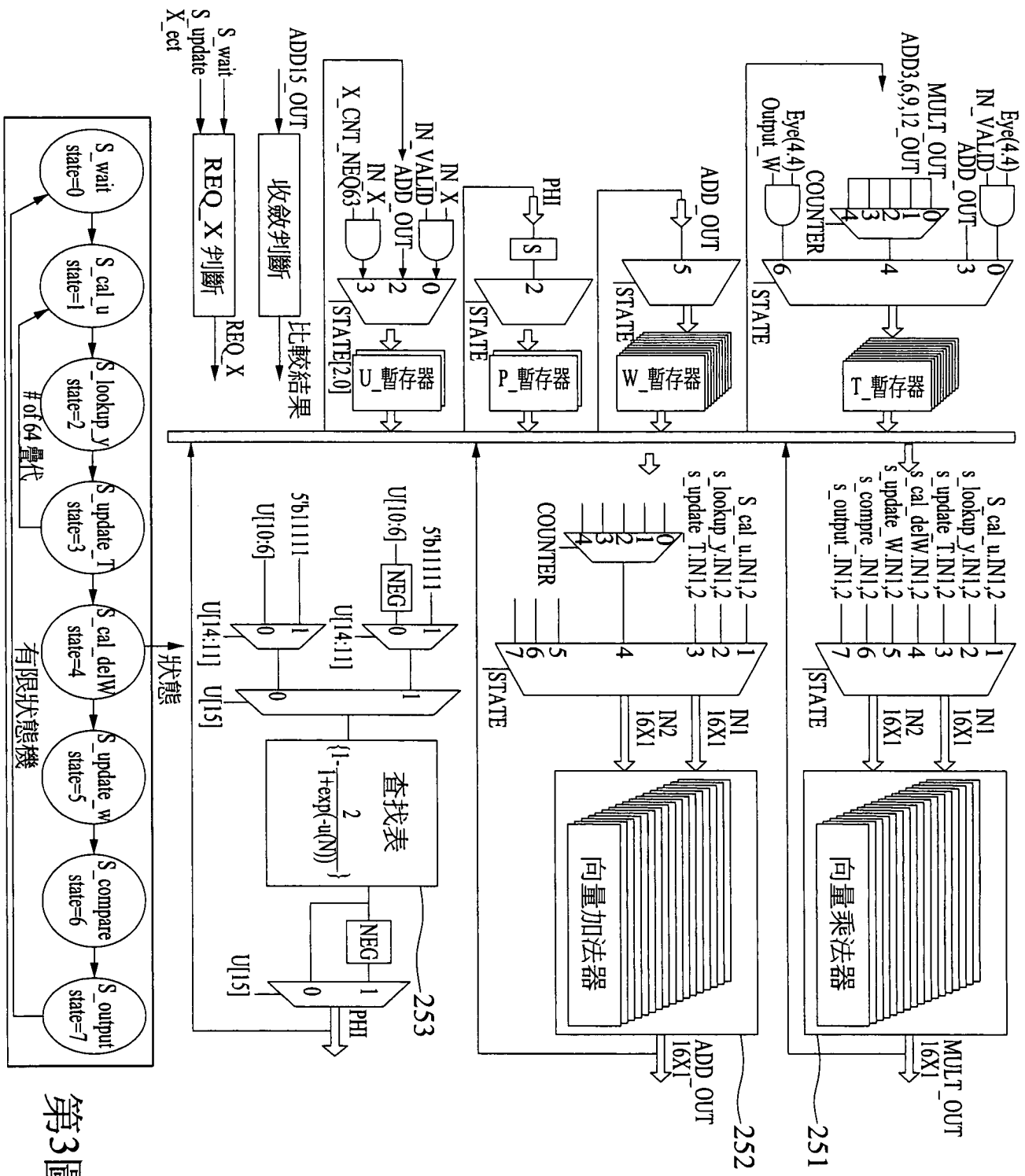


第1圖



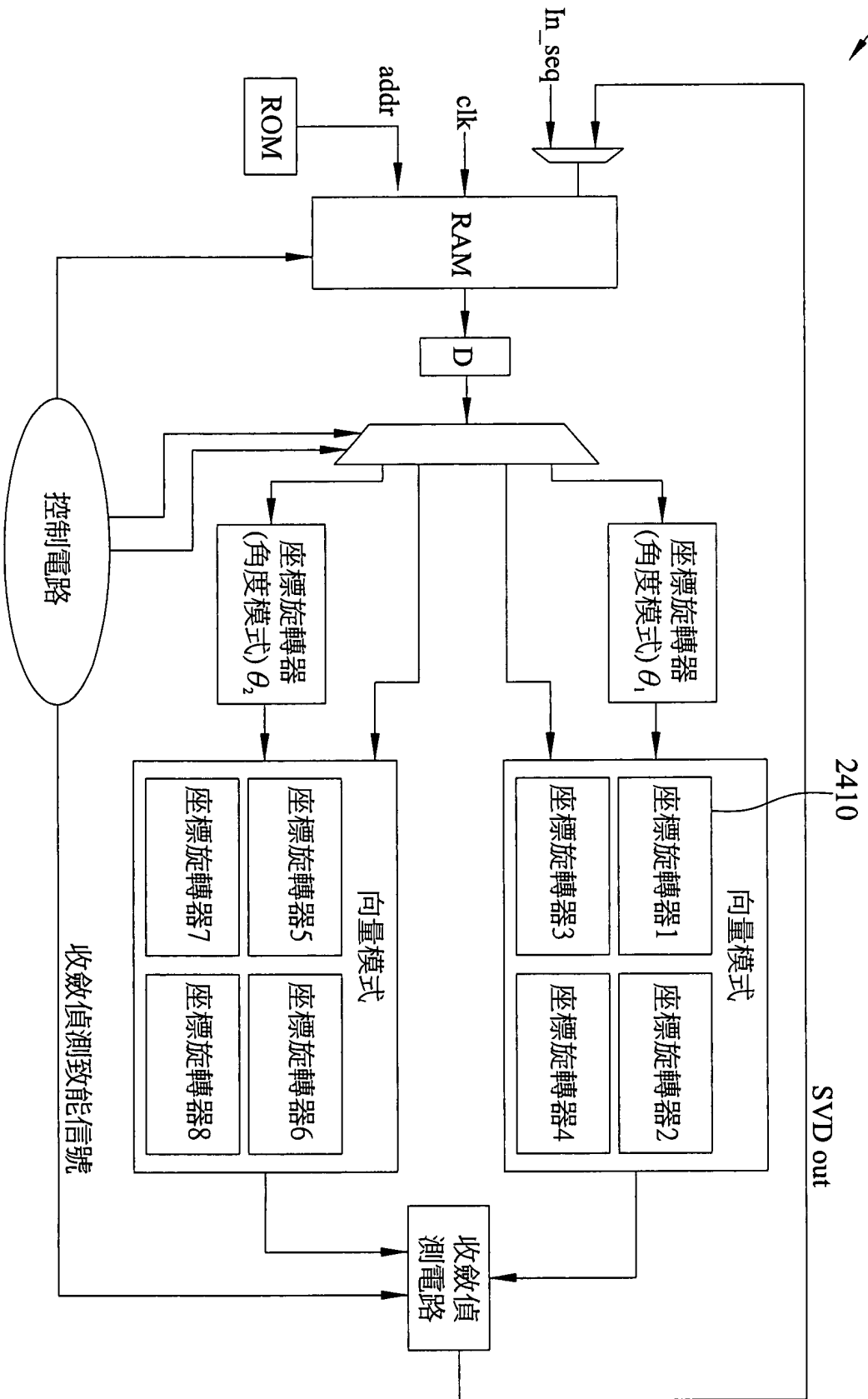
第2圖

25

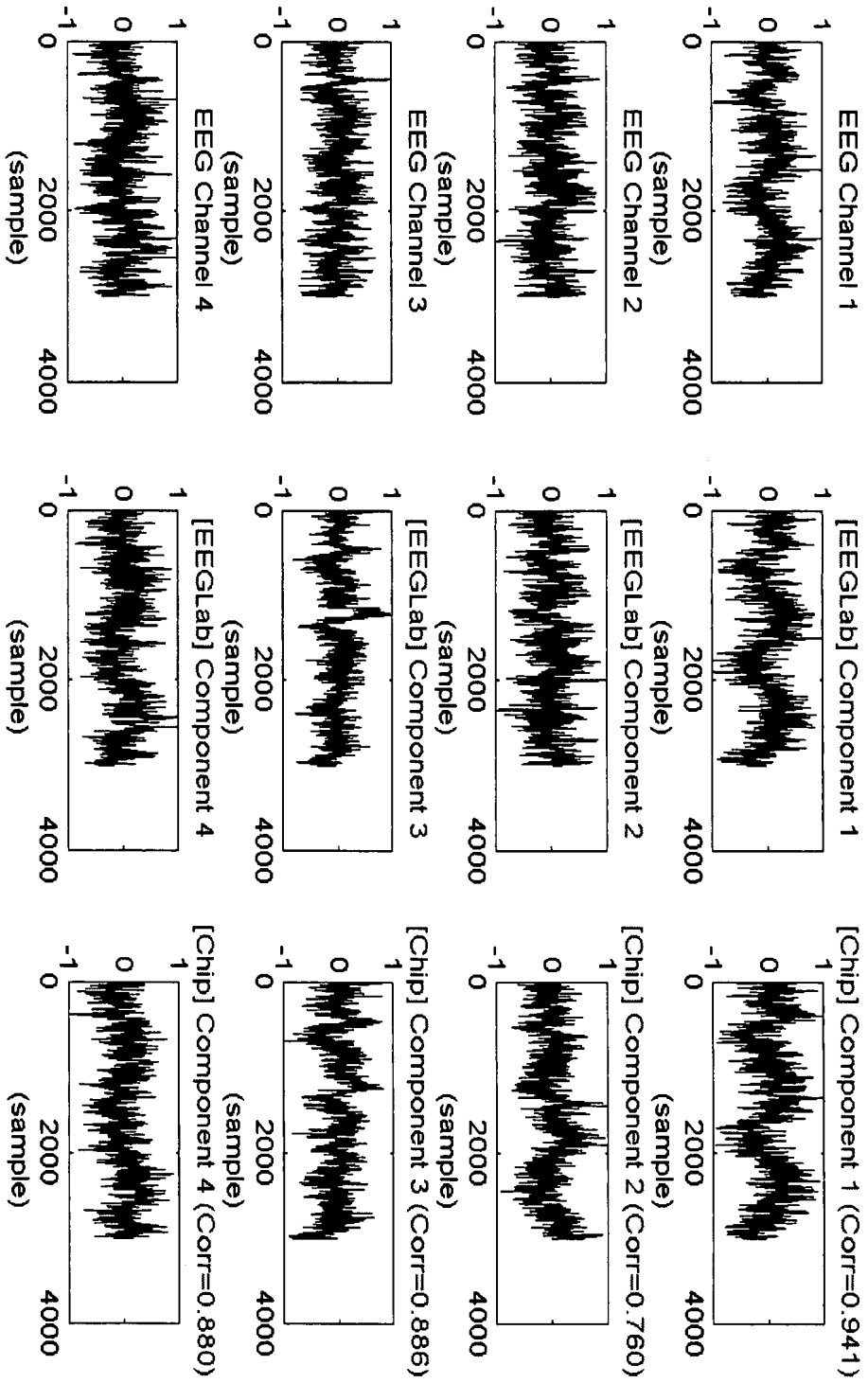


第3圖

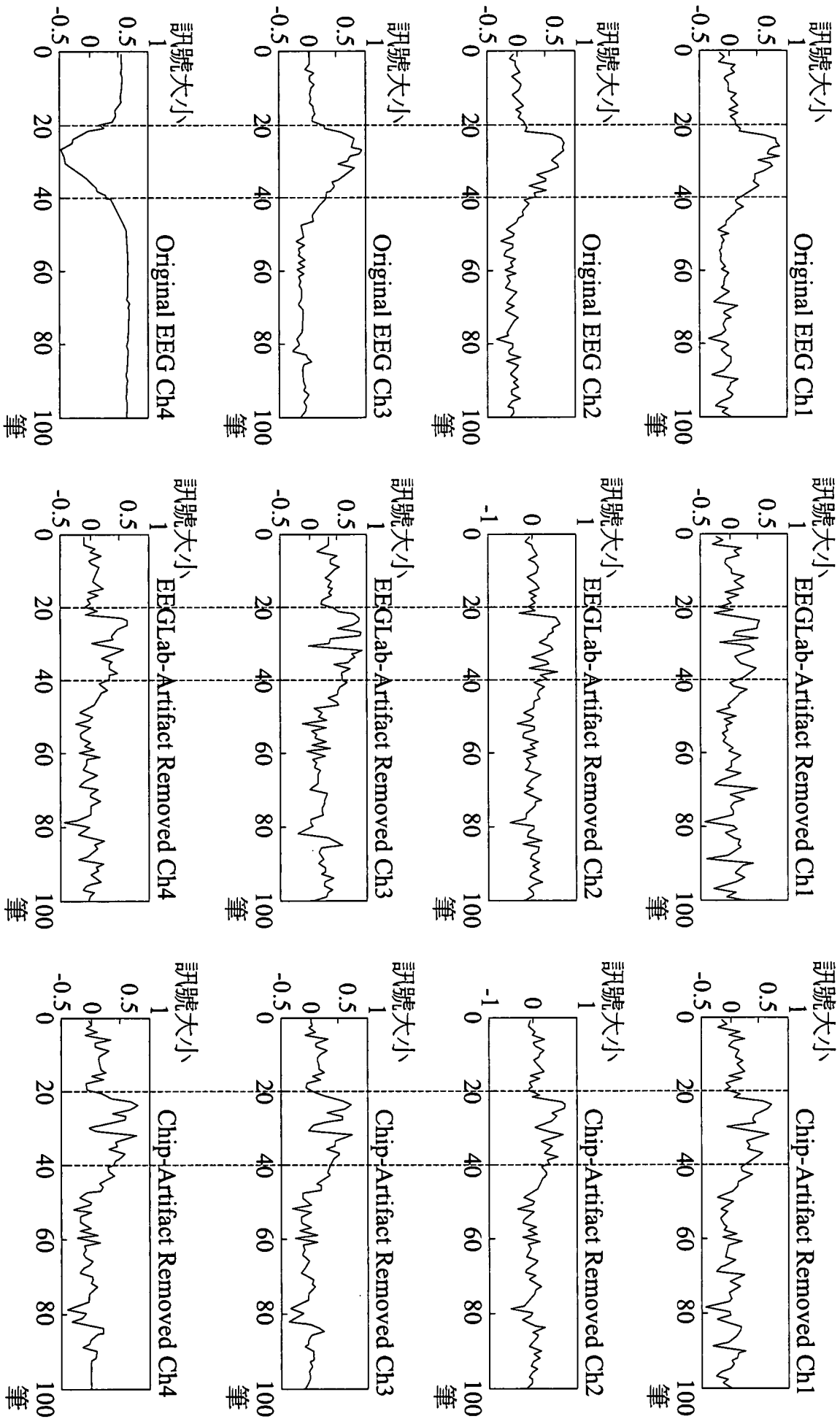
241



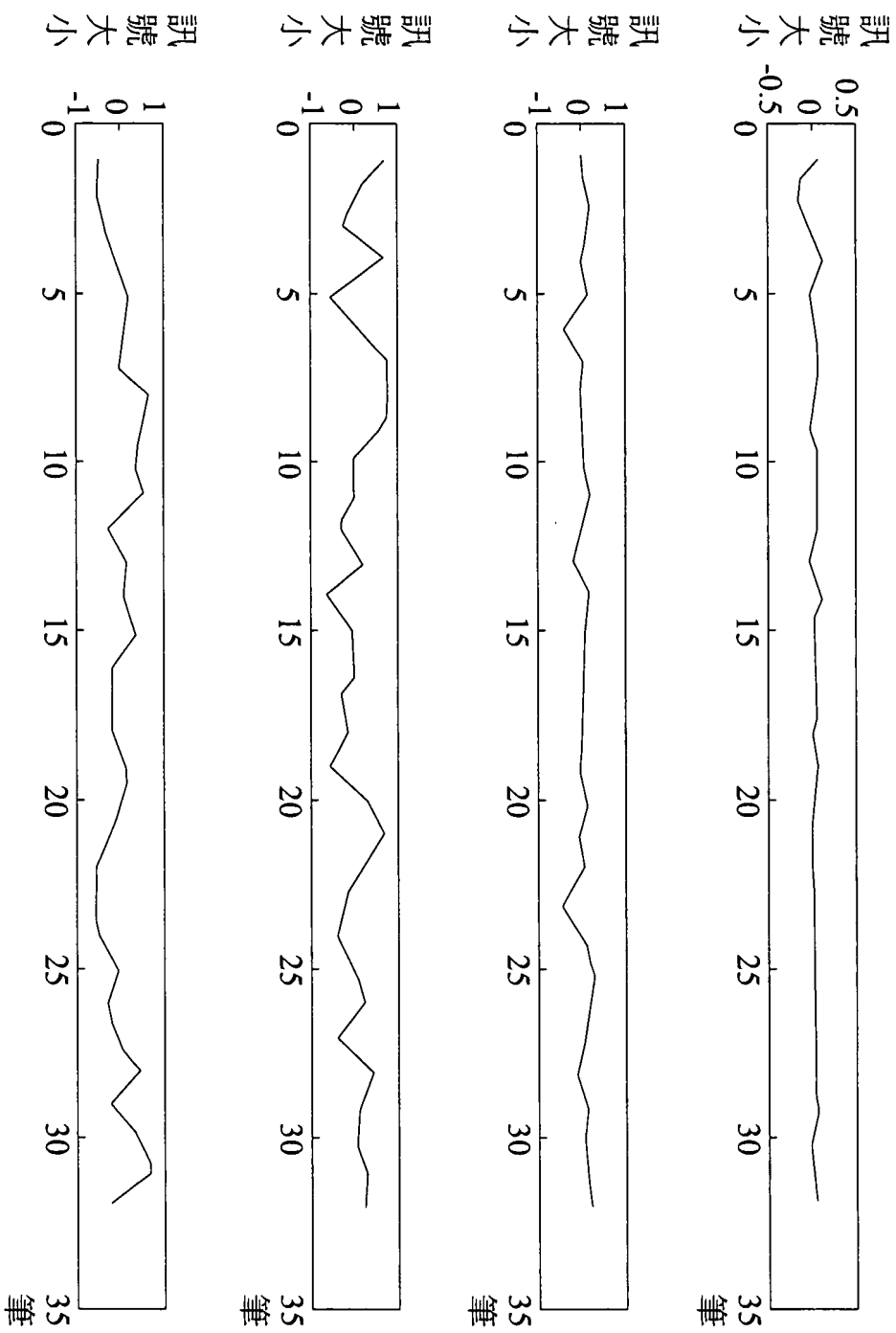
第4圖



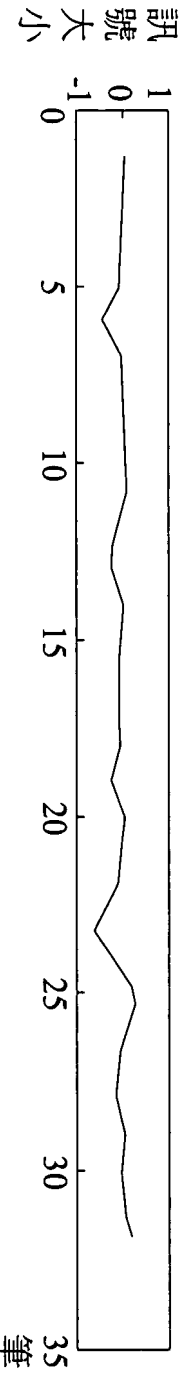
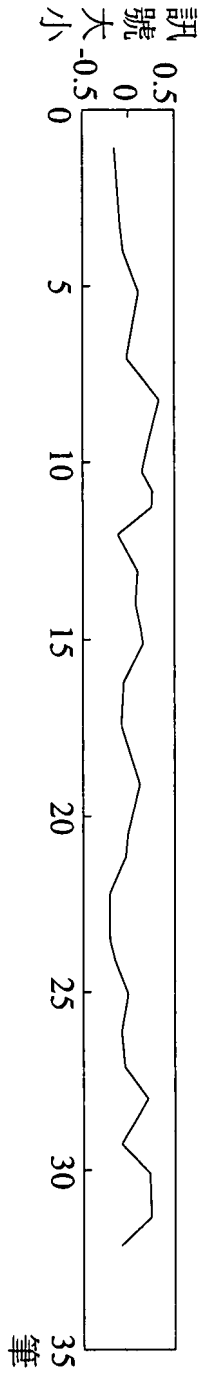
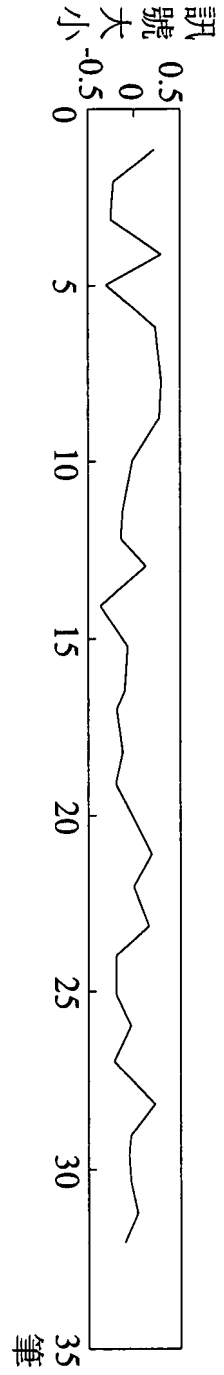
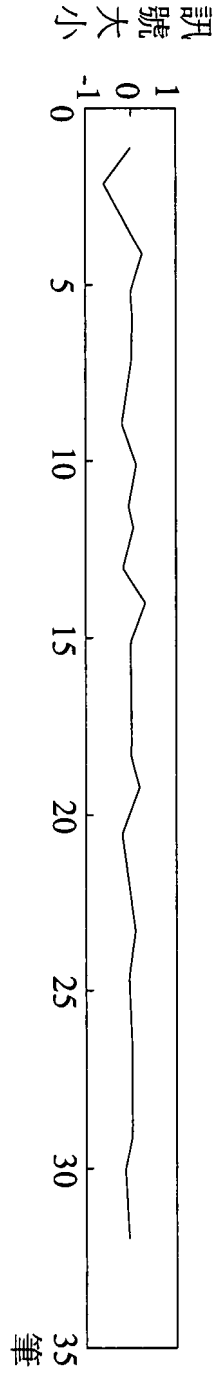
第5A圖



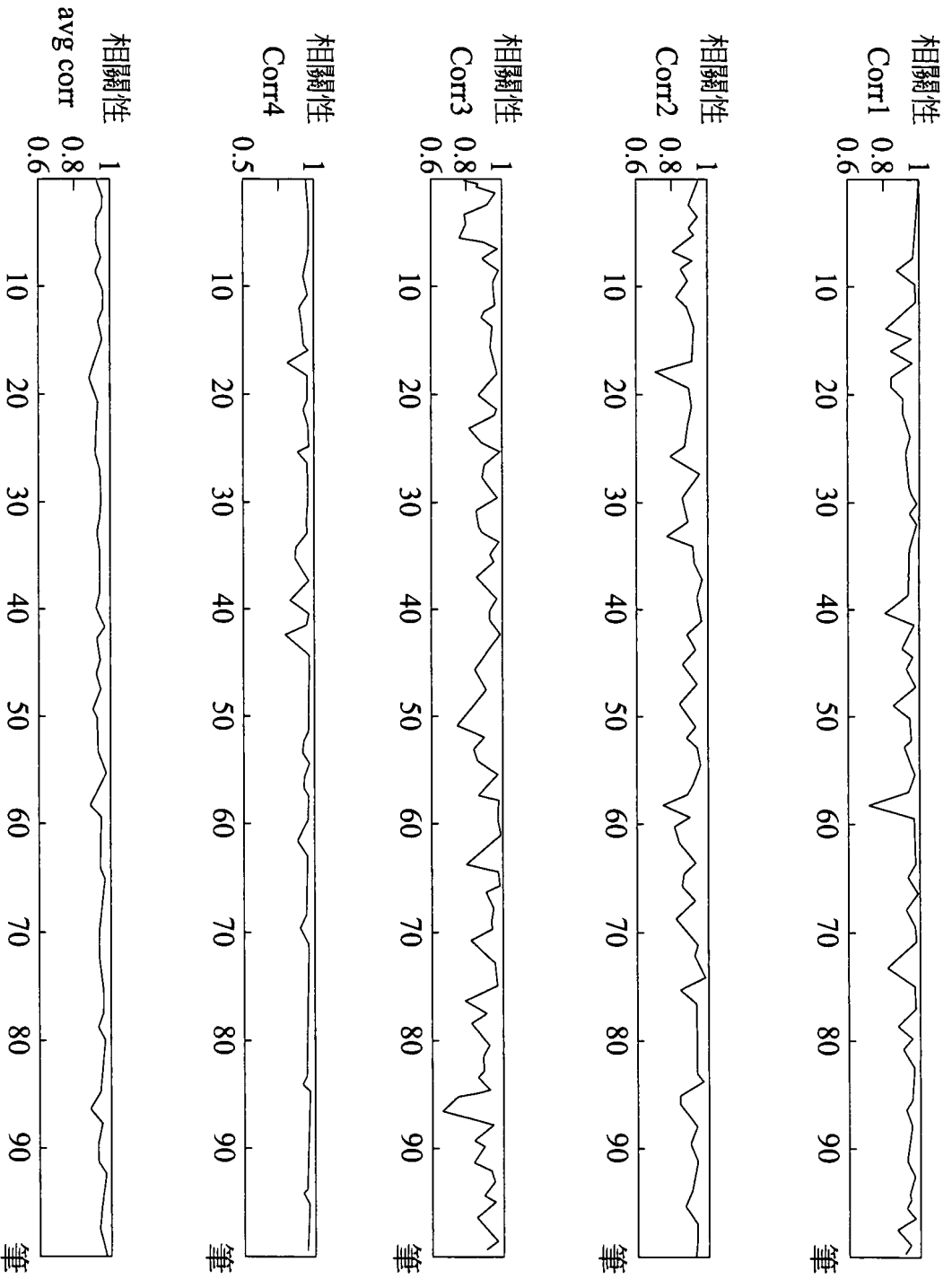
第5B圖



第6A圖



第6B圖



第6C圖