



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201223136 A1

(43)公開日：中華民國 101 (2012) 年 06 月 01 日

(21)申請案號：099140593

(22)申請日：中華民國 99 (2010) 年 11 月 24 日

(51)Int. Cl. : **H03F3/45 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：郭洲銘 KUO, CHOU MING (TW)；何盈杰 HO, YING CHIEH (TW)；蘇朝琴 SU, CHAU CHIN (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

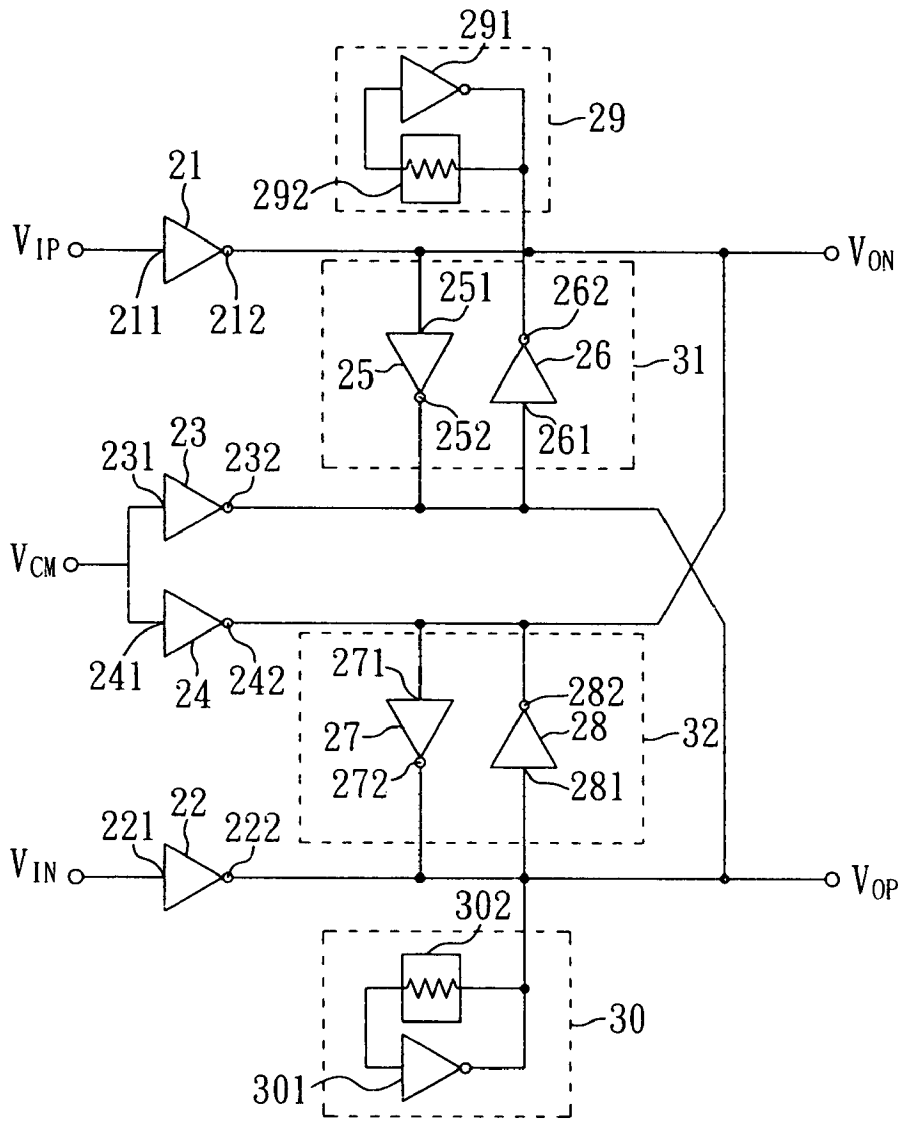
申請實體審查：有 申請專利範圍項數：7 項 圖式數：5 共 23 頁

(54)名稱

數位式全差動放大器電路

(57)摘要

本發明係關於一種可操作於高速資料傳輸環境下，且可降低功率消耗的數位式全差動放大器電路。其包括：一第一輸入反相器、一第二輸入反相器、一第一共模反相器、一第二共模反相器、一第一回授反相器、一第二回授反相器、一第三回授反相器、一第四回授反相器、一第一自我偏壓模組及一第二自我偏壓模組。其中，第一自我偏壓模組及第二自我偏壓模組係用於延展數位式全差動放大器電路的頻寬。此外，第一回授反相器與第二回授反相器組成一第一回授電路模組，第三回授反相器與第四回授反相器組成一第二回授電路模組，以抑制共模雜訊的發生。



- 21 : 第一輸入反相器
- 22 : 第二輸入反相器
- 23 : 第一共模反相器
- 24 : 第二共模反相器
- 25 : 第一回授反相器
- 26 : 第二回授反相器
- 27 : 第三回授反相器
- 28 : 第四回授反相器
- 29 : 第一自我偏壓模組
- 30 : 第二自我偏壓模組
- 31 : 第一回授電路模組
- 32 : 第二回授電路模組
- 211 : 第一輸入端
- 212 : 第一輸出端
- 221 : 第二輸入端
- 222 : 第二輸出端
- 231 : 第一共模輸入端
- 232 : 第一共模輸出端
- 241 : 第二共模輸入端
- 242 : 第二共模輸出端
- 251 : 第一回授輸入端
- 252 : 第一回授輸出端
- 261 : 第二回授輸入端
- 262 : 第二回授輸出端
- 271 : 第三回授輸入端
- 272 : 第三回授輸出端
- 281 : 第四回授輸入端
- 282 : 第四回授輸出端
- 291 : 反相器
- 292 : 具有阻值之電性元件
- 301 : 反相器
- 302 : 具有阻值之電性元件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99140593

※申請日：99.11.24 ※IPC分類：H03F 3/45 (2006.01)

一、發明名稱：(中文/英文)

數位式全差動放大器電路

二、中文發明摘要：

本發明係關於一種可操作於高速資料傳輸環境下，且可降低功率消耗的數位式全差動放大器電路。其包括：一第一輸入反相器、一第二輸入反相器、一第一共模反相器、一第二共模反相器、一第一回授反相器、一第二回授反相器、一第三回授反相器、一第四回授反相器、一第一自我偏壓模組及一第二自我偏壓模組。其中，第一自我偏壓模組及第二自我偏壓模組係用於延展數位式全差動放大器電路的頻寬。此外，第一回授反相器與第二回授反相器組成一第一回授電路模組，第三回授反相器與第四回授反相器組成一第二回授電路模組，以抑制共模雜訊的發生。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

- | | |
|-------------|-------------------|
| 21 第一輸入反相器 | 22 第二輸入反相器 |
| 23 第一共模反相器 | 24 第二共模反相器 |
| 25 第一回授反相器 | 26 第二回授反相器 |
| 27 第三回授反相器 | 28 第四回授反相器 |
| 29 第一自我偏壓模組 | 30 第二自我偏壓模組 |
| 31 第一回授電路模組 | 32 第二回授電路模組 |
| 211 第一輸入端 | 212 第一輸出端 |
| 221 第二輸入端 | 222 第二輸出端 |
| 231 第一共模輸入端 | 232 第一共模輸出端 |
| 241 第二共模輸入端 | 242 第二共模輸出端 |
| 251 第一回授輸入端 | 252 第一回授輸出端 |
| 261 第二回授輸入端 | 262 第二回授輸出端 |
| 271 第三回授輸入端 | 272 第三回授輸出端 |
| 281 第四回授輸入端 | 282 第四回授輸出端 |
| 291、301 反相器 | 292、302 具有阻值之電性元件 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種數位式全差動放大器電路，尤指一種可操作於高速資料傳輸環境下，且可降低其功率消耗的數位式全差動放大器電路。

【先前技術】

傳統上，全差動式放大器電路之設計多為以類比式之架構來實現。但是，隨著資訊傳輸量的大幅提升，各種電子產品之資料傳輸量的需求也相對地持續升高，迫使各種電子產品之電路的操作速率亦必須一併提升。

圖1係習知之類比式全差動放大器電路的示意圖，其中習知之類比式全差動放大器電路係由兩組差動對(第一差動對11、及第二差動對12)所組成，以及一組偏壓電路13且再加上兩組負載電路14、15。此外，第一差動對11係包括一第一差動電晶體111及一第二差動電晶體112，第二差動對12係包括一第三差動電晶體121及一第四差動電晶體122，第三差動對13則包括一第一偏壓電晶體131及一第二偏壓電晶體132。

另一方面，第一差動對11之第一差動電晶體111與第二差動對12之第四差動電晶體122係分別接收一正端輸入訊號 V_{IP} 與一負端輸入訊號 V_{IN} ，第一差動對11之第二差動電晶體112與第二差動對12之第三差動電晶體121則互相連接，以接收一共模訊號 V_{CM} 。

當習知之類比式全差動放大器電路運作時，習知之類比式全差動放大器電路係先將正端輸入訊號 V_{IP} 與負端輸入訊號 V_{IN} 做差模放大，接著將流出之電流訊號加總後，再經由兩組負載電路14、15將前述之電流訊號轉換成一輸出電壓訊號 V_{OUT} 。

而為了應付一高資料傳輸量的需求，習知之類比式全差動放大器電路之操作速率必須加快。而達成此一目的最直接的方法便是：加大習知之類比式全差動放大器電路的操作電流。但是，加大習知之類比式全差動放大器電路的操作電流往往會伴隨著一個嚴重的問題，即習知之類比式全差動放大器電路所消耗之功率亦會隨之上升，造成過多功率損耗。是故，習知之類比式全差動放大器電路並無法滿足高資料傳輸量之需求。再者，習知之類比式全差動放大器電路的另一缺點為電路設計之複雜度高，因其係類比電路。故一旦製程技術改變時，習知之類比式全差動放大器電路就必需重頭設計，非常耗費成本。

因此，業界需要一種可操作於高速資料傳輸環境下，且可降低其功率消耗的數位式全差動放大器電路。

【發明內容】

本發明之主要目的係在提供一種數位式全差動放大器電路，俾能延展其響應頻寬，以提升其操作速率。

本發明之另一目的係在提供一種數位式全差動放大器電路，俾能降低其在高速操作狀態下的功率消耗。

為達成上述目的，本發明之數位式全差動放大器電路，包括：一第一輸入反相器，具有一第一輸入端及一第一輸出端，且此第一輸入端係作為一正端輸入端，以接受一正端輸入訊號；一第二輸入反相器，具有一第二輸入端及一第二輸出端，且此第二輸入端係作為一負端輸入端，以接受一負端輸入訊號；一第一共模反相器，具有一第一共模輸入端及一第一共模輸出端；一第二共模反相器，具有一第二共模輸入端及一第二共模輸出端，且此第一共模輸入端係與此第二共模輸入端連接，以作為一共模輸入端；一第一回授反相器，係具有一第一回授輸入端及一第一回授輸出端，且此第一回授輸入端係與此第一輸出端連接，此第一回授輸出端則與此第一共模輸出端連接；一第二回授反相器，係具有一第二回授輸入端及一第二回授輸出端，且此第二回授輸入端係與此第一共模輸出端連接，此第二回授輸出端則與此第一輸出端連接；一第三回授反相器，係具有一第三回授輸入端及一第三回授輸出端，且此第三回授輸入端係與此第二共模輸出端連接，此第三回授輸出端則與此第二輸出端連接；一第四回授反相器，係具有一第四回授輸入端及一第四回授輸出端，且此第四回授輸入端係與此第二輸出端連接，此第四回授輸出端則與此第二共模輸出端連接；一第一自我偏壓模組，係與此第一輸出端、此第一回授輸入端及此第二回授輸出端連接；以及一第二自我偏壓模組，係與此第二輸出端、此第三回授輸出端及此第四回授輸入端連接。其中，此第一自我偏

壓模組係與此第二共模輸出端、此第三回授輸入端及此第四回授輸出端連接，以作為一負端輸出端；此第二自我偏壓模組則與此第一共模輸出端、此第一回授輸出端及此第二回授輸入端連接，以作為一正端輸出端；此第一自我偏壓模組及此第二自我偏壓模組係分別包含一反相器及一具有阻值之電性元件，此具有阻值之電性元件之兩端並與此反相器之輸入端及輸出端連接。

因此，由於本發明之數位式全差動放大器電路之第一自我偏壓模組及第二自我偏壓模組係分別包含一反相器及一具有阻值之電性元件我偏壓模組，故本發明之數位式全差動放大器電路之第一自我偏壓模組及第二自我偏壓模組的輸出阻抗之頻率響應便從一具有一個極點的系統，改變成另一具有一個零點及兩個極點的系統，使得第一自我偏壓模組及第二自我偏壓模組亦具有仿電感式負載的效果。所以，本發明之數位式全差動放大器電路的輸出阻抗較低，且可延長其所具有之各反相器的線性放大操作區，進而使得本發明之數位式全差動放大器電路的響應頻寬得以延展，如此，本發明之數位式全差動放大器電路便可操作在較高的速率，如被應用在高速資料傳輸環境下。

另一方面，由於本發明之數位式全差動放大器電路所具有的複數個反相器均為數位反相器，故本發明之數位式全差動放大器電路於操作時的功率消耗便顯著低於習知之類比式全差動放大器電路於操作時的功率消耗，尤其在高速資料傳輸環境下。

【實施方式】

請參閱圖2，其係本發明一實施例之數位式全差動放大器電路的示意圖。如圖2所示，本發明一實施例之數位式全差動放大器電路包括：一第一輸入反相器21、一第二輸入反相器22、一第一共模反相器23、一第二共模反相器24、一第一回授反相器25、一第二回授反相器26、一第三回授反相器27、一第四回授反相器28、一第一自我偏壓模組29及一第二自我偏壓模組30。其中，第一輸入反相器21具有一第一輸入端211及一第一輸出端212，且第一輸入端211係作為本發明一實施例之數位式全差動放大器電路的一正端輸入端(V_{IP})，以接受一正端輸入訊號(圖中未示)。此外，第二輸入反相器22具有一第二輸入端221及一第二輸出端222，且第二輸入端221作為本發明一實施例之數位式全差動放大器電路的一負端輸入端(V_{IN})，以接受一負端輸入訊號(圖中未示)。

在本實施例中，前述之正端輸入訊號與負端輸入訊號的頻率均高於1 GHz以上。

另一方面，在本發明一實施例之數位式全差動放大器電路中，第一共模反相器23具有一第一共模輸入端231及一第一共模輸出端232，第二共模反相器24則具有一第二共模輸入端241及一第二共模輸出端242。此外，第一共模輸入端231及與第二共模輸入端241連接，以作為本發明一實施例之數位式全差動放大器電路的一共模輸入端(V_{CM})，以接受一共模準位。

再如圖2所示，第一回授反相器25具有一第一回授輸入端251及一第一回授輸出端252，且第一回授輸入端251係與第一輸出端212連接，第一回授輸出端252則與第一共模輸出端232連接。第二回授反相器26具有一第二回授輸入端261及一第二回授輸出端262，且第二回授輸入端261係與第一共模輸出端232連接，第二回授輸出端262則與第一輸出端212連接。在本實施例中，第一回授反相器25及第二回授反相器26組成一第一回授電路模組31。

另一方面，第三回授反相器27具有一第三回授輸入端271及一第三回授輸出端272，且第三回授輸入端271係與第二共模輸出端242連接，第三回授輸出端272則與第二輸出端222連接。第四回授反相器28具有一第四回授輸入端281及一第四回授輸出端282，且第四回授輸入端281係與第二輸出端222連接，第四回授輸出端282則與第二共模輸出端242連接。在本實施例中，第三回授反相器27及第四回授反相器28組成一第二回授電路模組32。

請參閱圖2，在本發明一實施例之數位式全差動放大器電路中，第一自我偏壓模組29係與第一輸出端212、第一回授輸入端251及第二回授輸出端262連接。此外，第一自我偏壓模組29亦與第二共模輸出端242、第三回授輸入端271及第四回授輸出端282連接，以作為本發明一實施例之數位式全差動放大器電路的一負端輸出端(V_{ON})。

而在本發明一實施例之數位式全差動放大器電路中，第二自我偏壓模組30係與第二輸出端222、第三回授輸出端

272及第四回授輸入端281連接。此外，第二自我偏壓模組30亦與第一共模輸出端232、第一回授輸出端252及第二回授輸入端261連接，以作為本發明一實施例之數位式全差動放大器電路的一正端輸出端(V_{OP})。

如前所述，在本發明一實施例之數位式全差動放大器電路中，第一回授反相器25及第二回授反相器26係組成一第一回授電路模組31，第三回授反相器27及第四回授反相器28則組成一第二回授電路模組32，如圖2所示。而在本實施例中，第一回授電路模組31及第二回授電路模組32係用以抑制共模雜訊。

另一方面，如圖2所示，在本發明一實施例之數位式全差動放大器電路中，第一自我偏壓模組29及第二自我偏壓模組30即為業界所稱之「自我偏壓電路」(self-bias circuit)，它們並分別包含一反相器及一具有阻值之電性元件，而此具有阻值之電性元件的兩端係與反相器之輸入端及輸出端連接。例如，第一自我偏壓模組29係包含一反相器291及一具有阻值之電性元件292，第二自我偏壓模組30則包含一反相器301及一具有阻值之電性元件302。

需注意的是，在本實施例中，前述之具有阻值之電性元件292、302的類型並沒有任何限制，在晶片製作時，其可為任何電阻元件，也可以使用電晶體開關來等效電阻元件。

然而，如圖3所示，在本發明一實施例之數位式全差動放大器電路中，第一自我偏壓模組29之具有阻值之電性元

件係為一互補式傳輸閘(CMOS Transmission Gate)293。而且，互補式傳輸閘293的兩端係與反相器291之輸入端2911及輸出端2912連接。

此外，在本實施例中，前述之第一輸入反相器21、第二輸入反相器22、第一共模反相器23、第二共模反相器24、第一回授反相器25、第二回授反相器26、第三回授反相器27、第四回授反相器28、反相器291及第二自我偏壓模組30之反相器均為數位反相器。而且，正由於這些反相器均為數位反相器，故本發明一實施例之數位式全差動放大器電路於操作時的功率消耗便低於習知之類比式全差動放大器電路於操作時的功率消耗。況且，由於這些反相器均為數位反相器，故本發明一實施例之數位式全差動放大器電路便可藉由使用電路合成輔助設計軟體的方式被設計出來，有效減低電路設計之複雜度及所需花費的時間。

除此之外，由於習知之類比式全差動放大器電路需藉由提升輸入級轉導值的方式，才能提升其響應頻寬，導致習知之類比式全差動放大器電路的功率消耗增大。在本發明中利用加強輸出阻抗在高頻響應上的特性。所以，在高速操作狀態下(如資料傳輸應用)，本發明一實施例之數位式全差動放大器電路的功率消耗便更顯著地低於習知之類比式全差動放大器電路的功率消耗。

如圖4所示，其係顯示一具有阻值之電性元件對於本發明一實施例之數位式全差動放大器電路之自我偏壓模組之輸出阻抗變化趨勢之影響的示意圖。其中，曲線A係表示當

本發明一實施例之數位式全差動放大器電路之第一自我偏壓模組29及第二自我偏壓模組30僅由一反相器及一與此反相器之輸入端及輸出端連接之導線構成時的輸出阻抗響應，曲線B則表示當本發明一實施例之數位式全差動放大器電路之第一自我偏壓模組29及第二自我偏壓模組30係一反相器及一與此反相器之輸入端及輸出端連接之具有阻值之電性元件構成時的輸出阻抗響應。

從圖4中可看出，當頻率逐漸提高時，曲線A會在遇到一個極點(W_{p2})後，以20 dB/dec的斜率逐漸降低。然而，在同樣的情況下，曲線B會先遇到一個零點(W_{z1})，再以20 dB/dec的斜率逐漸升高，直到遇到一個極點(W_{p1})。隨後，曲線B便維持一固定值，直到遇到另一個極點(W_{p2})。最後，曲線B再以20 dB/dec的斜率逐漸降低。而對於曲線B之變化趨勢所顯示出的輸出阻抗變化，業界稱之為電感性尖峰(inductive peaking)。以上，可看出曲線B在高頻時明顯有較優的特性。

因此，藉由增加設置一具有阻值之電性元件於自我偏壓模組中的方式，本發明一實施例之數位式全差動放大器電路之自我偏壓模組的輸出阻抗之頻率響應便從曲線A所顯示之具有一個極點的系統，改變成另一具有一個零點(W_{z1})及兩個極點(W_{p1} 及 W_{p2})的系統，使得自我偏壓模組亦具有仿電感式負載的效果。所以，本發明一實施例之數位式全差動放大器電路的輸出阻抗較低，且可延長反相器的線性放大操作區，進而延展本發明一實施例之數位式全差

動放大器電路的響應頻寬，使得本發明一實施例之數位式全差動放大器電路可操作在較高的速率。

而如圖5所示，其係顯示互補式傳輸閘對於延展本發明一實施例之數位式全差動放大器電路之響應頻寬之效果的示意圖。其中，曲線C係表示當本發明一實施例之數位式全差動放大器電路之第一自我偏壓模組29及第二自我偏壓模組30僅由一反相器及一與此反相器之輸入端及輸出端連接之導線構成時的響應頻寬，曲線D則表示當本發明一實施例之數位式全差動放大器電路之第一自我偏壓模組29及第二自我偏壓模組30係一反相器及一與此反相器之輸入端及輸出端連接之互補式傳輸閘構成時的響應頻寬。

從圖5中可看出，曲線D所代表的響應頻寬係「高於」曲線C所代表的響應頻寬，且兩者之間的差距可達0.52 GHz。此外，由圖5亦可看出，本發明一實施例之數位式全差動放大器電路之響應頻寬係對應於第一自我偏壓模組29及第二自我偏壓模組30之具有阻值之電性元件(例如圖3所示之互補式傳輸閘)的電阻值。因為，在曲線C所表示的情況中，前述之具有阻值之電性元件(即導線)的電阻值係接近於零，故其電阻值顯著低於在曲線D所表示的情況中，前述之具有阻值之電性元件(即互補式傳輸閘)的電阻值。況且，如前所述，曲線D所代表的響應頻寬係「高於」曲線C所代表的響應頻寬，所以本發明一實施例之數位式全差動放大器電路之響應頻寬係對應於第一自我偏壓模組29及第二自我偏壓模組30之具有阻值之電性元件的電阻值。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係習知之類比式全差動放大器電路的示意圖。

圖2係本發明一實施例之數位式全差動放大器電路的示意圖。

圖3係顯示本發明一實施例之數位式全差動放大器電路所具之第一自我偏壓模組的示意圖。

圖4係顯示一具有阻值之電性元件對於本發明一實施例之數位式全差動放大器電路之自我偏壓模組之輸出阻抗變化趨勢之影響的示意圖。

圖5係顯示互補式傳輸閘對於延展本發明一實施例之數位式全差動放大器電路之響應頻寬之效果的示意圖。

【主要元件符號說明】

11 第一差動對

12 第二差動對

13 偏壓電路

14、15 負載電路

111 第一差動電晶體

112 第二差動電晶體

121 第三差動電晶體

122 第四差動電晶體

131 第一偏壓電晶體

132 第二偏壓電晶體

21 第一輸入反相器

22 第二輸入反相器

23 第一共模反相器

24 第二共模反相器

- 25 第一回授反相器
- 27 第三回授反相器
- 29 第一自我偏壓模組
- 31 第一回授電路模組
- 211 第一輸入端
- 221 第二輸入端
- 231 第一共模輸入端
- 241 第二共模輸入端
- 251 第一回授輸入端
- 261 第二回授輸入端
- 271 第三回授輸入端
- 281 第四回授輸入端
- 291、301 反相器
- 293 互補式傳輸閘
- 2912 輸出端
- 26 第二回授反相器
- 28 第四回授反相器
- 30 第二自我偏壓模組
- 32 第二回授電路模組
- 212 第一輸出端
- 222 第二輸出端
- 232 第一共模輸出端
- 242 第二共模輸出端
- 252 第一回授輸出端
- 262 第二回授輸出端
- 272 第三回授輸出端
- 282 第四回授輸出端
- 292、302 具有阻值之電性元件
- 2911 輸入端

七、申請專利範圍：

1. 一種數位式全差動放大器電路，包括：

一第一輸入反相器，具有一第一輸入端及一第一輸出端，且該第一輸入端係作為一正端輸入端，以接受一正端輸入訊號；

一第二輸入反相器，具有一第二輸入端及一第二輸出端，且該第二輸入端係作為一負端輸入端，以接受一負端輸入訊號；

一第一共模反相器，具有一第一共模輸入端及一第一共模輸出端；

一第二共模反相器，具有一第二共模輸入端及一第二共模輸出端，且該第一共模輸入端係與該第二共模輸入端連接，以作為一共模輸入端；

一第一回授反相器，係具有一第一回授輸入端及一第一回授輸出端，且該第一回授輸入端係與該第一輸出端連接，該第一回授輸出端則與該第一共模輸出端連接；

一第二回授反相器，係具有一第二回授輸入端及一第二回授輸出端，且該第二回授輸入端係與該第一共模輸出端連接，該第二回授輸出端則與該第一輸出端連接；

一第三回授反相器，係具有一第三回授輸入端及一第三回授輸出端，且該第三回授輸入端係與該第二共模輸出端連接，該第三回授輸出端則與該第二輸出端連接；

一第四回授反相器，係具有一第四回授輸入端及一第四回授輸出端，且該第四回授輸入端係與該第二輸出端連接，該第四回授輸出端則與該第二共模輸出端連接；

一第一自我偏壓模組，係與該第一輸出端、該第一回授輸入端及該第二回授輸出端連接；以及

一第二自我偏壓模組，係與該第二輸出端、該第三回授輸出端及該第四回授輸入端連接；

其中，該第一自我偏壓模組係與該第二共模輸出端、該第三回授輸入端及該第四回授輸出端連接，以作為一負端輸出端；該第二自我偏壓模組則與該第一共模輸出端、該第一回授輸出端及該第二回授輸入端連接，以作為一正端輸出端；該第一自我偏壓模組及該第二自我偏壓模組係分別包含一反相器及一具有阻值之電性元件，該具有阻值之電性元件之兩端並與該反相器之輸入端及輸出端連接。

2. 如申請專利範圍第1項所述之數位式全差動放大器電路，其中，該第一回授反相器與該第二回授反相器組成一第一回授電路模組，該第三回授反相器與該第四回授反相器組成一第二回授電路模組。

3. 如申請專利範圍第1項所述之數位式全差動放大器電路，其中，該具有阻值之電性元件係為一互補式傳輸閘。

4. 如申請專利範圍第1項所述之數位式全差動放大器電路，其中，該第一自我偏壓模組之輸出阻抗的頻率響應具有一個零點。

5. 如申請專利範圍第2項所述之數位式全差動放大器電路，其中，該第一回授網路模組與該第二回授網路模組係用以抑制共模雜訊。

6. 如申請專利範圍第1項所述之數位式全差動放大器電路，其中，該正端輸入訊號與該負端輸入訊號之頻率均高於1 GHz以上。

7. 如申請專利範圍第1項所述之數位式全差動放大器電路，其中，該第一輸入反相器、該第二輸入反相器、該第一共模反相器、該第二共模反相器、該第一回授反相器、該第二回授反相器、該第三回授反相器及該第四回授反相器係為數位反相器。

八、圖式 (請見下頁)：

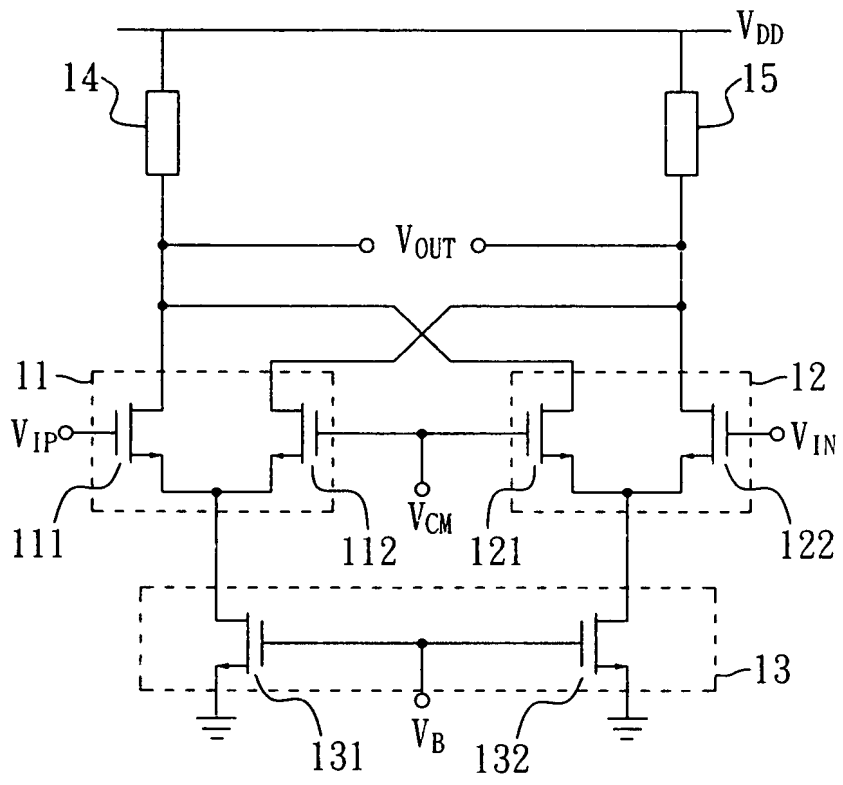


圖 1

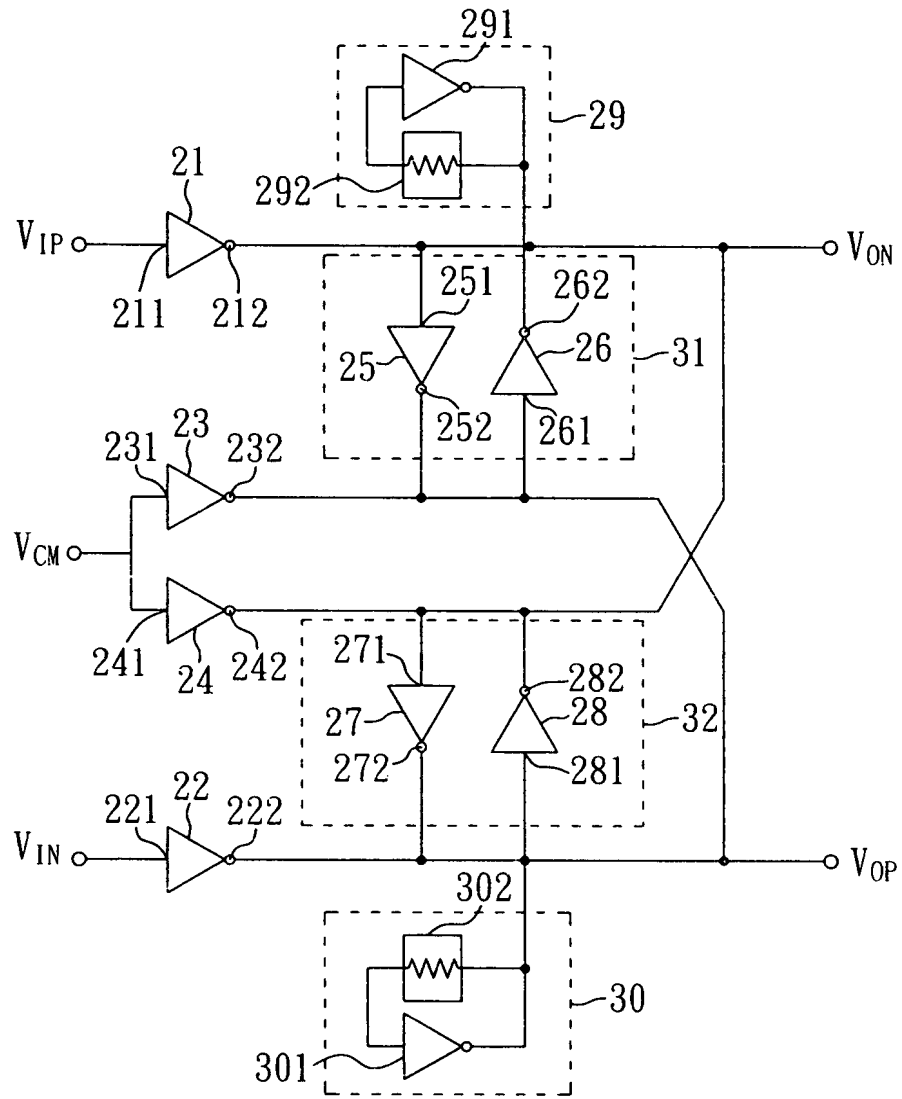


圖2

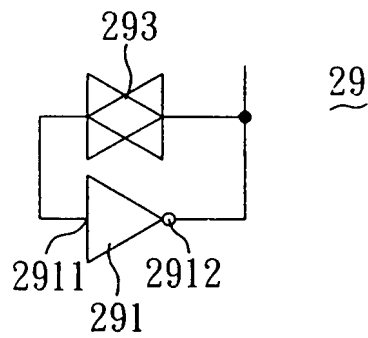


圖3

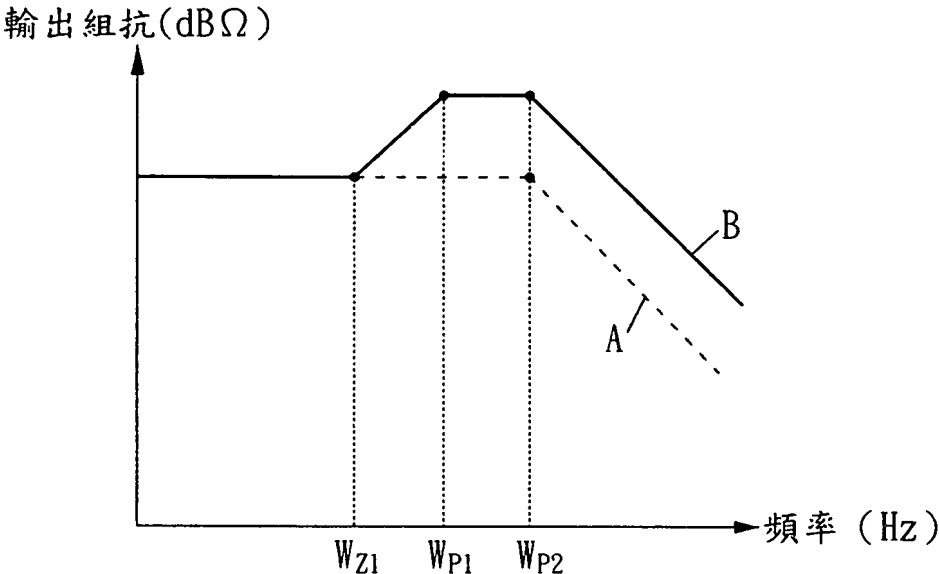


圖4

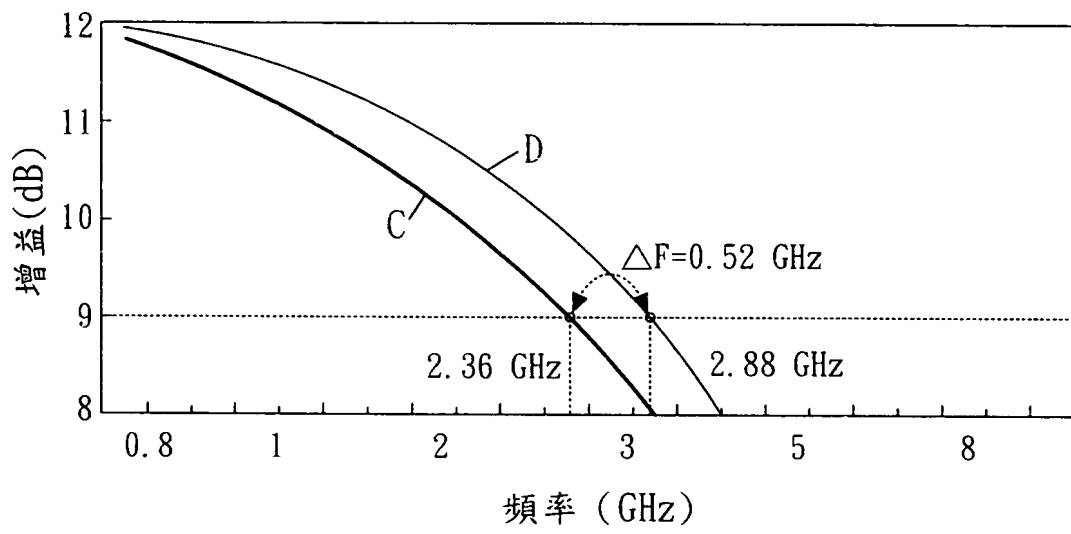


圖5