

(21) 申請案號：099141450

(22) 申請日：中華民國 99 (2010) 年 11 月 30 日

(51) Int. Cl. : H02M3/337 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：謝維致 HSIEH, WEI CHIH (TW) ; 黃威 HWANG, WEI (TW)

(74) 代理人：蘇建太；陳聰浩；蘇清澤

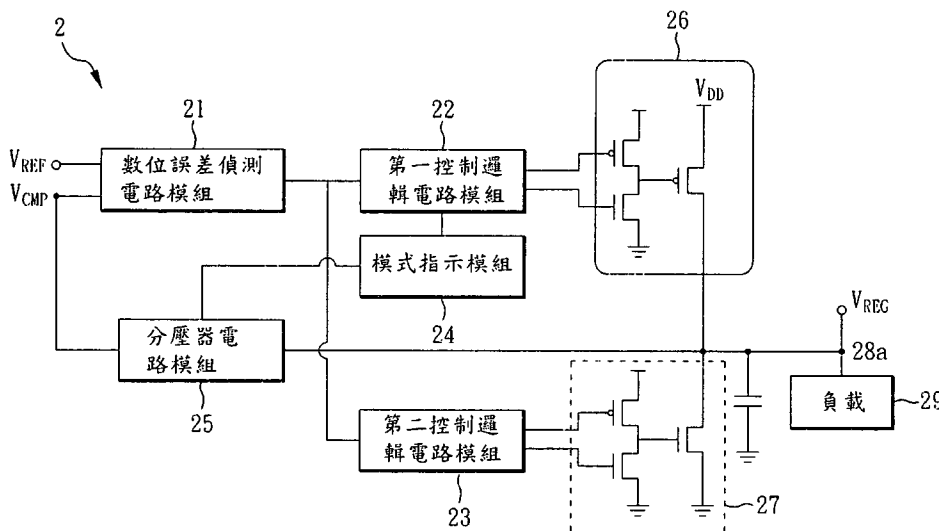
申請實體審查：有 申請專利範圍項數：11 項 圖式數：7 共 37 頁

(54) 名稱

數位式線性電壓調變器

(57) 摘要

本發明係關於一種可輸出一調變電壓、具有高電流效率及可整合至各式晶片中的數位式線性電壓調變器。其包括：至少一數位誤差偵測電路模組、一第一控制邏輯電路模組、一第二控制邏輯電路模組、一模式指示模組、一分壓器電路模組、至少一上推元件電路模組以及下拉元件電路模組。其中，至少一數位誤差偵測電路模組係依據一介於一比較電壓與一參考電壓之間的電壓差值輸出一邏輯信號，第一控制邏輯電路模組與第二控制邏輯電路模組則分別控制至少一上推元件電路模組及下拉元件電路模組，以輸出前述之調變電壓。



2：數位式線性電壓調變器

21：數位誤差偵測電路模組

22：第一控制邏輯電路模組

23：第二控制邏輯電路模組

24：模式指示模組

25：分壓器電路模組

26：上推元件電路模組

27：下拉元件電路模組

28a：調變電壓輸出端

29：負載

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99141450

※申請日： 99. 11. 30 ※IPC 分類：H02M 3/33 (2006.01)

一、發明名稱：(中文/英文)

數位式線性電壓調變器

二、中文發明摘要：

本發明係關於一種可輸出一調變電壓、具有高電流效率及可整合至各式晶片中的數位式線性電壓調變器。其包括：至少一數位誤差偵測電路模組、一第一控制邏輯電路模組、一第二控制邏輯電路模組、一模式指示模組、一分壓器電路模組、至少一上推元件電路模組以及下拉元件電路模組。其中，至少一數位誤差偵測電路模組係依據一介於一比較電壓與一參考電壓之間的電壓差值輸出一邏輯信號，第一控制邏輯電路模組與第二控制邏輯電路模組則分別控制至少一上推元件電路模組及下拉元件電路模組，以輸出前述之調變電壓。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：圖 (2) 。

(二)本代表圖之元件符號簡單說明：

- | | |
|---------------|---------------|
| 2 數位式線性電壓調變器 | 21 數位誤差偵測電路模組 |
| 22 第一控制邏輯電路模組 | 23 第二控制邏輯電路模組 |
| 24 模式指示模組 | 25 分壓器電路模組 |
| 26 上推元件電路模組 | 27 下拉元件電路模組 |
| 28a 調變電壓輸出端 | 29 負載 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種數位式線性電壓調變器，尤指一種可輸出一位於超越臨界電壓範圍內或一接近臨界電壓範圍內的調變電壓、具有高電流效率及可整合至各式晶片中的數位式線性電壓調變器。

【先前技術】

一般而言，電壓調變器大致上可分為兩類，一為交換式電壓調變器，另一則為線性電壓調變器。其中，交換式電壓調變器較常被應用數位控制系統。但是，由於交換式電壓調變器需藉由類比數位轉換器轉換信號，故其電路中具有為數不少的電容與電感，造成交換式電壓調變器並不容易整合至一晶片內部。

另一方面，雖然相較於交換式電壓調變器，線性電壓調變器僅需佔據較小的晶片面積，且其具有較小的電容。但是，由於習知之線性電壓調變器均以類比電路的形式實現，所以當線性電壓調變器運作於一高速環境下時，其所產生的靜態電流的大小相較於信號電流的大小而言就非常顯著，造成習知之線性電壓調變器的電流效率(Current Efficiency)非常有限。

如圖1所示，其係顯示習知之類比式線性調變器之電路架構的示意圖。其中，類比式線性調變器1係由一誤差放大器(Error Amplifier)11、一類比緩衝器(Analog buffer)12及一

輸出元件(Output device)13組成，且類比緩衝器12係耦接至誤差放大器11及輸出元件13。而當習知之類比式線性調變器1運作時，其誤差放大器11係用於比較出一介於參考電壓(V_{REF})與輸出電壓(V_{OUT})之間的電壓差值，且將此電壓差值經由類比緩衝器12而傳送至輸出元件13。之後，輸出元件13之電容元件14便因而進行充放電動作，以使得輸出電壓(V_{OUT})之電壓位於一目標輸出電壓之電壓的附近。最後，此出電壓(V_{OUT})再提供給負載15。

但是，由於前述之誤差放大器11及類比緩衝器12均由類比式電路構成，所以誤差放大器11及類比緩衝器12的表現對於環境的變化非常敏感，連帶使得習知之類比式線性調變器的表現(如輸出電壓之電壓值)也對於環境的變化非常敏感。因此，習知之類比式線性調變器常無法運作於原本所設計之工作點上。

況且，如前所述，受制於類比式電路的基本特性，習知之線性電壓調變器的電流效率(Current Efficiency)相當有限，且也不易於整合至各式晶片中，造成業界將習知之類比式線性調變器應用於綠能相關應用中(如需低電壓、高電流效率及佔據較小之晶片面積的應用)時不小的困擾。

因此，業界需要一種可輸出一位於超越臨界電壓範圍內或一接近臨界電壓範圍內的調變電壓、具有高電流效率及可整合至各式晶片中的數位式線性電壓調變器。

【發明內容】

本發明之主要目的係在提供一種數位式線性電壓調變器，俾將線性電壓調變器整合至各式晶片中。

本發明之次要目的係在提供一種數位式線性電壓調變器，俾能輸出一位於超越臨界電壓範圍內或一接近臨界電壓範圍內的調變電壓，並具有高電流效率。

為達成上述目的，本發明之數位式線性電壓調變器，係用於輸出一調變電壓，包括：至少一數位誤差偵測電路模組，係依據一介於一比較電壓與一參考電壓之間的電壓差值輸出一邏輯信號；一第一控制邏輯電路模組，係耦接至此至少一數位誤差偵測電路模組，以接收此邏輯信號；一第二控制邏輯電路模組，係耦接至此至少一數位誤差偵測電路模組，以接收此邏輯信號；一模式指示模組，係耦接至此第一控制邏輯電路模組，以設定此調變電壓之準位；一分壓器電路模組，係分別耦接至此模式指示模組及此至少一數位誤差偵測電路模組；至少一上推元件電路模組，係耦接至此第一控制邏輯電路模組；以及一下拉元件電路模組，係耦接至此第二控制邏輯電路模組。其中，此第一控制邏輯電路模組與此第二控制邏輯電路模組係依據此邏輯信號的狀態，分別控制此至少一上推元件電路模組及此下拉元件電路模組之運作方式，以輸出此調變電壓，且此至少一上推元件電路模組係與此下拉元件電路模組互相耦接於一調變電壓輸出端，以從此調變電壓輸出端輸出此調變電壓；此調變電壓輸出端並耦接至此分壓器電路模組，以將此調變電壓傳遞至此分壓器電路模組，此分壓器

電路模組則再依據此模式指示模組所設定之此調變電壓之準位，對應輸出一另一比較電壓至此至少一數位誤差偵測電路模組，以使此至少一數位誤差偵測電路模組輸出一另一邏輯信號。

因此，由於在本發明之數位式線性電壓調變器中，其數位誤差偵測電路模組所包含之各組成元件(即第一電壓控制延遲單元、第二電壓控制延遲單元、第一反相器、第二反相器、第三反相器、第四反相器、第五反相器、第六反相器、第七反相器、第八反相器、第一正反器及第二正反器等)均為數位元件，故相較於具有類比式誤差放大器之習知之線性電壓調變器，本發明之數位式線性電壓調變器不僅電流效率大幅提昇(可達99.9%的水準)，其更可整合至各式晶片中。

除此之外，藉由適當地設計其上推元件電路模組的數目及其分壓器電路模組所輸出電壓之種類的數目，本發明之數位式線性電壓調變器可在維持其佔據晶片面積低於一特定值的條件下，持續地提供一位於超越臨界電壓範圍內或一接近臨界電壓範圍內的調變電壓(如一介於0.5 伏特至1 伏特之間的調變電壓)，且可迅速地將其所輸出之調變電壓之電壓切換至另一電壓值(如從0.5 伏特迅速地切換至0.7 伏特)。

另一方面，由於本發明之數位式線性電壓調變器具有至少一數位誤差偵測電路模組(如3個數位誤差偵測電路模組)，且這至少一數位誤差偵測電路模組係依序運作，即它

們係依序因為被觸發，而依據一介於一比較電壓(V_{CMP})與一參考電壓(V_{REF})之間的電壓差值輸出一邏輯信號。所以，在本發明之數位式線性電壓調變器中，其產生邏輯信號的時間週期便可進一步縮短，使得本發明之數位式線性電壓調變器的反應時間間隔也進一步縮短，且可於相同的時間內調變出更多次調變電壓。如此，本發明之數位式線性電壓調變器除可迅速地將其所輸出之調變電壓之電壓切換至另一電壓值(如從0.5 伏特迅速地切換至0.7 伏特)之外，其輸出調變電壓的穩定度更可大幅度地提昇。

【實施方式】

請參閱圖2，其係顯示本發明一實施例之數位式線性電壓調變器之電路架構的示意圖。如圖2所示，本發明一實施例之數位式線性電壓調變器2係包括：至少一數位誤差偵測電路模組21、一第一控制邏輯電路模組22、一第二控制邏輯電路模組23、一模式指示模組24、一分壓器電路模組25、至少一上推元件電路模組26以及一下拉元件電路模組27。其中，至少一數位誤差偵測電路模組21係依據一介於一比較電壓(V_{CMP})與一參考電壓(V_{REF})之間的電壓差值，輸出一邏輯信號(圖中未示)。需注意的是，雖然圖2僅顯示出一組數位誤差偵測電路模組21，但事實上，在不同的應用環境中，本發明之數位式線性電壓調變器亦可具有不同數目之數位誤差偵測電路模組21。

此外，第一控制邏輯電路模組22與第二控制邏輯電路模組23係分別耦接至至少一數位誤差偵測電路模組21，以接收前述之邏輯信號。

另一方面，在本發明一實施例之數位式線性電壓調變器中，模式指示模組24係耦接至第一控制邏輯電路模組22，分壓器電路模組25則分別耦接至模式指示模組24及數位誤差偵測電路模組21。除此之外，至少一上推元件電路模組26係耦接至第一控制邏輯電路模組22，下拉元件電路模組27則耦接至第二控制邏輯電路模組23。

需注意的是，在本實施例中，前述之邏輯信號係包含一第一次邏輯信號及一第二次邏輯信號。但是，在其他的應用環境中，前述之邏輯信號可包含不同數目之次邏輯信號。另一方面，雖然在圖2所示之本發明一實施例之數位式線性電壓調變器中，至少一上推元件電路模組26僅包含一組上推元件電路模組。但是，在其他的應用環境中，前述之至少一上推元件電路模組26亦可包含不同組數的上推元件電路模組，例如包含6組上推元件電路模組。

再如圖2所示，前述之至少一上推元件電路模組26係與下拉元件電路模組27互相耦接於一調變電壓輸出端28a，以輸出一調變電壓(V_{REG})，而調變電壓輸出端28a則再耦接至一負載29。另一方面，調變電壓輸出端28a另耦接至分壓器電路模組25，以將調變電壓輸出端28a所輸出之調變電壓(V_{REG})傳遞(回授)至分壓器電路模組25。

而當本發明一實施例之數位式線性電壓調變器運作時，第一控制邏輯電路模組22與第二控制邏輯電路模組23均依據前述之邏輯信號(其所包含之第一次邏輯信號及第二次邏輯信號)的狀態，分別控制至少一上推元件電路模組26(與第一控制邏輯電路模組22耦接)及下拉元件電路模組27(與第二控制邏輯電路模組23耦接)的運作方式，使得至少一上推元件電路模組26及下拉元件電路模組27互相合作而輸出前述之調變電壓(V_{REG})，且此被輸出之調變電壓(V_{REG})的準位係由模式指示模組24所控制。

隨後，如前所述，此調變電壓(V_{REG})除了從調變電壓輸出端28a輸出以外，亦被傳遞(回授)至分壓器電路模組25。接著，分壓器電路模組25便依據模式指示模組24所設定之該調變電壓之準位，對應輸出一另一比較電壓(V_{CMP})至至少一數位誤差偵測電路模組21，以使至少一數位誤差偵測電路模組21能依據此另一比較電壓(V_{CMP})與前述之參考電壓(V_{REF})之間的電壓差值，輸出一另一邏輯信號(圖中未示)。

之後，本發明一實施例之數位式線性電壓調變器之第一控制邏輯電路模組22與第二控制邏輯電路模組23便再次依據此另一邏輯信號(圖中未示)的狀態，分別控制至少一上推元件電路模組26及下拉元件電路模組27的運作方式，使得至少一上推元件電路模組26及下拉元件電路模組27互相合作而輸出一另一調變電壓(V_{REG})，此輸出調變電壓之準位亦由模式指示模組24所控制。

以下，將配合圖式，詳細敘述本發明一實施例之數位式線性電壓調變器所具之數位誤差偵測電路模組的電路架構，以及其輸出一邏輯信號(包含一第一次邏輯信號Q1及一第二次邏輯信號Q2)的流程。

如圖3所示，其係顯示本發明一實施例之數位式線性電壓調變器所具之數位誤差偵測電路模組之電路架構的示意圖。其中，數位誤差偵測電路模組21包含一第一延遲線單元31、一第一正反器32、一第二延遲線單元33、一第二正反器34及一反及閘(NAND gate)35。此外，第一延遲線單元31進一步包含一第一電壓控制延遲單元 D_1 、一第一反相器311、一第二反相器312及一第三反相器313，且第一電壓控制延遲單元 D_1 係由一比較電壓(V_{CMP})所控制。另一方面，第二延遲線單元33則進一步包含一第二電壓控制延遲單元 D_2 、一第四反相器331、一第五反相器332、一第六反相器333及一第七反相器334，且第二電壓控制延遲單元 D_2 係由一參考電壓(V_{REF})所控制。

在本實施例中，第一正反器32係一負緣觸發正反器，且具有一第一輸入端 I_1 、一第一時脈輸入端 CLK_1 及一第一輸出端 O_1 。其中，第一輸入端 I_1 係耦接至第三反向器313之輸出端，第一輸出端 O_1 則輸出一第一次邏輯信號(Q1)。另一方面，第二正反器34亦為一負緣觸發正反器，且具有一第二輸入端 I_2 、一第二時脈輸入端 CLK_2 及一第二輸出端 O_2 。其中，第二輸入端 I_2 係耦接至第三反向器313之輸出端，第二輸出端 O_2 則輸出一第二次邏輯信號(Q2)。此外，第一

正反器32之第一時脈輸入端 CLK_1 係耦接至第五反相器332之輸出端，第二正反器34之第二時脈輸入端 CLK_2 則耦接至第七反向器334之輸出端。

最後，在本實施例中，反及閘35包含一輸入端、一致能端(EN)及一輸出端，且反及閘35之輸入端係耦接至第四反相器331之輸出端，反及閘35之輸出端則耦接至第八反向器36。隨後，第八反向器36並再耦接至第一延遲線單元31之第一電壓控制延遲單元 D_1 及第二延遲線單元33之第二電壓控制延遲單元 D_2 。

而當數位誤差偵測電路模組21運作時，位於第三反相器313之輸出側之D0端點的信號係來自一由第一電壓控制延遲單元 D_1 發出，經過3個反相器(即第一反相器311、第二反相器312與第三反相器313)延遲後所得的信號。至於位於第五反相器332及第六反相器333之間之C1端點的信號，係來自一由第二電壓控制延遲單元 D_2 發出，通過2個反相器(即第四反相器331與第五反相器332)延遲後所得的信號。另一方面，位於第七反相器334之輸出側之C2端點的信號，則係來自第二電壓控制延遲單元 D_2 發出，通過4個反相器(即第四反相器331、第五反相器332、第六反相器333與第七反相器334)延遲後所得的信號。

因此，基於前述之數位誤差偵測電路模組21中之D0端點、C1端點及C2端點所分別具有的電路特徵，所以在不同之電壓差值狀態下(即一介於比較電壓(V_{CMP})與參考電壓($V_{REF}=0.5$ 伏特)之間的電壓差值)，本實施例之數位誤差

偵測電路模組21所輸出之第一次邏輯信號(Q1)與第二次邏輯信號(Q2)所分別具有之邏輯值，便如下列表1所示：

	Q1邏輯值	Q2邏輯值
$V_{CMP} < 0.495$ 伏特	1	1
0.495 伏特 $< V_{CMP} < 0.505$ 伏特	0	1
0.505 伏特 $< V_{CMP}$	0	0

表1

如前所述，本發明一實施例之數位式線性電壓調變器之第一控制邏輯電路模組22及第二控制邏輯電路模組23便接受前述之第一次邏輯信號(Q1)與第二次邏輯信號(Q2)，以控制至少一上推元件電路模組26(與第一控制邏輯電路模組22耦接)及下拉元件電路模組27(與第二控制邏輯電路模組23耦接)的運作方式，使得至少一上推元件電路模組26及下拉元件電路模組27互相合作而輸出前述之調變電壓(V_{REG})。

此外，如前所述，調變電壓(V_{REG})的準位係由模式指示模組24所設定，模式指示模組24控制分壓器電路模組25將所接受的調變電壓(V_{REG})轉換成一另一比較電壓(V_{CMP})。例如，將一電壓接近0.7 伏特之調變電壓(V_{REG})轉換成一電壓接近0.5 伏特之另一比較電壓(V_{CMP})。

最後，在本實施例中，圖3所示之數位誤差偵測電路模組21中所包含之第一反相器311、第二反相器312、第三反相器313、第四反相器331、第五反相器332、第六反相器

333、第七反相器334及第八反相器36均為數位式反相器，且第一正反器32、第二正反器34及反及閘35亦為數位元件，所以數位誤差偵測電路模組21係為一數位電路模組，而非構成習知之類比式誤差放大器之類比電路模組。

請再參照圖4，其係顯示圖3所示之第一電壓控制延遲單元之電路架構的示意圖。其中，第一電壓控制延遲單元 D_1 具有一第一PMOS電晶體41、一第二PMOS電晶體42、一第三PMOS電晶體43、一第四PMOS電晶體44、一第一NMOS電晶體45以及一輸出反相器46。此外，第一PMOS電晶體41之源極係耦接至一偏壓電源(V_{DD})，第一PMOS電晶體41之閘極端則耦接至一比較電壓(V_{CMP})。另一方面，第二PMOS電晶體42之源極係耦接至第一PMOS電晶體41之汲極，第二PMOS電晶體42之閘極則接地。除此之外，第三PMOS電晶體43之源極係耦接至第二PMOS電晶體42之汲極，第三PMOS電晶體43之閘極亦接地。

而如圖4所示，第四PMOS電晶體44之源極係耦接至第三PMOS電晶體43之汲極，第四PMOS電晶體44之汲極則耦接至第一NMOS電晶體45之汲極，再耦接至輸出反相器46。此外，第一NMOS電晶體45之閘極與第四PMOS電晶體44之閘極係互相耦接，再耦接至一輸入電壓(IN)，輸出反相器46則耦接至一輸出電壓(OUT)。所以，因第二PMOS電晶體42之閘極與第三PMOS電晶體43之閘極均接地的關係，第二PMOS電晶體42及第三PMOS電晶體43均呈現導通之狀態，

且能抑制第四PMOS電晶體44與第一NMOS電晶體45切換狀態時所產生之耦合干擾。

而當第一電壓控制延遲單元 D_1 運作時，輸入至第一PMOS電晶體41之閘極的電壓為比較電壓(V_{CMP})，且當比較電壓(V_{CMP})增加時，第一PMOS電晶體41之汲極源極電壓(V_{DS})便變小，流過第一PMOS電晶體41之電流便因而縮減，使得偏壓電源(V_{DD})經由第一PMOS電晶體41而對位於第一PMOS電晶體41下方之電路的充電速率便降低。如此，當比較電壓(V_{CMP})增加時，第一電壓控制延遲單元 D_1 之輸入電壓(IN)傳送至輸出電壓(OUT)的延遲時間便延長。相反地，當比較電壓(V_{CMP})減小時，第一PMOS電晶體41之汲極源極電壓(V_{DS})便變大，流過第一PMOS電晶體41之電流便因而增加，使得偏壓電源(V_{DD})經由第一PMOS電晶體41而對位於第一PMOS電晶體41下方之電路的充電速率便提昇。如此，當比較電壓(V_{CMP})減小時，第一電壓控制延遲單元 D_1 之輸入電壓(IN)傳送至輸出電壓(OUT)的延遲時間便縮短。

需注意的是，由於在前述之數位誤差偵測電路模組21中，第二電壓控制延遲單元 D_2 具有與第一電壓控制延遲單元 D_1 相同之電路架構，且兩者之間的差別僅在於第二電壓控制延遲單元 D_2 之第一PMOS電晶體之閘極端係耦接至一參考電壓(V_{REF})，而非一比較電壓(V_{CMP})。所以，對於第二電壓控制延遲單元 D_2 之電路架構及運作的詳細敘述，在此將不再贅述。

最後，圖4所示之電壓控制延遲單元之結構僅為本實施例所使用之一特定態樣，即電壓控制延遲單元之組成電路結構並不限於圖4所示之電路結構，任何可用電壓來控制其延遲狀態的電路皆可適用於本發明一實施例之數位式線性電壓調變器所具之數位誤差偵測電路模組之電壓控制延遲單元。

圖5係顯示本發明一實施例之數位式線性電壓調變器所具之分壓器電路模組之電路架構的示意圖。其中，分壓器電路模組5係為一電阻式分壓器電路模組，且在本實施例中，分壓器電路模組5係包含6個電阻元件511、512、513、514、515、516及6個開關元件521、522、523、524、525、526。此外，各個不同開關元件所分別對應的電路分別具有不同的分壓比率，以將調變電壓(V_{REG})之電壓分壓轉換至參考電壓(V_{REF})之電壓附近，以供數位誤差偵測電路模組使用。

如圖5所示，各個開關元件521、522、523、524、525、526所對應之電路具有的分壓比率，由上而下依序為1、5/6、5/7、5/8、5/9及1/2。如此，本發明一實施例之數位式線性電壓調變器所具之分壓器電路模組便可將一位於超越臨界電壓(super threshold)範圍內或接近臨界電壓(near threshold)範圍內之調變電壓(V_{REG})之電壓(即調變電壓之電壓介於0.5 伏特至1 伏特之間)分壓轉換至參考電壓(V_{REF})之電壓附近。而且，在本實施例中，參考電壓(V_{REF})為 0.5 伏特。

需注意的是，雖然於圖5中，分壓器電路模組係使用六個電阻元件與六個開關元件，但其數目乃是為了搭配本發明一實施例之數位式線性電壓調變器之輸出電壓準位的數目(因本發明一實施例之數位式線性電壓調變器之輸出電壓準位可為0.5伏特、0.6伏特、0.7伏特、0.8伏特、0.9伏特、1伏特，共6種)而設計。所以，事實上，分壓器電路模組所包含之電阻元件與開關元件之數目並無任何限制，它們可依據欲輸出之電壓準位的數目，而設計分壓器電路模組具有其他數目之電阻元件與開關元件。

至於本發明一實施例之數位式線性電壓調變器之運作態樣，則將詳細說明如下：

首先，請先參照圖5之分壓器電路模組5，若欲使本發明一實施例之數位式線性電壓調變器輸出一電壓為0.7伏特之調變電壓(V_{REG})，模式指示器24便控制分壓器電路模組5，使得分壓器電路模組5中具有分壓比率5/7的電路導通，即將開關元件523關閉。

接著，因參考電壓(V_{REF})被設定為0.5伏特，故前述之0.7伏特的調變電壓(V_{REG})便經過(5/7)分壓比率之電路，使得0.7伏特的調變電壓除頻至0.5伏特附近。隨後，分壓轉換後之電壓(稱為另一比較電壓)便再被傳送至數位誤差偵測電路模組21。此時，數位誤差偵測電路模組21便將此另一比較電壓(V_{CMP})與參考電壓(V_{REF})比較。

隨後，第一次邏輯控制信號(Q1)與第二次邏輯信號(Q2)便傳送至第一控制邏輯電路模組22與第二控制邏輯電路模

組23，第一控制邏輯電路模組22與第二控制邏輯電路模組23則依據接收之第一次邏輯控制信號(Q1)與第二次邏輯信號(Q2)所分別具有的邏輯值，分別控制至少一上推元件電路模組26與下拉元件電路模組27之運作方式，使得至少一上推元件電路模組26及下拉元件電路模組27互相合作而輸出一調變電壓(V_{REG})。

當另一比較電壓(V_{CMP})係高於參考電壓(V_{REF})時(因另一比較電壓(V_{CMP})係高於0.505 伏特，而0.505 伏特又高於參考電壓之0.5 伏特)，第二控制邏輯電路模組23便控制下拉元件電路模組27，以將調變電壓輸出端28a之電壓下拉。相反地，當另一比較電壓(V_{CMP})係低於參考電壓(V_{REF})時(因另一比較電壓(V_{CMP})係低於0.495 伏特，而0.495 伏特又低於參考電壓之0.5 伏特)，第一控制邏輯電路模組22便控制至少一上推元件電路模組26，以將調變電壓輸出端28a之電壓上推。

之後，此調變電壓(V_{REG})便被傳遞(回授)至分壓器電路模組25，以重複前述之運作。而此運作方式便不斷地循環，直到調變電壓輸出端28a所輸出之調變電壓的電壓被調變至0.7 伏特為止。

請參閱圖6，其係顯示本發明另一實施例之數位式線性電壓調變器之電路架構的示意圖。如圖6所示，本發明另一實施例之數位式線性電壓調變器6係包括：一數位誤差偵測電路模組61、一第一控制邏輯電路模組62、一第二控制邏輯電路模組63、一模式指示模組64、一分壓器電路模組65、

6個上推元件電路模組661、662、663、664、665、666以及一下拉元件電路模組67。其中，數位誤差偵測電路模組61係依據一介於一比較電壓(V_{CMP})與一參考電壓(V_{REF})之間的電壓差值，輸出一邏輯信號(圖中未示)。此外，第一控制邏輯電路模組62與第二控制邏輯電路模組63係分別耦接至數位誤差偵測電路模組61，以接收前述之邏輯信號。

另一方面，在本發明另一實施例之數位式線性電壓調變器中，模式指示模組64係耦接至第一控制邏輯電路模組62，分壓器電路模組65則分別耦接至模式指示模組64及數位誤差偵測電路模組61。除此之外，前述之6個上推元件電路模組661、662、663、664、665、666均耦接至第一控制邏輯電路模組62及模式指示模組64，並由模式指示模組64控制以累加方式運作。另一方面，下拉元件電路模組67則耦接至第二控制邏輯電路模組63。

再如圖6所示，前述之6個上推元件電路模組661、662、663、664、665、666係分別與下拉元件電路模組67互相耦接於一調變電壓輸出端68a，以輸出一調變電壓(V_{REG})，而調變電壓輸出端68a則再耦接至一負載69。另一方面，調變電壓輸出端68a另耦接至分壓器電路模組65，以將調變電壓輸出端68a所輸出之調變電壓(V_{REG})傳遞(回授)至分壓器電路模組65。在本實施例中，前述之6個上推元件電路模組661、662、663、664、665、666及下拉元件電路模組67係互相合作，以輸出一最大值為100 mA的負載電流。

此外，前述之6個上推元件電路模組的電路結構均相同，它們均分別包含一驅動電路模組及一PMOS電晶體。例如，上推元件電路模組661包含一驅動電路模組6611及一PMOS電晶體6612，且驅動電路模組6611係耦接至第一控制邏輯電路模組62，PMOS電晶體6612則輸出任一調變電壓(V_{REG})的情況下(如0.5 伏特至1 伏特之間的任一電壓)所需的負載電流。

在本實施例中，前述之6個上推元件電路模組661、662、663、664、665、666所分別具有的PMOS電晶體係互相合作，共同分擔提供負載電流的責任。如此，本發明另一實施例之數位式線性電壓調變器可在輸出不同調變電壓(V_{REG})的情況下，均能提供一電流為100 mA的負載電流。而且，由於前述之6個上推元件電路模組之每一上推元件電路模組所需負擔的責任(提供負載電流)並不大，使得前述之6個上推元件電路模組之每一上推元件電路模組所需佔據的晶片面積便可進一步縮小，有效降低本發明另一實施例之數位式線性電壓調變器製作時之成本。

圖7係顯示本發明又一實施例之數位式線性電壓調變器之電路架構的示意圖。如圖7所示，本發明又一實施例之數位式線性電壓調變器7係包括：3個數位誤差偵測電路模組711、712、713、一第一控制邏輯電路模組72、一第二控制邏輯電路模組73、一模式指示模組74、一分壓器電路模組75、一上推元件電路模組76以及一下拉元件電路模組77。其中，3個數位誤差偵測電路模組711、712、713係依

序依據一介於一比較電壓(V_{CMP})與一參考電壓(V_{REF})之間的電壓差值，輸出一邏輯信號(圖中未示)。

在本發明又一實施例之數位式線性電壓調變器中，這3個數位誤差偵測電路模組711、712、713係依序地運作，且後兩個數位誤差偵測電路模組712、713係因被第一個數位誤差偵測電路模組711觸發而運作。而且，這3個數位誤差偵測電路模組711、712、713分別運作的時間點(亦稱為被觸發的時間點)係分別間隔一預先設定的延遲時間(delay time)。

而在本實施例中，前述之延遲時間係被設定為一可將單一數位誤差偵測電路模組之偵測時間(detection time)被至少一數位誤差偵測電路模組等分的時間。例如，由於本發明又一實施例之數位式線性電壓調變器具有3個數位誤差偵測電路模組711、712、713，所以前述之延遲時間(delay time)便為一可將單一數位誤差偵測電路模組之偵測時間3等分的時間。

如此，當本發明又一實施例之數位式線性電壓調變器運作時，每隔1/3的單一數位誤差偵測電路模組之偵測時間便會有一個數位誤差偵測電路模組因被觸發，而依據一介於一比較電壓(V_{CMP})與一參考電壓(V_{REF})之間的電壓差值輸出一邏輯信號(圖中未示)。也就是說，若本發明之數位式線性電壓調變器具有更多數目的數位誤差偵測電路模組，其產生邏輯信號(圖中未示)的時間週期便可更進一步地縮短。

此外，第一控制邏輯電路模組72與第二控制邏輯電路模組73係分別耦接至3個數位誤差偵測電路模組711、712、713，以接收3個數位誤差偵測電路模組711、712、713所依序輸出之邏輯信號。

另一方面，在本發明又一實施例之數位式線性電壓調變器中，模式指示模組74係耦接至第一控制邏輯電路模組72，分壓器電路模組75則分別耦接至模式指示模組74及數位誤差偵測電路模組71。除此之外，至少一上推元件電路模組76係耦接至第一控制邏輯電路模組72，下拉元件電路模組77則耦接至第二控制邏輯電路模組73。

再如圖7所示，前述之至少一上推元件電路模組76係與下拉元件電路模組77互相耦接於一調變電壓輸出端78a，以輸出一調變電壓(V_{REG})，而調變電壓輸出端78a則再耦接至一負載79。另一方面，調變電壓輸出端78a另耦接至分壓器電路模組75，以將調變電壓輸出端78a所輸出之調變電壓(V_{REG})傳遞(回授)至分壓器電路模組75。

而當本發明又一實施例之數位式線性電壓調變器運作時，第一控制邏輯電路模組72與第二控制邏輯電路模組73均依據3個數位誤差偵測電路模組711、712、713所依序輸出之邏輯信號的狀態，分別控制至少一上推元件電路模組76(與第一控制邏輯電路模組72耦接)及下拉元件電路模組77(與第二控制邏輯電路模組73耦接)的運作方式，使得至少一上推元件電路模組76及下拉元件電路模組77互相合作而

輸出前述之調變電壓(V_{REG})，且此被輸出之調變電壓(V_{REG})的準位係由模式指示模組74所控制。

隨後，如前所述，此調變電壓(V_{REG})除了從調變電壓輸出端78a輸出以外，亦被傳遞(回授)至分壓器電路模組75。接著，分壓器電路模組75便依據模式指示模組74所設定之該調變電壓之準位，對應輸出一另一比較電壓(V_{CMP})至3個數位誤差偵測電路模組711、712、713，以使這3個數位誤差偵測電路模組711、712、713能依據此另一比較電壓(V_{CMP})與前述之參考電壓(V_{REF})之間的電壓差值，依序輸出一另一邏輯信號(圖中未示)。

之後，本發明又一實施例之數位式線性電壓調變器之第一控制邏輯電路模組72與第二控制邏輯電路模組73便再次依據此另一邏輯信號(圖中未示)的狀態，分別控制至少一上推元件電路模組76及下拉元件電路模組77的運作方式，使得至少一上推元件電路模組76及下拉元件電路模組77互相合作而輸出一另一調變電壓(V_{REG})，此輸出調變電壓之準位亦由模式指示模組74所控制。

因此，由於具有3個數位誤差偵測電路模組711、712、713，本發明又一實施例之數位式線性電壓調變器輸出一調變電壓的時間間隔(反應時間間隔)便可進一步地縮短。例如，本發明又一實施例之數位式線性電壓調變器的反應時間間隔便可從僅具單一數位誤差偵測電路模組之本發明一實施例之數位式線性電壓調變器的反應時間間隔(約600 ps)，大幅縮短為其1/3(約200 ps)。所以，由於可於相同的

時間內調變出更多次調變電壓，故本發明又一實施例之數位式線性電壓調變器輸出調變電壓的穩定度便遠高於本發明一實施例之數位式線性電壓調變器輸出調變電壓的穩定度。而此可大幅度提昇輸出調變電壓之穩定度的技術，一般稱為時間交錯式數位控制技術。

【圖式簡單說明】

圖1係顯示習知之類比式線性調變器之電路架構的示意圖。

圖2係顯示本發明一實施例之數位式線性電壓調變器之電路架構的示意圖。

圖3係顯示本發明一實施例之數位式線性電壓調變器所具之數位誤差偵測電路模組之電路架構的示意圖。

圖4係顯示圖3所示之第一電壓控制延遲單元之電路架構的示意圖。

圖5係顯示本發明一實施例之數位式線性電壓調變器所具之分壓器電路模組之電路架構的示意圖。

圖6係顯示本發明另一實施例之數位式線性電壓調變器之電路架構的示意圖。

圖7係顯示本發明又一實施例之數位式線性電壓調變器之電路架構的示意圖。

【主要元件符號說明】

- | | |
|------------|------------------|
| 1 類比式線性調變器 | 2、6、7 數位式線性電壓調變器 |
| 5 分壓器電路模組 | 11 誤差放大器 |

- 12 類比緩衝器
- 13 輸出元件
- 14 電容元件
- 15、29、69、79 負載
- 21、61、711、712、713 數位誤差偵測電路模組
- 22、62、72 第一控制邏輯電路模組
- 23、63、73 第二控制邏輯電路模組
- 24、64、74 模式指示模組 25、65、75 分壓器電路模組
- 26、661、662、663、664、665、666、76 上推元件電路模組
- 27、67、77 下拉元件電路模組
- 28a、68a、78a 調變電壓輸出端
- 31 第一延遲線單元
- 32 第一正反器
- 33 第二延遲線單元
- 34 第二正反器
- 35 反及開
- 36 第八反相器
- 41 第一PMOS電晶體
- 42 第二PMOS電晶體
- 43 第三PMOS電晶體
- 44 第四PMOS電晶體
- 45 第一NMOS電晶體
- 46 輸出反相器
- D₁ 第一電壓控制延遲單元
- 311 第一反相器
- 312 第二反相器
- 313 第三反相器
- D₂ 第二電壓控制延遲單元
- 331 第四反相器
- 332 第五反相器
- 333 第六反相器
- 334 第七反相器
- I₁ 第一輸入端
- CLK₁ 第一時脈輸入端
- O₁ 第一輸出端
- I₂ 第二輸入端
- CLK₂ 第二時脈輸入端
- O₂ 第二輸出端
- D0、C1、C2 端點

6611 驅動電路模組 6612 PMOS電晶體

511、512、513、514、515、516 電阻元件

521、522、523、524、525、526 開關元件

七、申請專利範圍：

1. 一種數位式線性電壓調變器，係用於輸出一調變電壓，包括：

至少一數位誤差偵測電路模組，係依據一介於一比較電壓與一參考電壓之間的電壓差值輸出一邏輯信號；

一第一控制邏輯電路模組，係耦接至該至少一數位誤差偵測電路模組，以接收該邏輯信號；

一第二控制邏輯電路模組，係耦接至該至少一數位誤差偵測電路模組，以接收該邏輯信號；

一模式指示模組，係耦接至該第一控制邏輯電路模組，以設定該調變電壓之準位；

一分壓器電路模組，係分別耦接至該模式指示模組及該至少一數位誤差偵測電路模組；

至少一上推元件電路模組，係耦接至該第一控制邏輯電路模組；以及

一下拉元件電路模組，係耦接至該第二控制邏輯電路模組；

其中，該第一控制邏輯電路模組與該第二控制邏輯電路模組係依據該邏輯信號的狀態，分別控制該至少一上推元件電路模組及該下拉元件電路模組之運作方式，以輸出該調變電壓，且該至少一上推元件電路模組係與該下拉元件電路模組互相耦接於一調變電壓輸出端，以從該調變電壓輸出端輸出該調變電壓；該調變電壓輸出端並耦接至該分壓器電路模組，以將該調變電壓傳遞至該分壓器電路模

組，該分壓器電路模組則再依據該模式指示模組所設定之該調變電壓之準位，對應輸出一另一比較電壓至該至少一數位誤差偵測電路模組，以使該至少一數位誤差偵測電路模組輸出一另一邏輯信號。

2. 如申請專利範圍第1項所述之數位式線性電壓調變器，其中，該邏輯信號係包含一第一次邏輯信號及一第二次邏輯信號，且該至少一數位誤差偵測電路模組係包括：

一第一延遲線單元，包含一第一電壓控制延遲單元、一第一反相器、一第二反相器及一第三反相器；且該第一電壓控制延遲單元係由該比較電壓所控制；

一第一正反器，係一負緣觸發正反器並包含一第一輸入端、一第一時脈輸入端及一第一輸出端，且該第一輸入端係耦接至該第三反向器之輸出端，該第一輸出端則輸出該第一次邏輯信號；

一第二延遲線單元，包含一第二電壓控制延遲單元、一第四反相器、一第五反相器、一第六反相器及一第七反相器，且該第二電壓控制延遲單元係由該參考電壓所控制；

一第二正反器，係一負緣觸發正反器並包含一第二輸入端、一第二時脈輸入端及一第二輸出端，且該第二輸入端係耦接至該第三反向器之輸出端，該第二輸出端則輸出該第二次邏輯信號；以及

一反及閘，係包含一輸入端、一致能端及一輸出端；

其中，該第一正反器之第一時脈輸入端係耦接至該第五反相器之輸出端，該第二正反器之第二時脈輸入端則耦

接至該第七反向器之輸出端；該反及閘之輸入端係耦接至該第四反相器之輸出端，該反及閘之輸出端則耦接至該第八反向器，該第八反向器並再耦接至該第一延遲線單元之該第一電壓控制延遲單元及該第二延遲線單元之該第二電壓控制延遲單元。

3. 如申請專利範圍第2項所述之數位式線性電壓調變器，其中，該第一反相器、該第二反相器、該第三反相器、該第四反相器、該第五反相器、該第六反相器、該第七反相器及該第八反相器係為數位式反相器。

4. 如申請專利範圍第2項所述之數位式線性電壓調變器，其中，該第一電壓控制延遲單元係包括：

一 第一PMOS電晶體，該第一PMOS電晶體之源極係耦接至一偏壓電源，該第一PMOS電晶體之閘極則耦接至該比較電壓；

一 第二PMOS電晶體，該第二PMOS電晶體之源極係耦接至該第一PMOS電晶體之汲極，該第二PMOS電晶體之閘極則接地；

一 第三PMOS電晶體，該第三PMOS電晶體之源極係耦接至該第二PMOS電晶體之汲極，該第三PMOS電晶體之閘極則接地；

一 第四PMOS電晶體，該第四PMOS電晶體之源極係耦接至該第三PMOS電晶體之汲極；

一 第一NMOS電晶體，該第一NMOS電晶體之汲極係耦接至該第四PMOS電晶體之汲極，該第一NMOS電晶體之閘

極則與該第四PMOS電晶體之間極互相耦接，再耦接至一輸入電壓；以及

一輸出反相器，係耦接至該第一NMOS電晶體之汲極及該第四PMOS電晶體之汲極，再耦接至一輸出電壓。

5. 如申請專利範圍第1項所述之數位式線性電壓調變器，其中，該調變電壓之範圍係位於一超越臨界電壓範圍內或一接近臨界電壓範圍內。

6. 如申請專利範圍第1項所述之數位式線性電壓調變器，其中，該分壓器電路模組係一電阻式分壓器電路模組，且該分壓器電路模組包含6個電阻元件及6個開關元件。

7. 如申請專利範圍第6項所述之數位式線性電壓調變器，其中，該數位式線性電壓調變器可分壓轉換之調變電壓的電壓係介於0.5 伏特至1 伏特之間。

8. 如申請專利範圍第6項所述之數位式線性電壓調變器，其中，該至少一上推元件電路模組的數目係為6。

9. 如申請專利範圍第8項所述之數位式線性電壓調變器，其中，該6組上推元件電路模組係以累加方式運作並分別耦接至該第一控制邏輯電路模組。

10. 如申請專利範圍第1項所述之數位式線性電壓調變器，其中，該至少一上推元件電路模組係包含一驅動電路模組及一PMOS電晶體，且該驅動電路模組係耦接至該第一控制邏輯電路模組，該PMOS電晶體則提供輸出該調變電壓所需之負載電流。

11. 如申請專利範圍第1項所述之數位式線性電壓調變器，其中，該至少一數位誤差偵測電路模組的數目係為3。

八、圖式 (請見下頁)：

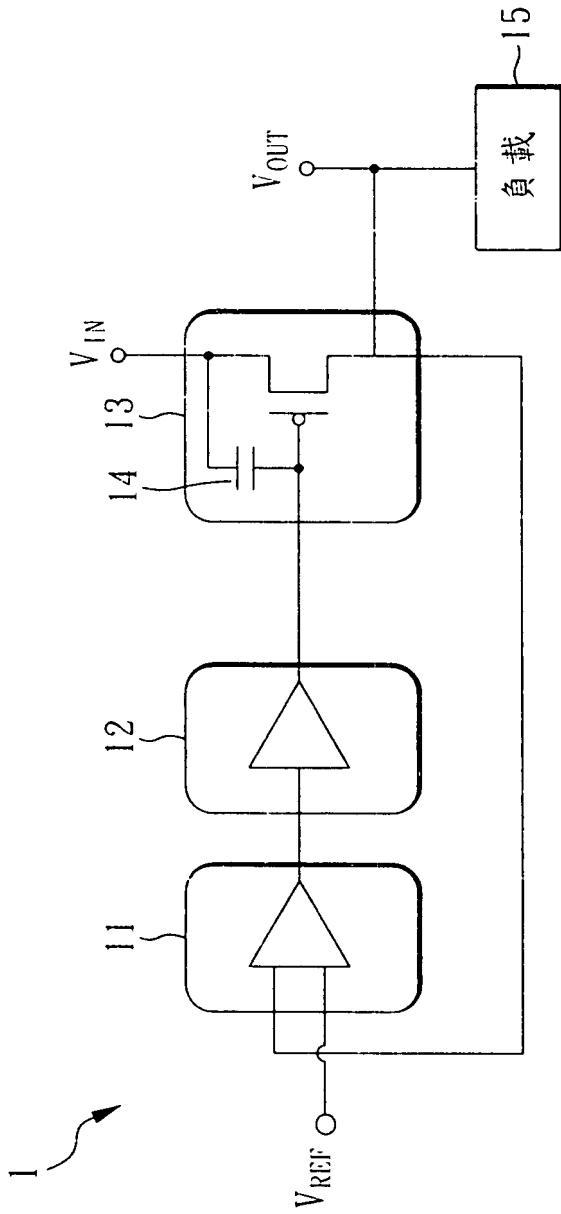


圖 1

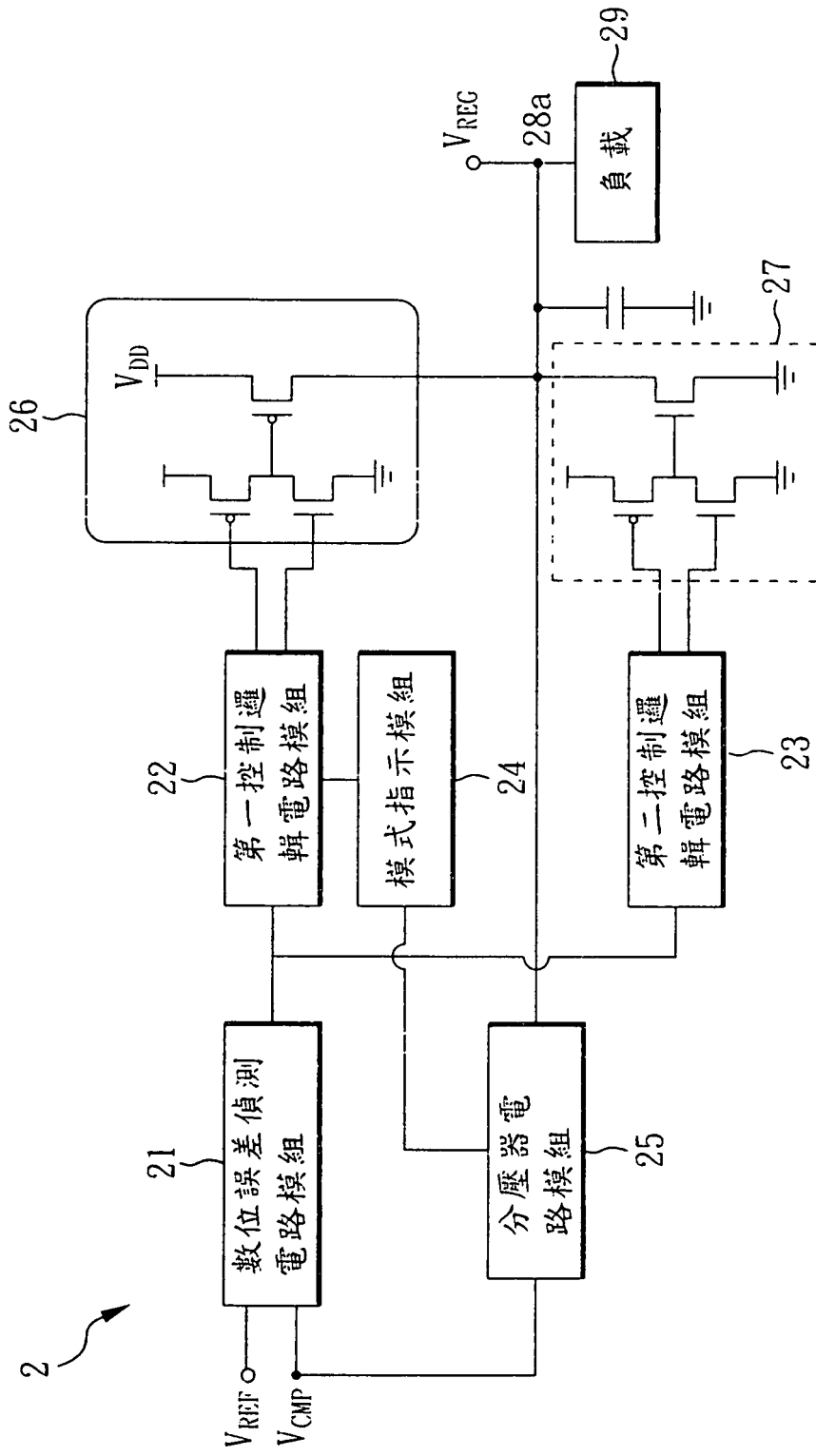


圖2

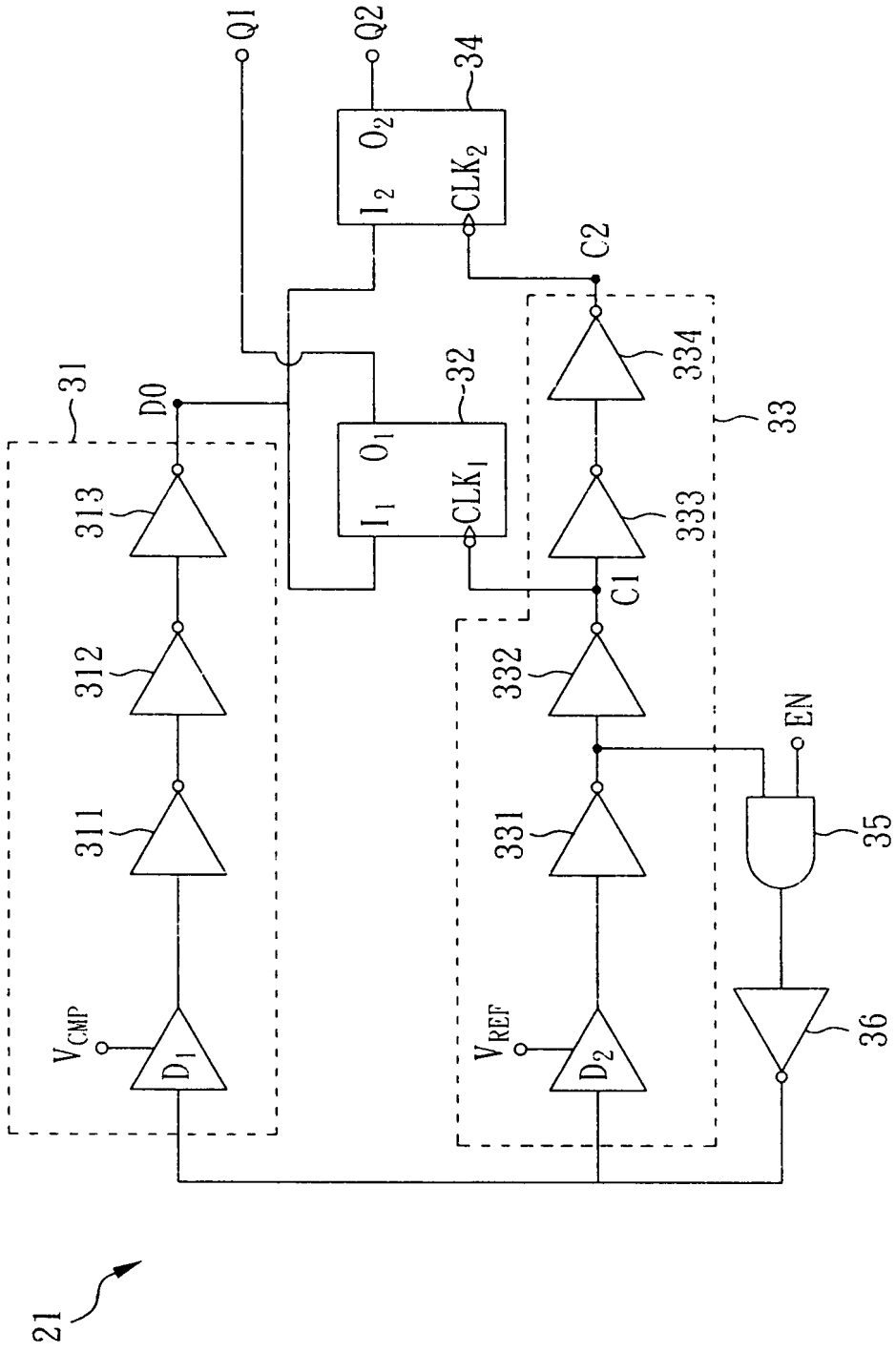


圖3

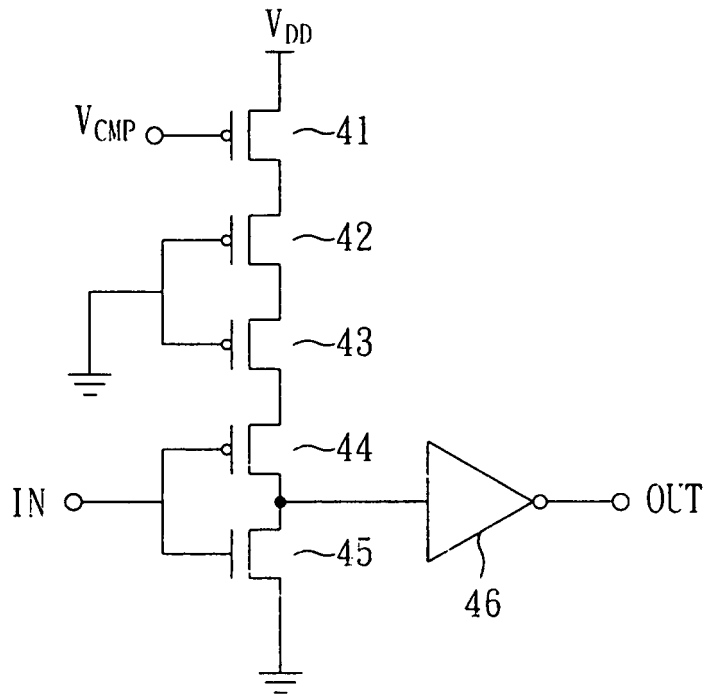


圖4

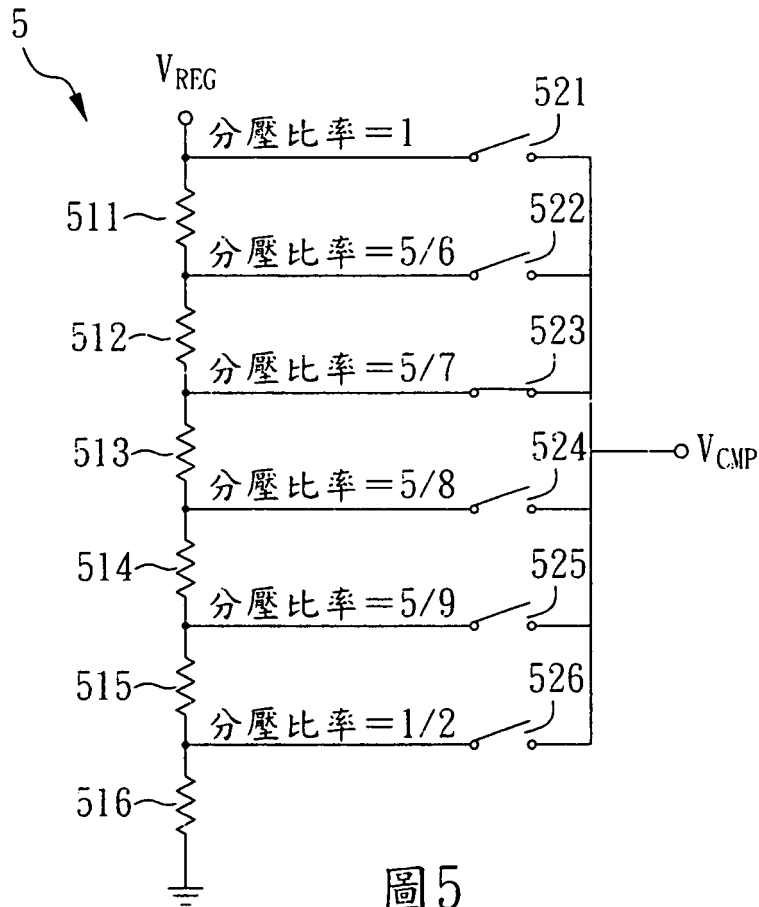


圖5

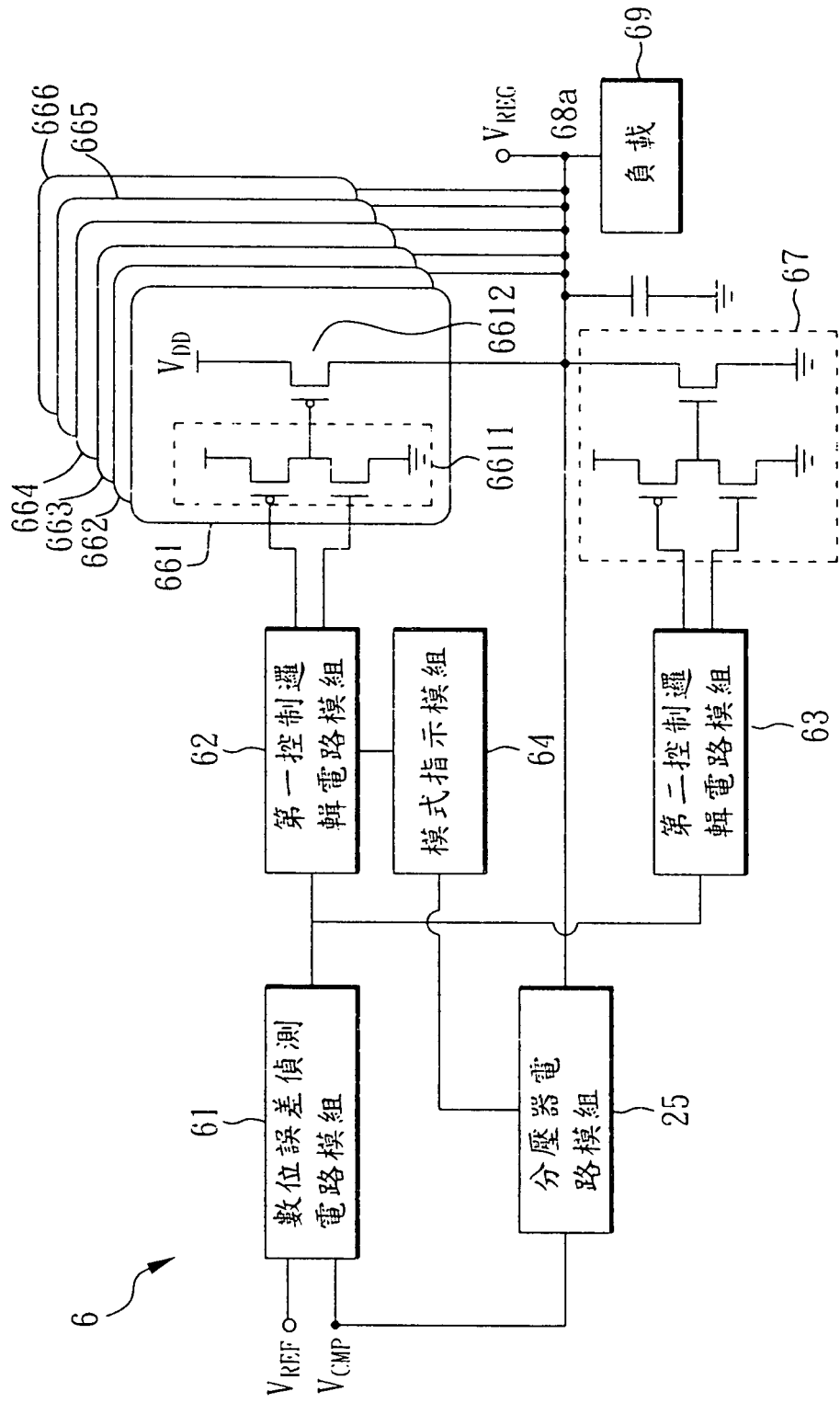


圖6

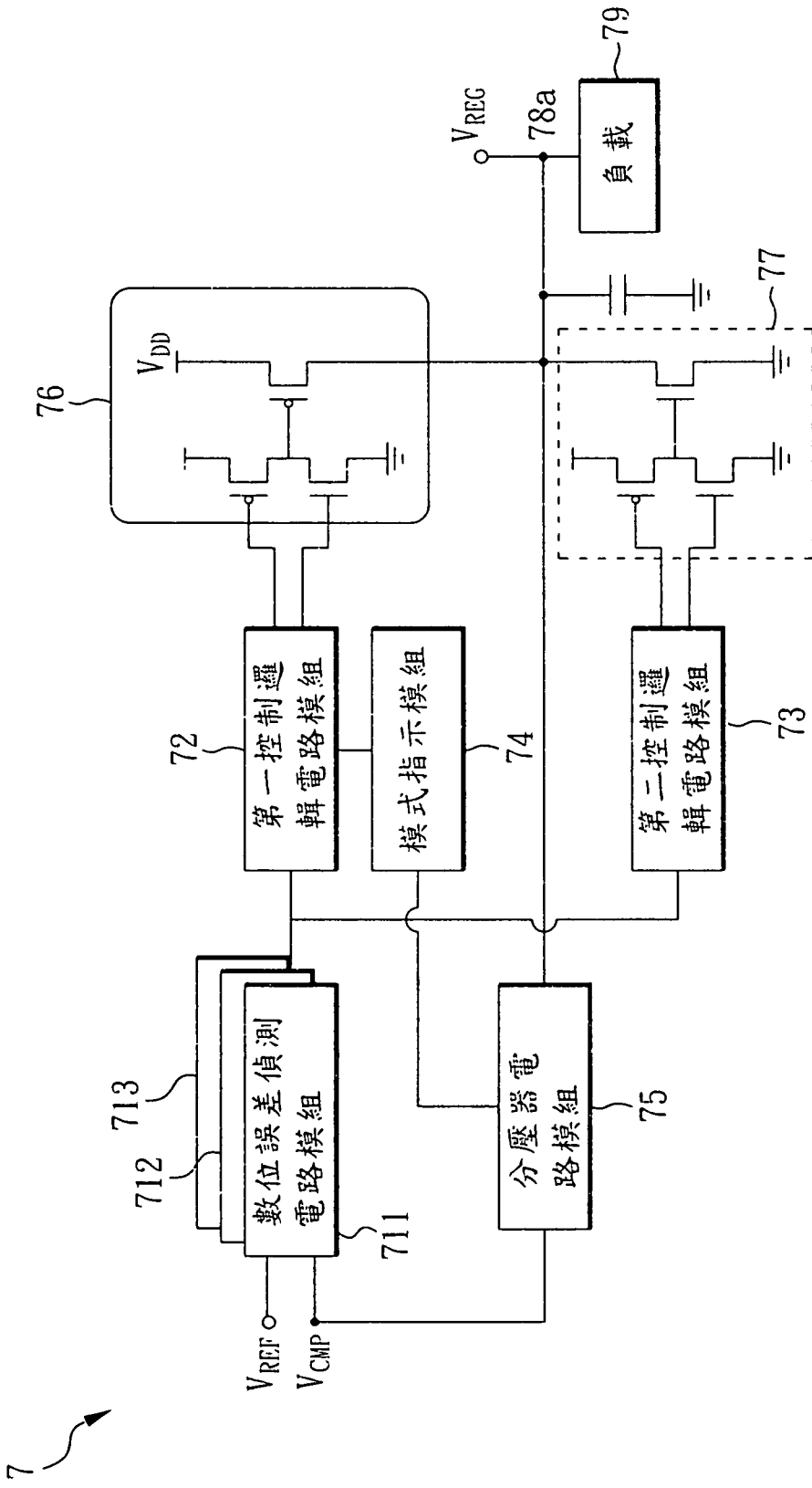


圖7